



Gowin PSRAM Memory Interface IP

ユーザーガイド

IPUG525-1.3.1J, 2020-12-15

著作権について (2020)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及びGOWINSEMIのロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/10/17	1.0J	初版。
2018/11/23	1.1J	<ul style="list-style-type: none">● PSRAM ユーザーインターフェースを追加。ユーザーが構成する PLL をデザインの外側に移動。組み込み PSRAM の動作周波数を変更。● GW1NSR-2C/GW1NSR-2 をサポート。
2019/2/27	1.2J	デュアルチャネル PSRAM IP をサポート。
2019/7/26	1.3J	HyperRam と新しい GUI オプションの説明を追加。
2020/12/15	1.3.1J	3.3 リソース使用率を更新。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
3 主な特徴とパフォーマンス	4
3.1 主な機能	4
3.2 動作周波数と帯域幅の効率	4
3.3 リソース使用率	5
4 機能の説明	6
4.1 IP の構造	6
4.2 Memory Controller Logic	6
4.3 PHY	8
4.3.1 初期化ユニット	9
4.3.2 データパス.....	9
4.3.3 制御パスユニット	9
4.3.4 I/O 論理ユニット	9
4.4 主な機能	9
4.4.1 初期化.....	9
4.4.2 アドレス及びコマンドの送信.....	10
4.4.3 書き込みデータ	12
4.4.4 読み出しデータ	13
5 ポート一覧	15
6 パラメータの構成.....	18
7 リファレンスデザイン	19
8 GUI での構成.....	21
9 提供されるファイル.....	27
9.1 ドキュメント	27

9.2 デザインのソースコード(暗号化).....	27
9.3 リファレンスデザイン.....	28

図一覧

図 4-1 Gowin PSRAM Memory Interface IP の構造	6
図 4-2 PSRAM Memory Controller Logic の基本構造	7
図 4-3 PSRAM PHY の基本構造	8
図 4-4 初期化完了信号タイミング図.....	10
図 4-5 Row-Column のアドレッシング方法	10
図 4-6 コマンド、アドレス及びイネーブル信号タイミング図.....	11
図 4-7 書き込みデータポートのタイミング	12
図 4-8 バースト長が 32 の場合のデータ書き込みタイミング	12
図 4-9 バースト長が 64 の場合のデータ書き込みタイミング	13
図 4-10 バースト長が 128 の場合のデータ書き込みタイミング	13
図 4-11 データ読み出しタイミング	14
図 4-12 バースト長が 32 の場合のデータ読み出しタイミング	14
図 4-13 バースト長が 64 の場合のデータ読み出しタイミング	14
図 4-14 バースト長が 128 の場合のデータ読み出しタイミング	14
図 7-1 リファレンスデザインの基本構造	19
図 7-2 psram_test の一部のシミュレーション波形	20
図 8-1 IP Core Generator を開く	21
図 8-2 PSRAM Memory Interface IP コアを開きます	22
図 8-3 IP コアの構成 GUI.....	22
図 8-4 Help ドキュメント	23
図 8-5 基本情報の構成 GUI.....	24
図 8-6 Type タブ.....	25
図 8-7 Options タブ	26

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin PSRAM Memory Interface IP.....	3
表 3-1 リソース使用率	5
表 4-1 cmd ポートを介したコマンド.....	10
表 5-1 Gowin PSRAM Memory Inteface IP の I/O ポート一覧.....	15
表 5-2 Gowin PSRAM Memory Inteface 2CH IP の I/O ポート一覧	16
表 6-1 Gowin PSRAM Memory Interface の静的パラメータ	18
表 7-1 psram_syn_top モジュールの入力ポート一覧.....	19
表 9-1 ドキュメント一覧.....	27
表 9-2 デザイン用ソースコード一覧.....	27
表 9-3 Ref. Design フォルダのコンテンツ一覧	28

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルには、主に IP の構造と機能、ポートの説明、タイミングの説明、構成と呼び出し、およびリファレンスデザイン等が含まれています。ユーザーが Gowin PSRAM Memory Interface IP を使いこなせるように作成されています。HyperRam の使用法は PSRAM の使用法と基本的に同じであるため、このマニュアルではおもに PSRAM について説明します。特に説明のない限り、使用法が同じです。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート ([DS100](#))
- GW1NR シリーズ FPGA 製品データシート ([DS117](#))
- GW1NS シリーズ FPGA 製品データシート ([DS821](#))
- GW2A シリーズ FPGA 製品データシート ([DS102](#))
- GW2AR シリーズ FPGA 製品データシート ([DS226](#))
- GW1NZ シリーズ FPGA 製品データシート ([DS841](#))
- GW1NSR シリーズ FPGA 製品データシート ([DS861](#))
- GW1NSE シリーズ安全 FPGA 製品データシート ([DS871](#))
- GW1NSER シリーズ安全 FPGA 製品データシート ([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート ([DS891](#))
- GW2ANR シリーズ FPGA 製品データシート ([DS961](#))
- Gowin ソフトウェア ユーザーガイド ([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味については、表

1-1 を参照してください。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
RAM	Random Access Memory	ランダム・アクセス・メモリ
LUT	Look-up Table	ルックアップテーブル
GSR	Global System Reset	グローバル・システム・リセット

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin PSRAM Memory Interface IP は、PSRAM 規格に準拠した汎用 PSRAM 高速メモリアンターフェース IP です。この IP には、PSRAM メモリコントローラ (Memory Controller Logic) 及び対応する物理インターフェース (Physical Interface、PHY) デザインが含まれています。Gowin PSRAM Memory Interface IP はユーザーに PSRAM メモリと接続する汎用コマンドインターフェースを提供し、データのアクセス及び保存を実現しています。

表 2-1 Gowin PSRAM Memory Interface IP

Gowin PSRAM Memory Interface IP	
サポートされるデバイス	すべてのGowin FPGA (GW1N-1/GW1N-1S/GW1NR-1/GW1NZ-1を除く)
ロジックリソース	表3-1参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	Synplify Pro
統合開発環境	Gowin ソフトウェア

3 主な特徴とパフォーマンス

3.1 主な機能

- 標準の PSRAM インターフェースとの互換性を持つ。
- 8、16、24、32、40、48、56、及び 64 ビットのメモリデータパス幅をサポート。
- x8 データ幅のメモリチップをサポート。
- プログラム可能なバースト長：16、32、64、および 128。
- クロック比 1：2 をサポート。
- 初期遅延 6 をサポート。
- 固定遅延モードをサポート。
- 電源オフオプションをサポート。
- 構成可能なドライブ強度。
- 構成可能なセルフリフレッシュエリア。
- 構成可能なリフレッシュレート。
- シングルチャンネル、デュアルチャンネルの 2 つの動作モードをサポート。

注記：

HyperRam のシングルチップの容量は PSRAM の 2 倍であるため、アドレス長は PSRAM より 1 ビット多くなります。HyperRam 構成レジスタも PSRAM とは若干異なります。詳細については、GUI と GUI のヘルプドキュメントを参照してください。ユーザーインターフェースでは、読み出しと書き込みのタイミングは同じです。

3.2 動作周波数と帯域幅の効率

Gowin PSRAM Memory Interface IP がサポートするデータレートと効率：

- 最大動作データレートは 333Mbps。
- バースト長が 128 の場合、帯域幅の効率は 74%。
- バースト長が 64 の場合、帯域幅の効率は 59%。
- バースト長が 32 の場合、帯域幅の効率は 42%。

- バースト長が 16 の場合、帯域幅の効率は 26%。

3.3 リソース使用率

Gowin PSRAM Memory Interface IP は、Verilog 言語で実現され、Gowin GW1N-4、GW1NR-4 等のシリーズ FPGA に適用されます。そのリソース使用率は表 3-1 に示す通りです。他の Gowin FPGA におけるアプリケーション検証については、更新版を参照してください。

表 3-1 リソース使用率

DQ_WIDTH	LOGICs	REGs	I/O	f _{MAX}	スループット	シリーズ	スピードグレード
8(x8)	615	541	16	333Mbps	f _{MAX} x DQ x 動作効率	GW1N-4 GW1NR-4	C6/I5 C5/I4
16(x8)	947	898	29				

注記：

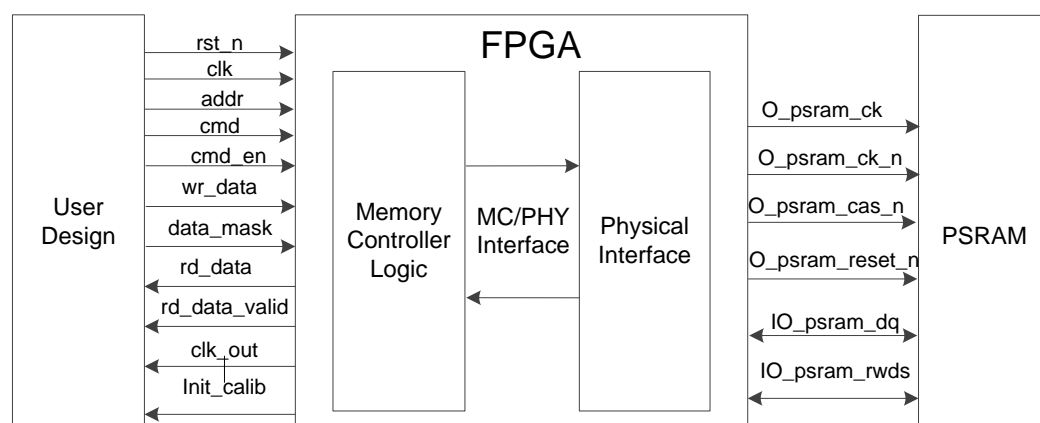
表 3-1 では、Gowin PSRAM Memory Interface IP のアドレス長は 21 ビット、PSRAM WIDTHH は x8、バースト長は 32 です。バースト長が長いほど、リソース使用率が増加します。デュアルチャネル PSRAM IP の場合も、リソース使用率は少し増加します。

4 機能の説明

4.1 IP の構造

Gowin PSRAM Memory Interface IP は、Memory Controller Logic、Physical Interface 等のモジュールで構成されています (図 4-1)。User Design は、外部 PSRAM チップに接続する必要がある FPGA 内のユーザーデザインです。

図 4-1 Gowin PSRAM Memory Interface IP の構造



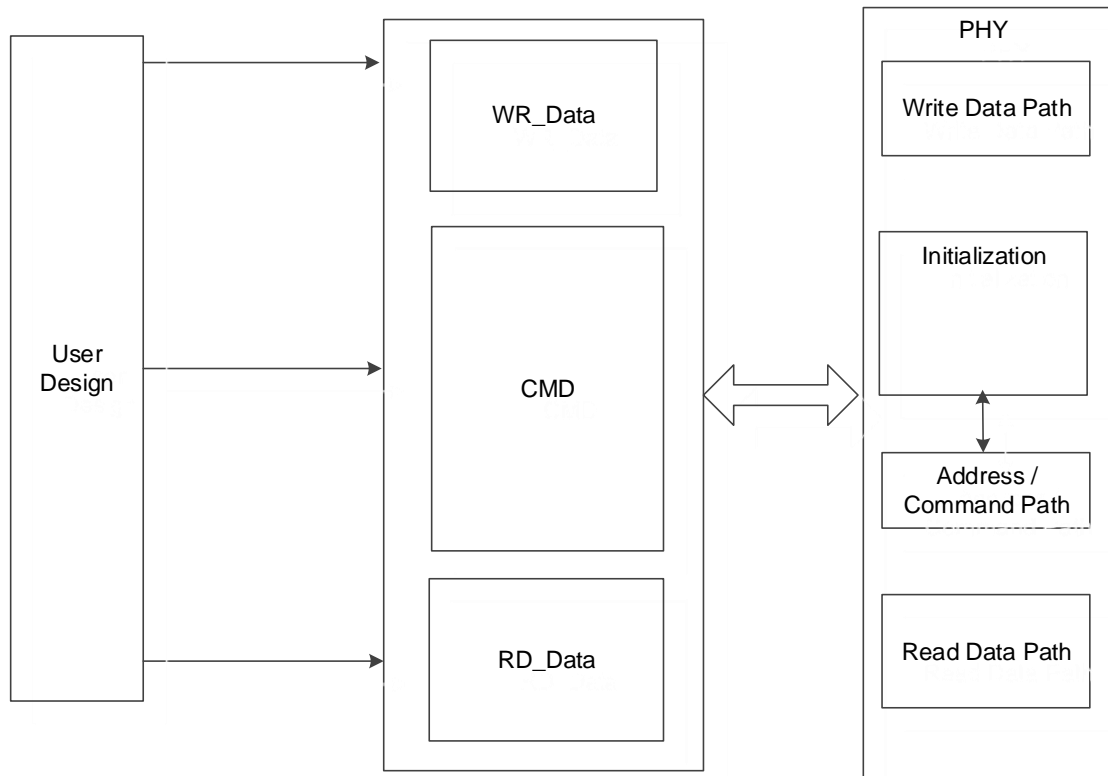
4.2 Memory Controller Logic

Memory Controller Logic は Gowin PSRAM Interface IP のロジックモジュールで、User Design と PHY の間にあります。Memory Controller Logic はユーザーインターフェースからのコマンド、アドレス、およびデータを受信して、ロジック順に保存します。

ユーザーからの読み出し/書き込みなどのコマンドとアドレスは、Memory Controller Logic で並べ替えられ、PSRAM プロトコルに準拠したデータ形式に再編成されます。それと同時に、データを書き込むとき、Memory Controller Logic はコマンドとデータ間の初期遅延値を満たすようにデータを再編成およびキャッシュします。データを読み出すとき、Memory Controller Logic は正しいデータを復元するために読み出されたデータをサンプリングおよび再編成します。

PSRAM Memory Controller は、主に CMD、WR_Data、および RD_Data の 3 つのモジュールで構成されています (図 4-2)。

図 4-2 PSRAM Memory Controller Logic の基本構造

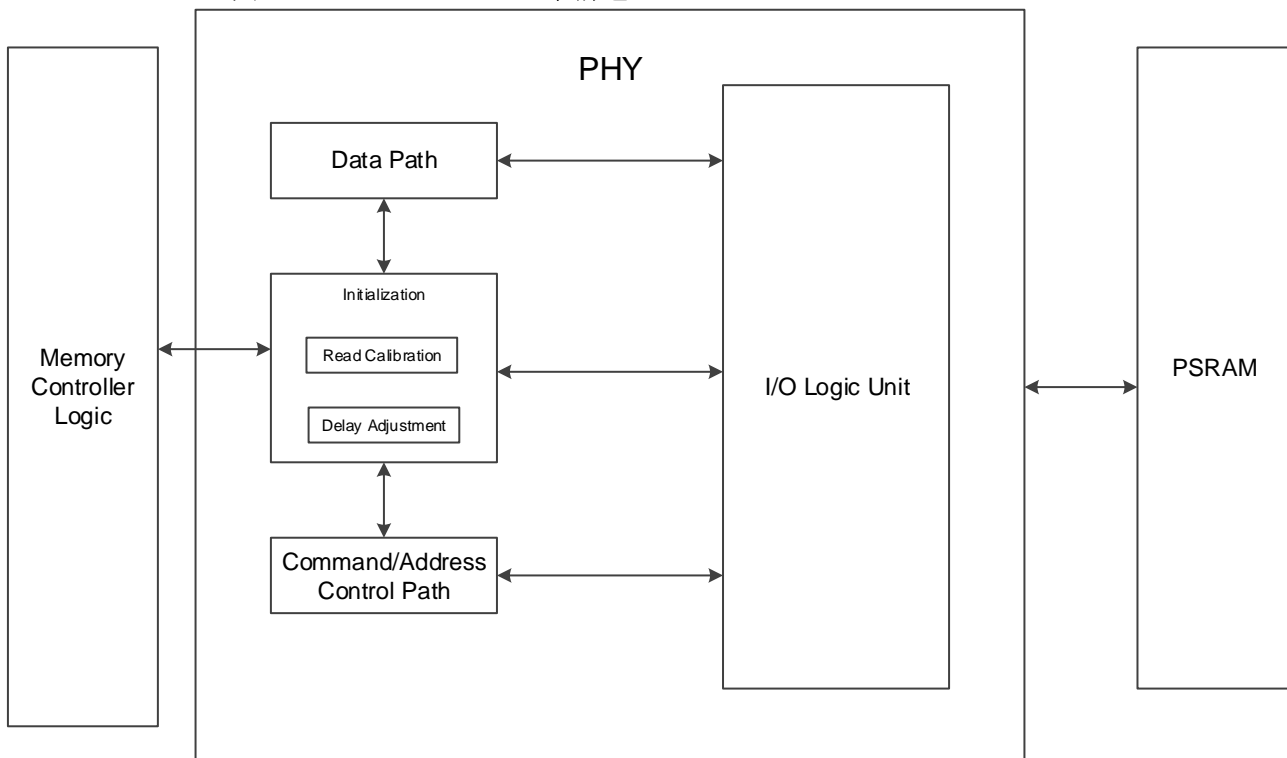


4.3 PHY

PHY は Memory Controller Logic と外部 PSRAM 間の物理層の定義及びインターフェースを提供します。Memory Controller Logic からのコマンド、アドレス、およびデータを受信して、PSRAM インターフェースにタイミング及びシーケンス要件を満たす信号を提供します。

図 4-3 に示すように、PHY には主に、初期化モジュール、データパス、コマンド/アドレス制御パス、および I/O ロジックモジュールの 4 つのモジュールが含まれています。

図 4-3 PSRAM PHY の基本構造



4.3.1 初期化ユニット

初期化モジュールは、主に **PSRAM** のパワーアップ後の初期化及び読み出し校正に使用されます。すべての初期化と読み出し校正が完了した後、信号 “init_calib” は **Low** から **High** になり、すべての初期化が完了したことを指示します。

パワーアップ初期化

PSRAM 規格によれば、電源投入後、**PSRAM** チップに対してリセット、モードレジスタの構成、および読み出し校正といったプロセスを含む初期化を行う必要があります。

4.3.2 データパス

データパスには、データ書き込みとデータ読み出しが含まれます。

4.3.3 制御パスユニット

コマンド/アドレス制御パスは一方通行です。**Memory Controller Logic** が送信したコマンド及びアドレス信号を受信します。データパスと組み合わせ、書き込み・読み出しデータ遅延を処理し、コマンドを **I/O** ロジックモジュールに送信します。

4.3.4 I/O 論理ユニット

I/O ロジックモジュールは、主にデータパス及びコマンド/アドレスパスを介して送信されたデータ、コマンド、アドレス信号にクロックドメインの変換を行います。

4.4 主な機能

PSRAM Memory Interface IP の機能：

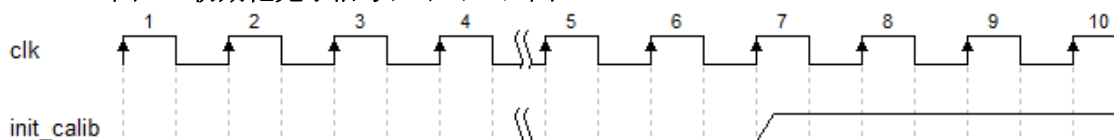
- **PSRAM** チップの初期化。
- アドレス、コマンドの送信。
- データ書き込み。
- データ読み出し。

4.4.1 初期化

PSRAM は、読み出し校正を経ずに通常書き込み、読み出しを行うことはできません。したがって、電源投入後、**PHY** は **PSRAM** に対して初期化の読み出し校正を実行します。初期化が完了すると、初期化完了フラグ **init_calib** が返されます。シングルチャネル **PSRAM IP** の場合は **2** 個の **PSRAM** チップは同時に初期化されます。デュアルチャネル **PSRAM IP** の場合は **2** 個の **PSRAM** チップは個別に初期化され、そして **2** つの初期化完了信号はユーザーにそれぞれ送信されます。

図 4-4 に示すように、初期化後はユーザーに完了信号を返します。

図 4-4 初期化完了信号タイミング図



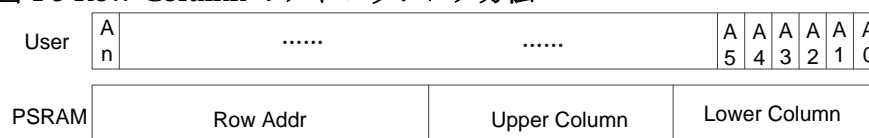
4.4.2 アドレス及びコマンドの送信

ユーザーは、`addr`、`cmd`、`cmd_en` などのポートを介して操作コマンドとアドレスを送信できます。

- `addr` はアドレスデータインターフェースです。
- 連続アドレスの書き込みの場合、隣接する 2 つの操作のアドレスがバースト長/2 増えます。連続アドレスの読み出しの場合もこれと同じです。
- `cmd` はコマンドインターフェースです。
- `cmd_en` はアドレスおよびコマンドイネーブル信号で、アクティブ High です。
- シングルチャネル PSRAM IP とは違って、デュアルチャネル PSRAM IP のコマンドとアドレスは独立しており、制御信号をそれぞれ提供する必要があります。

アプリケーションにおいて、ユーザーインターフェースのアドレスバスと物理メモリの **ROW**、**Upper Column**、**Lower Column** は、マッピング関係にあります。本デザインでは、そのアドレッシング方法を図 4-5 に示します。ユーザーは必要に応じてアドレスを指定するだけです。

図 4-5 Row-Column のアドレッシング方法



ユーザーが `cmd` ポートを介して送信可能なコマンドは、表 4-1 に示す通りです：

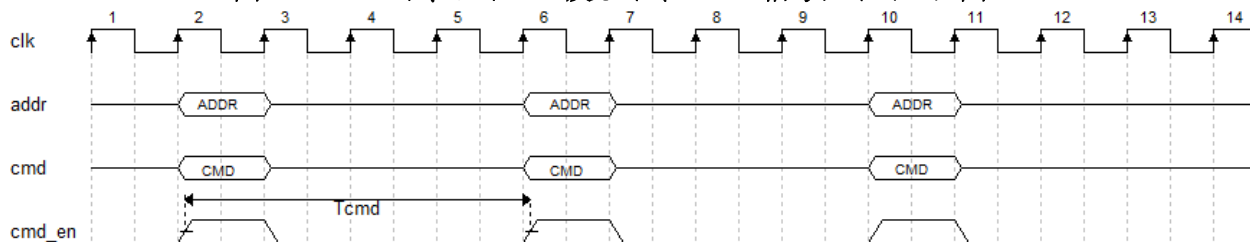
表 4-1 `cmd` ポートを介したコマンド

コマンド	<code>cmd</code>
Read	1' b0
Write	1' b1

ユーザーインターフェース側のコマンド、アドレス、およびイネーブル信号間のタイミングを図 4-6 に示します。

`cmd_en` が High の場合、`cmd` と `addr` は有効です。

図 4-6 コマンド、アドレス及びイネーブル信号タイミング図



ユーザーが PSRAM を使用する際、読み出しコマンドと書き込みコマンドの間隔は、 t_{RWR} 値により決まります。例えば：166MHz のクロックに W955D8MBY チップの場合、最小 t_{RWR} は 36ns であり、したがって読み出しコマンドと書き込みコマンドの間隔は、6 クロックサイクルより大きくする必要があります。実際の書き切り替えに際して、すべての書き込みデータが書き込まれた後に読み出しを実行し、すべての読み出しデータが読み出された後に書き込みを実行することをお勧めします。

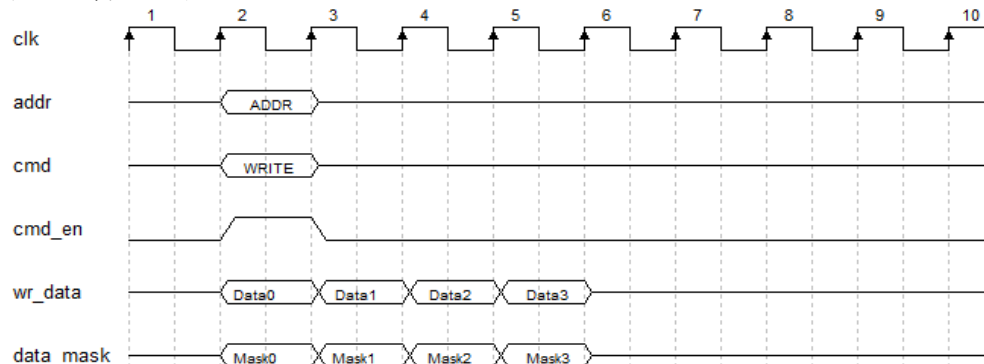
ユーザー側で実際に使用する場合、2 つの読み出し/書き込みコマンドの間隔は、最小間隔期間 (T_{cmd}) 以上である必要があります。即ち、バースト長が 16 の場合、最小コマンド間隔は 15 クロックサイクルであり、バースト長が 32 の場合、最小コマンド間隔は 19 クロックサイクルであり、バースト長が 64 の場合、最小コマンド間隔は 27 クロックサイクルであり、バースト長が 128 の場合、最小コマンド間隔は 43 クロックサイクルです。

4.4.3 書き込みデータ

ユーザーは、`wr_data`、`data_mask`などのポートを介して、書き込みデータを Gowin PSRAM Memory Interface IP に送信します。処理された書き込みデータは、PSRAM チップに送信されます。

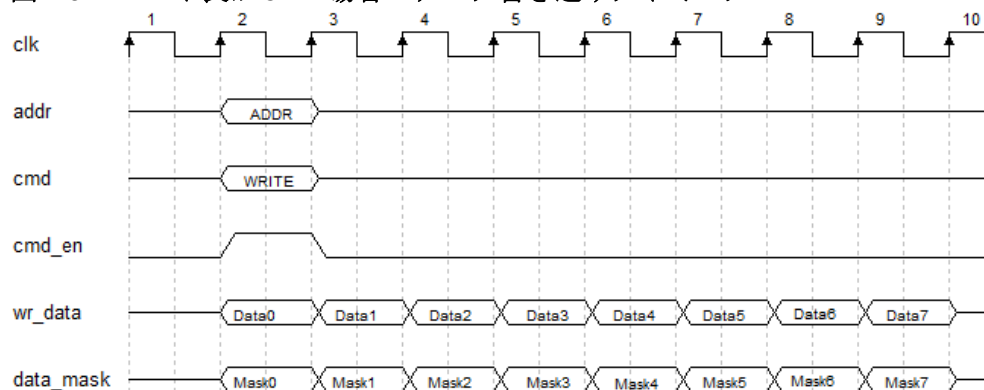
- `wr_data` は書き込みデータポートです。
- `data_mask` は書き込みマスクポートです。
- 書き込みデータチャンネルとコマンドチャンネルの間には複数のタイミング状況があります。次の図はバースト長 16 の場合のタイミングです。
- シングルチャンネル PSRAM IP とは違って、デュアルチャンネル PSRAM IP のデータポートは独立しており、書き込みデータをそれぞれ提供する必要があります。

図 4-7 書き込みデータポートのタイミング



- バースト長が 32 の場合、データ書き込みは 8 クロックサイクルを占有します(図 4-8)。
- マスク機能を使用しない場合、`data_mask` は 0 にすることができます。

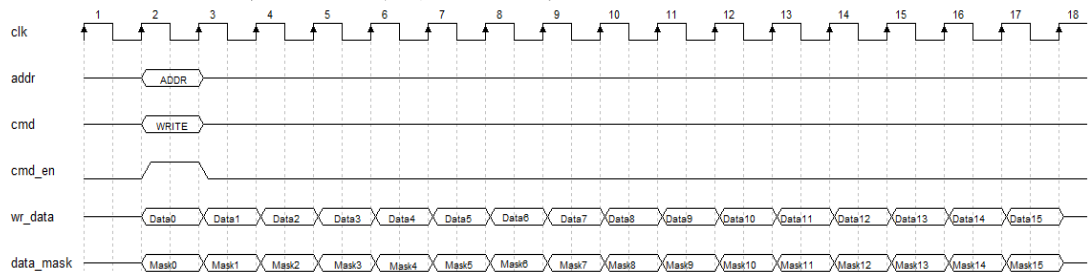
図 4-8 バースト長が 32 の場合のデータ書き込みタイミング



- バースト長が 64 の場合、データ書き込みは 16 クロックサイクルを占有します(図 4-9)。

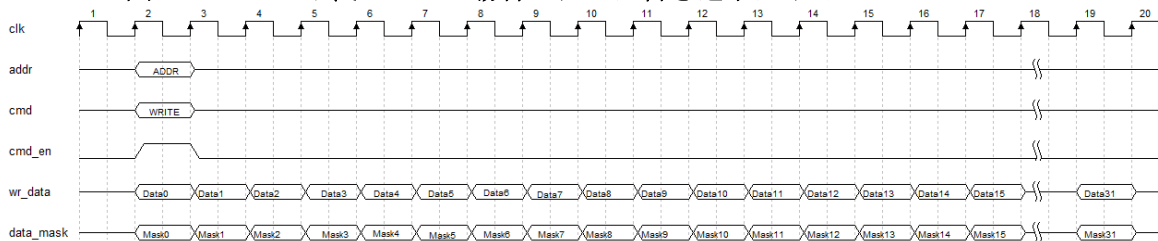
- マスク機能を使用しない場合、`data_mask` は 0 にすることができます。

図 4-9 バースト長が 64 の場合のデータ書き込みタイミング



- バースト長が 128 の場合、データ書き込みは 32 クロックサイクルを占有します(図 4-10)。
- マスク機能を使用しない場合、`data_mask` は 0 にすることができます。

図 4-10 バースト長が 128 の場合のデータ書き込みタイミング

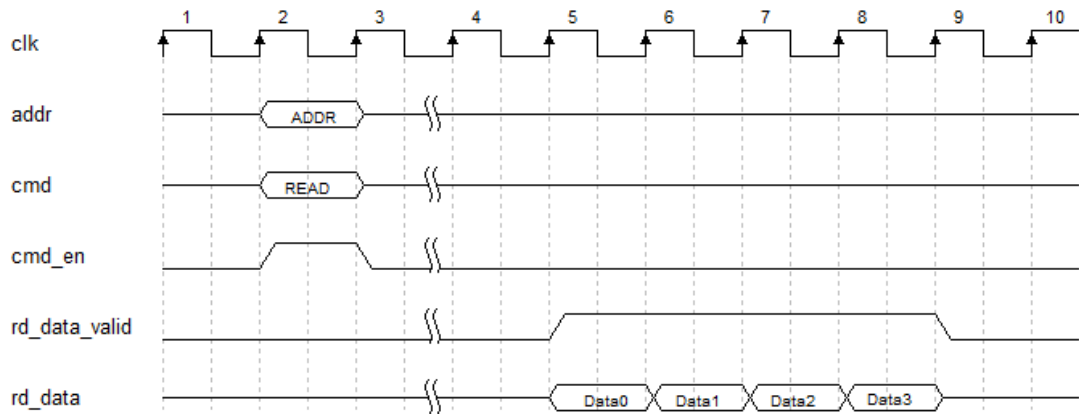


4.4.4 読み出しデータ

ユーザーは、ポート `rd_data`、`rd_data_valid` を介して PSRAM が返すデータを読み出すことができます。

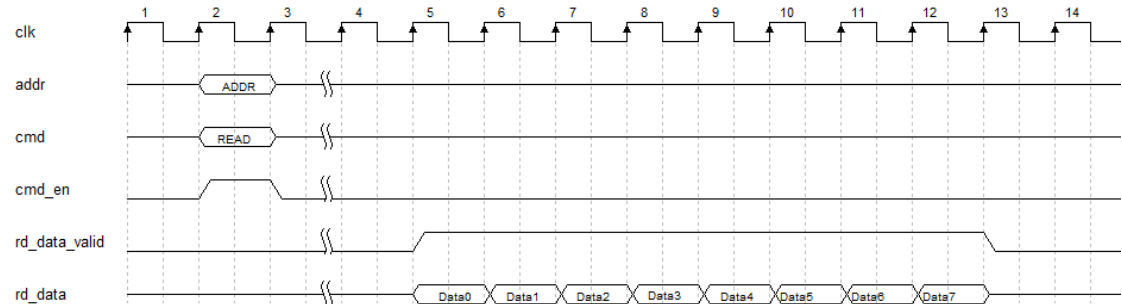
- `rd_data` は、返すデータの読み出しポートです。
- `rd_data_valid` は、読み出しデータ有効ポートで、High の場合、`rd_data` が有効です。
- 読み出しデータチャンネルとコマンドチャンネルの間には複数のタイミング状況があります。次の図はバースト長 16 の場合のタイミングです。
- シングルチャンネル PSRAM IP とは違って、デュアルチャンネル PSRAM IP のデータポートは独立しており、`rd_data_valid` 信号と `rd_data` をそれぞれ受信する必要があります。

図 4-11 データ読み出しタイミング



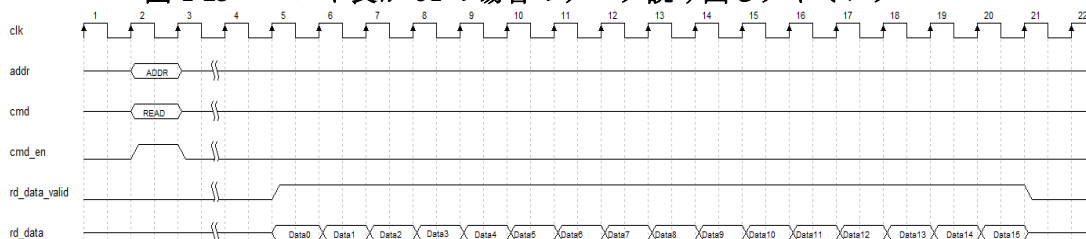
- バースト長が 32 の場合、データ読み出しは 8 クロックサイクルを占有します(図 4-12)。

図 4-12 バースト長が 32 の場合のデータ読み出しタイミング



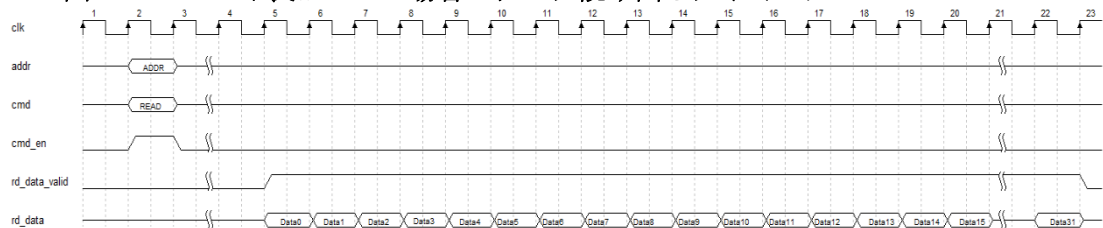
- バースト長が 64 の場合、データ読み出しは 16 クロックサイクルを占有します(図 4-13)。

図 4-13 バースト長が 64 の場合のデータ読み出しタイミング



- バースト長が 128 の場合、データ読み出しは 32 クロックサイクルを占有します(図 4-14)。

図 4-14 バースト長が 128 の場合のデータ読み出しタイミング



5 ポート一覧

Gowin PSRAM Memory Interface IP の I/O ポートは表 5-1 に示すとおりです。

表 5-1 Gowin PSRAM Memory Interface IP の I/O ポート一覧

信号	ビット幅	方向	説明
User Interface			
addr	ADDR_WIDTH	入力	アドレス入力
cmd	1	入力	コマンドチャンネル
cmd_en	1	入力	コマンド及びアドレスイネーブル信号： 0：無効 1：有効
rd_data	4*DQ_WIDTH	出力	読み出しデータ
rd_data_valid	1	出力	rd_data有効信号： 0：無効 1：有効
wr_data	4*DQ_WIDTH	入力	書き込みデータ
data_mask	MASK_WIDTH	入力	wr_dataにマスク信号を提供
clk	1	入力	リファレンス入力クロック、通常はオンボードのクリスタルクロック
init_calib	1	出力	初期化完了信号
clk_out	1	出力	ユーザーデザイン用クロックで、周波数はMemory Clkの1/2
rst_n	1	入力	リセット信号： 0：有効 1：無効
memory_clk	1	入力	ユーザー入力の動作クロック、通常はPLL逡倍による高速クロック

信号	ビット幅	方向	説明
pll_lock	1	入力	memory_clkがPLL通倍入力の場合、このインターフェースはPLLのpll_lockピンに接続されます PLLを使用しない場合、このインターフェースは1'b1に接続されます
PSRAM Interface			
O_psram_cs_n	CS_WIDTH	出力	チップセレクト信号、アクティブLow
O_psram_ck	CS_WIDTH	出力	PSRAMに提供するクロック信号
O_psram_ck_n	CS_WIDTH	出力	O_psram_ckとともに差動信号を構成
O_psram_reset_n	CS_WIDTH	出力	PSRAMリセット信号
IO_psram_dq	DQ_WIDTH	Bidirection	PSRAMデータ
IO_rwds	RWDS_WIDTH	Bidirection	PSRAMデータストロブ信号およびマスク信号

Gowin PSRAM Memory Interface 2CH IP の I/O ポートは表 5-2 に示すとおりです。

表 5-2 Gowin PSRAM Memory Interface 2CH IP の I/O ポート一覧

信号	ビット幅	方向	説明
User Interface			
addr0	ADDR_WIDTH	入力	アドレスチャンネル0
addr1	ADDR_WIDTH	入力	アドレスチャンネル1
cmd0	1	入力	コマンドチャンネル0
cmd1	1	入力	コマンドチャンネル1
cmd_en0	1	入力	チャンネル0コマンド及びアドレスイネーブル信号： 0：無効 1：有効
cmd_en1	1	入力	チャンネル1コマンド及びアドレスイネーブル信号： 0：無効 1：有効
rd_data0	[31:0]	出力	読み出しデータ0
rd_data1	[31:0]	出力	読み出しデータ1
rd_data_valid0	1	出力	0 rd_data有効信号： 0：無効 1：有効

信号	ビット幅	方向	説明
rd_data_valid1	1	出力	1 rd_data有効信号： 0：無効 1：有効
wr_data0	[31:0]	入力	書き込みデータ0
wr_data1	[31:0]	入力	書き込みデータ1
data_mask0	[3:0]	入力	wr_data0にマスク信号を提供
data_mask1	[3:0]	入力	wr_data1にマスク信号を提供
init_calib0	1	出力	初期化完了信号0
init_calib1	1	出力	初期化完了信号1
clk	1	入力	リファレンス入力クロック、通常はオンボードのクリスタルクロック
clk_out	1	出力	ユーザーデザイン用クロックで、周波数はMemory Clkの1/2
rst_n	1	入力	リセット信号： 0：有効 1：無効
PSRAM Interface			
O_psram_cs_n	[1:0]	出力	チップセレクト信号、アクティブLow
O_psram_ck	[1:0]	出力	PSRAMに提供するクロック信号
O_psram_ck_n	[1:0]	出力	O_psram_ckとともに差動信号を構成
O_psram_reset_n	[1:0]	出力	PSRAMリセット信号
IO_psram_dq	[15:0]	Bidirection	PSRAMデータ
IO_rwds	[1:0]	Bidirection	PSRAMデータストローブ信号およびマスク信号

6 パラメータの構成

Gowin PSRAM Memory Interface IP は、PSRAM をサポートしており、ユーザーは必要に応じて Gowin PSRAM Memory Interface の各静的パラメータ及びタイミングパラメータを構成することができます。パラメータの詳細を表 6-1 に示します。

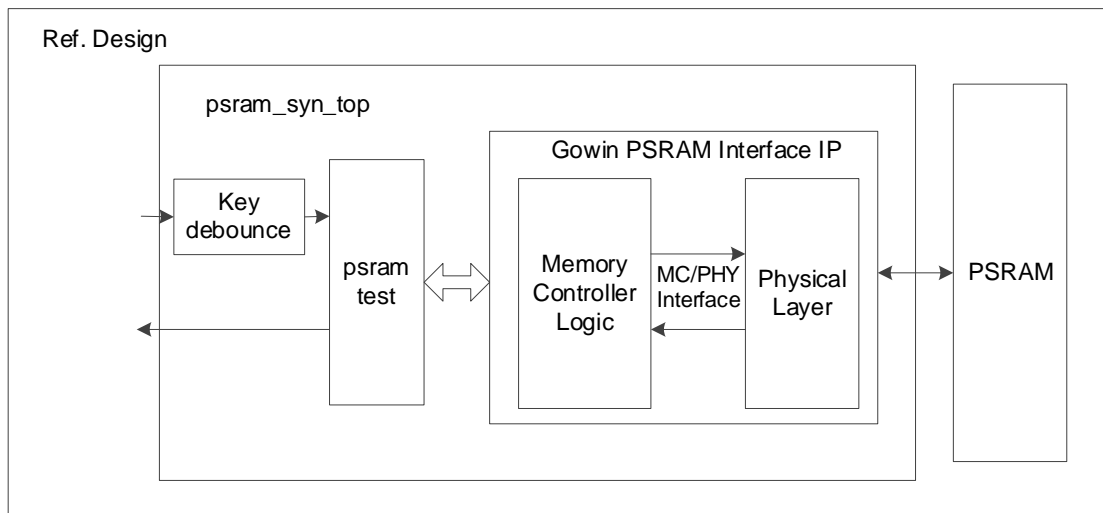
表 6-1 Gowin PSRAM Memory Interface の静的パラメータ

名称	説明	オプション
Memory TYPE	PSRAMチップのモデル	W955D8MBYA, Custom ;
CLk Ratio	PSRAM PHYと内部ロジックのクロック比 (カスタマイズ不可)	1:2 ;
Memory Clock	望ましい動作周波数	10Mhz~166Mhz ;
Psram Width	PSRAMチップのDQ幅	8 ;
Dq Width	必要なデータ幅	8,16,24,32,40,48,56,64 ;
Addr Width	PSRAMチップのアドレス幅 (チップモデルにより異なる)	21 ;
Data Width	データ幅	4*Dq Width ;
CS Width	チップセレクト幅	Dq Width/Psram Width ;
Mask Width	マスク幅	Data Width/Psram Width ;
Burst Mode	バースト長	16, 32, 64, 128 ;
Burst Num	バーストデータの数	Burst Mode/4 ;
Fixed Latency Enable	固定遅延イネーブル	“Fixed” ;
Initial Latency	初期遅延値	6 ;
Drive Strength	ドライブ強度	35, 50, 100,200 ;
Deep Power Down	電源オフオプション	“OFF” , “ON” ;
Hybrid Sleep Mode	スリープモード	“OFF” , “ON” ;
Refresh Rate	リフレッシュレート	“normal” , “faster”
PASR	セルフリフレッシュエリア	full,bottom_1/2, bottom_1/4, bottom_1/8, top_1/2, top_1/4, top_1/8;

7 リファレンスデザイン

ユーザーが Gowin PSRAM Memory Interface IP を使いこなせるよう簡単なリファレンスデザインを提供しています。リファレンスデザインの基本構造を図 7-1 に示します。

図 7-1 リファレンスデザインの基本構造



リファレンスデザインでは、`psram_syn_top` はトップモジュールであり、そのポートはリファレンスクロックや外部リセットなどの入力信号に接続されています。ポートの接続は表 7-1 のとおりです。`psram_test` は Gowin PSRAM Interface IP に必要なアドレス、データ、及び読み出し書き込み等のコマンドを生成するのに使用される、合成可能なモジュールです。`Key_debounce` モジュールは外部スティミュラスを制御する際にボタンまたはダイヤルスイッチで生成される信号ジッタの除去に使用されるジッタ除去モジュールです。

表 7-1 `psram_syn_top` モジュールの入力ポート一覧

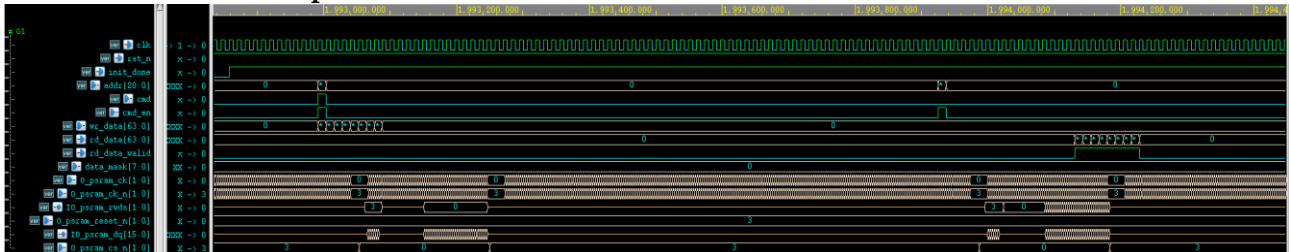
名称	説明
clk	入力リファレンスクロック、デフォルトで50MHz
rst_n	入力リセット信号

`PSRAM_test` は 1 回の書き込みコマンドと 1 回の読み出しコマンドを生成し、同じアドレスに 1 回の書き込み及び 1 回の読み出しを行います。ユーザーは、書き込まれたアドレスやデータなどを変更し、`PSRAM`

Memory Interface IP から返された読み出しデータを分析および検証できます。このリファレンスデザインでは、W955D8MBYA が使用されており、Burst Mode は 32、DQ 幅は 16 ビットです。

psram_test と PSRAM Memory Interface IP ポート間の一部の信号のシミュレーション波形は 図 7-2 に示す通りです。

図 7-2 psram_test の一部のシミュレーション波形



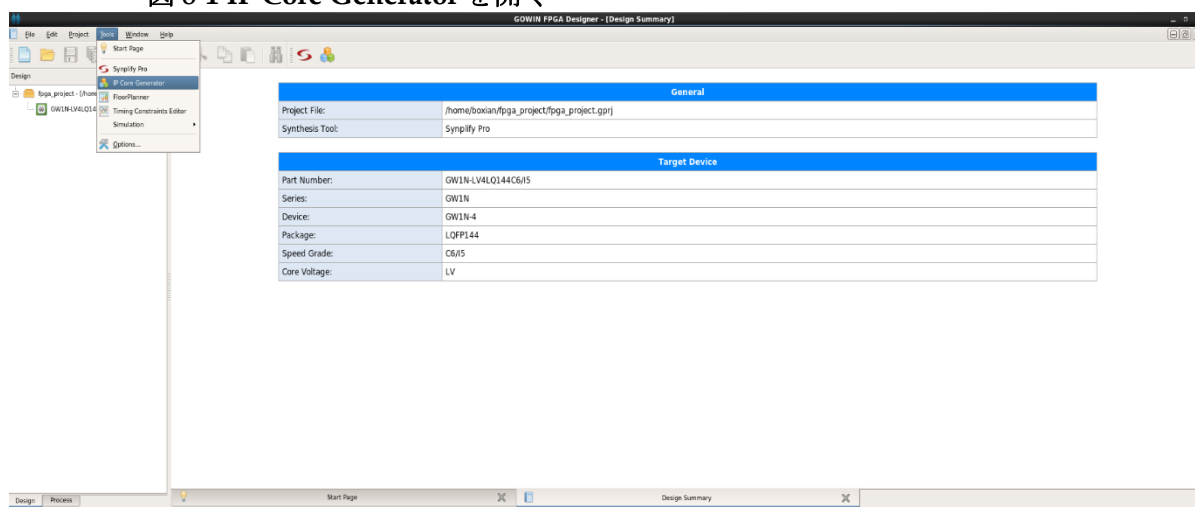
8 GUIでの構成

ユーザーは、IDEのIP Core Generatorを使用してGowin PSRAM Memory Interface IPを構成および呼び出しすることができます。本章では、winbond W955D8MBYA PSRAMを例に、主な構成GUI、構成手順、及び各構成オプションの意味を説明します。

1. IP Core Generatorを開きます

プロジェクトが作成された後、左上のToolsタブをクリックし、ドロップダウンリストからIP Core Generatorを開きます（図8-1）。

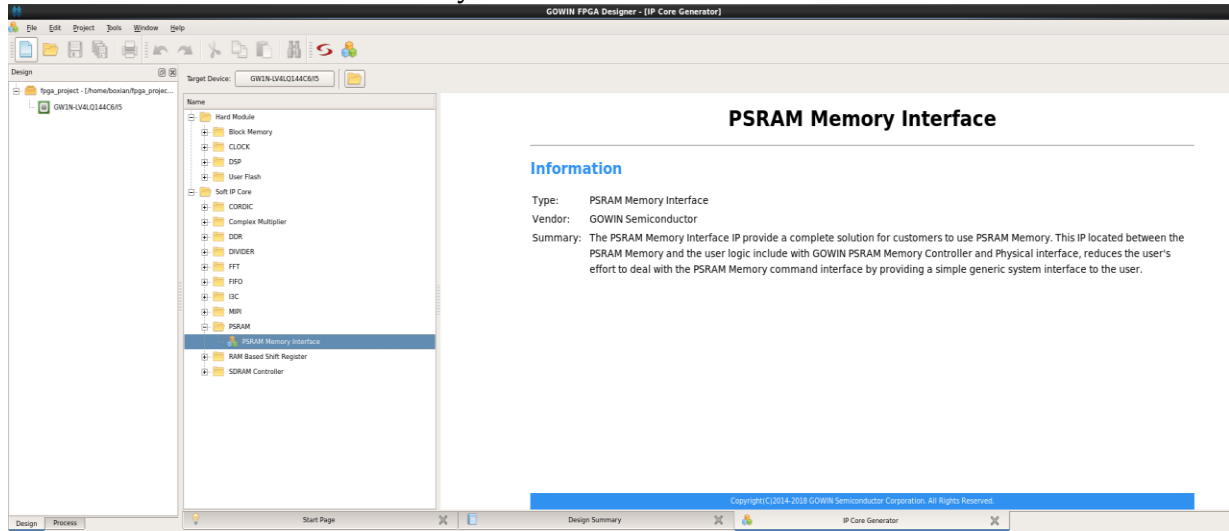
図8-1 IP Core Generatorを開く



2. PSRAM Memory Interface IP コアを開きます

PSRAM > PSRAM Memory Interface をダブルクリックすると、PSRAM Memory Interface IP コアの構成GUIが開きます（図8-2）。

図 8-2 PSRAM Memory Interface IP コアを開きます

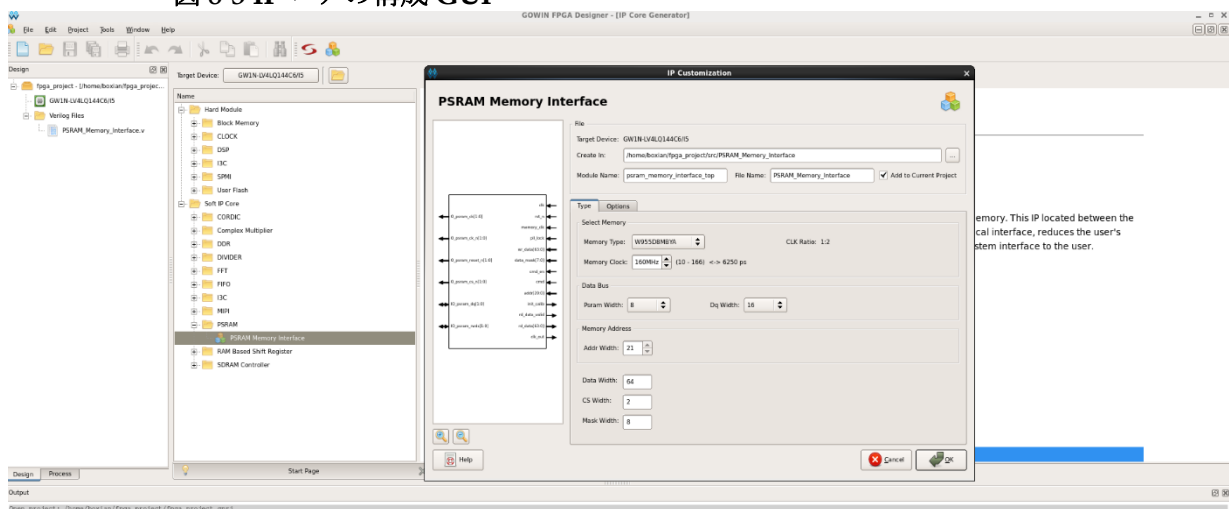


3. PSRAM Memory Interface IP コアの構成 GUI

構成 GUI の左側は PSRAM Memory Interface IP コアのポート図です (図 8-3)。

ポート図の右側は PSRAM Memory Controller とユーザーデザイン間のインターフェースであり、ユーザーはユーザーデザインを PSRAM Memory Interface IP に接続して、コマンド及びデータの送受信を実現します。左側は PHY (Physical interface) とメモリ間のインターフェースであり、ユーザーは PSRAM Memory Interface IP コアを介してメモリのデータへのアクセスを実現します。ポート図の信号幅、信号数は構成により異なります。

図 8-3 IP コアの構成 GUI



4. Help ドキュメントを開く

図 8-3 の左下の Help ボタンをクリックして、構成 GUI 内の各オプションの簡単な英語表記の意味を確認することができます。

図 8-4 Help ドキュメント

PSRAM Memory Interface

Information

Type:	PSRAM Memory Interface
Vendor:	GOWIN Semiconductor
Summary:	The PSRAM Memory Interface IP provide a complete solution for customers to use PSRAM Memory. This IP located between the PSRAM Memory and the user logic include with GOWIN PSRAM Memory Controller and Physical interface, reduces the users effort to deal with the PSRAM Memory command interface by providing a simple generic system interface to the user.

Options

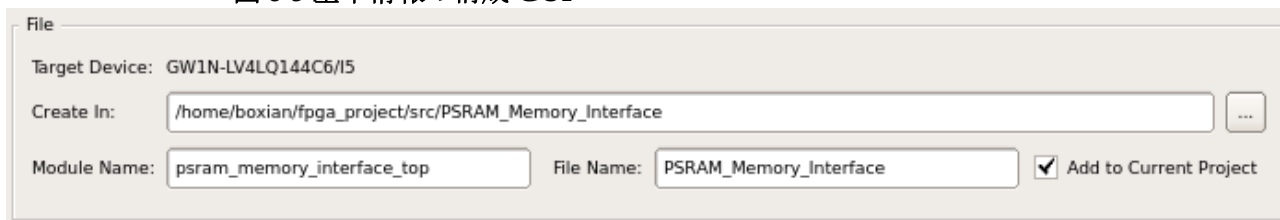
Option	Description
Type	
Memory Type	Choose the type of PSRAM Memory which consumer use.
CLK Ratio	This is the Memory Controller clock to PSRAM Memory clock ratio.
Memory Clock	The consumer desire PSRAM Memory working frequency.
Reference Clock	PCB input clock.
Dq Width	This is the memory DQ bus width.
Psram Width	When Memory Type choose Custom, Psram Width can be modified.
Addr Width	This is the memory address bus width.
Data Width	It is equal to 4*Dq.
CS Width	It is equal to Dq Width/Psram Width.
Mask Width	It is equal to Data Width/Psram Width.
Option	
Burst Mode	This is the memory data burst length.
Burst Num	It is equal to Burst Mode/4 for cache write data.
Fixed Latency Enable	Control flag for fixed or unfixed latency.
Initial Latency	This is the basic latency from command to data.
Drive Strength	The x8 IO Psram support nominal impedance of 35, 50, 100 and 200 Ohms at VCC/2.
Deep Power Down	Deep power-down (DPD) operation disables all refresh-related activity.
Hybrid Sleep Mode	It will significantly decrease internal power consumption when staying at Hybrid Sleep Mode.
Refresh Rate	Refresh normal or faster.
PASR	Partial array self refresh.

5. 基本情報の構成

構成 GUI の上部は基本情報の構成エリアであり、本マニュアルでは、GW1N-4 デバイス LQFP144 パッケージを例に説明します。Module Name オプションには、プロジェクトが作成された後のトップレベルファイルの名前が表示されます。デフォルトは psram_memory_interface_top であり、変更できます。“File Name” は、IP コアファイルによって生成されたフォルダーであり、PSRAM Memory Interface IP コアに必要なファイルを保存します。デフォルトは “PSRAM Memory_Interface” であり、ユーザーはパスを変更できます。Create In オプションでは IP コアのフォルダーのパスが入力されます。デフォルトは “(プロジェクトパス) ¥src¥PSRAM_Memory_Interface” であり、ユーザーはこのパスを変更できます。右下の “Add to Current Project” オプションは、生成された IP をプロジェクトに直接追加するかどうかを尋ねます。デフォルトでチェッ

クされています (図 8-5)。

図 8-5 基本情報の構成 GUI



6. Type タブ

Type タブで、ユーザーは使用する PSRAM チップの基本情報を構成する必要があります。

- Select Memory オプション
- Data Bus オプション
- Memory Address オプション

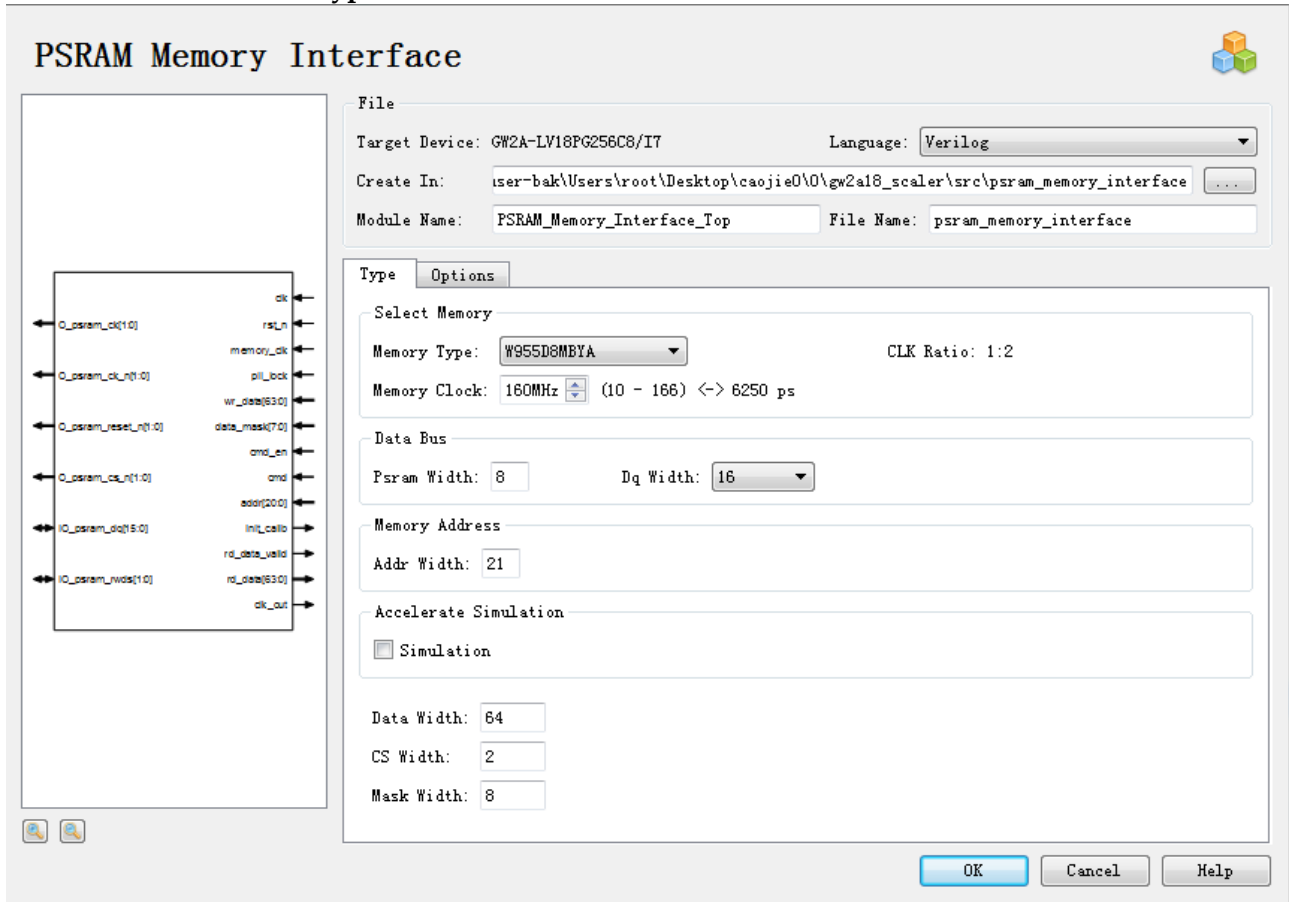
Memory Address では、PSRAM のアドレス幅 (ROW +Upper Column+Lower Column) が入力されます。PSRAM タイプを選択すると、自動的に入力されます。しかし、Custom を選択した場合、手動で入力する必要があります。

- Accelerate Simulation オプション

このオプションは、シミュレーションを高速化するために使用されます。ボードレベルのテストの際は、チェックを外して IP を再生成してください。

- 操作不可オプション

図 8-6 Type タブ



7. Options タブ

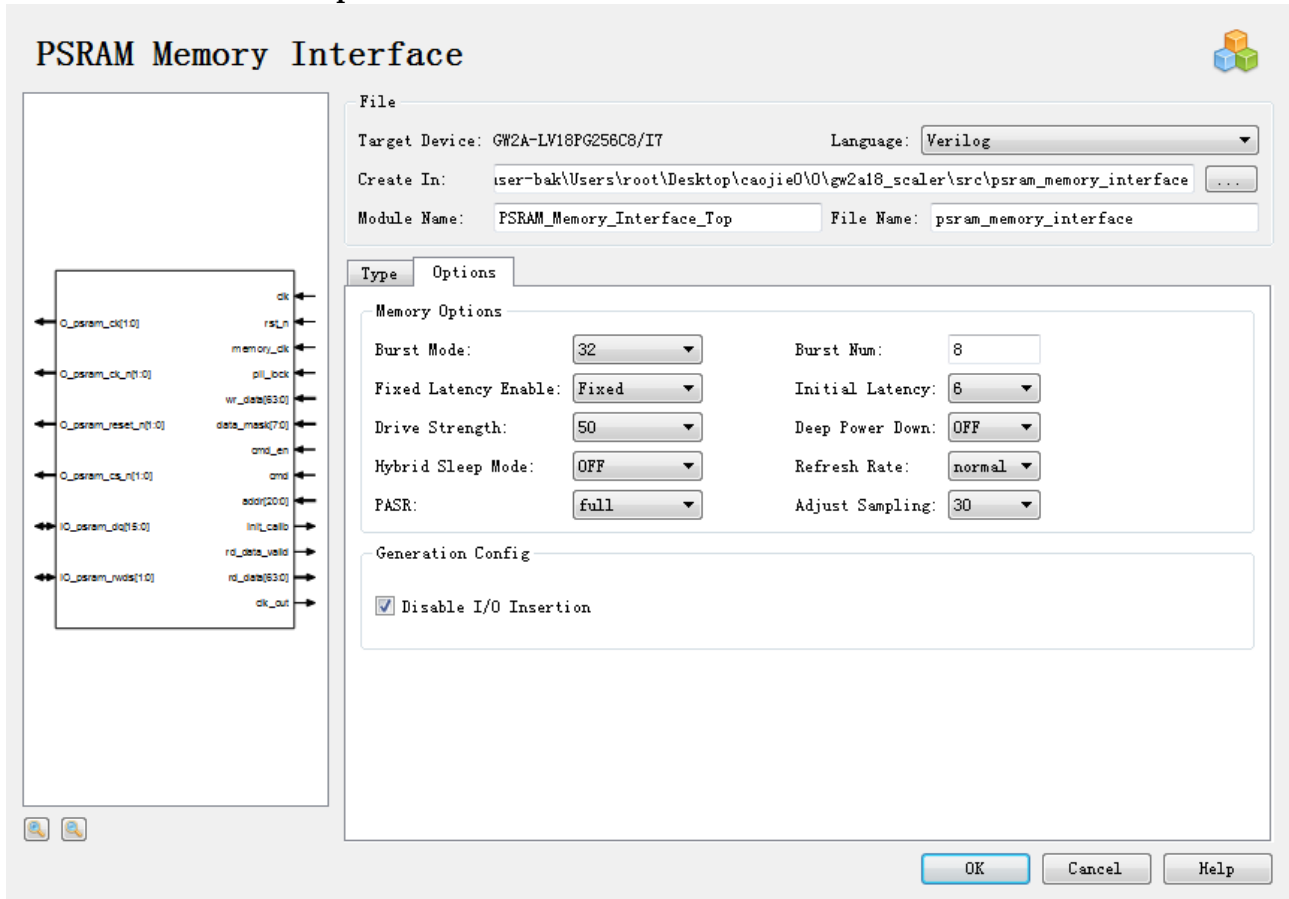
- Memory options オプション
- Generation Config オプション
- Adjust Sampling オプション

サンプリングウィンドウを調整するオプションであり、ユーザーの IP がビットエラーを生成する場合に調整することをお勧めします。

Generation Config オプションをチェックして生成された IP には、IBUF、OBUF などのプリミティブはありません。ロジックはポートに直接接続されます。デフォルトはチェックされます。

winbond W955D8MBYA PSRAM の場合、Options タブは図 8-7 に示すとおりです。

図 8-7 Options タブ



8. PSRAM 2CH IP に関する注意

- Dq Width と Psram Width は変更不可です。トップレベルファイルは、デュアルチャンネル伝送のために2つのチャンネルをインスタンス化します。
- トップレベルファイルはクリアテキストであるため、ユーザーは必要に応じて変更できます。トップレベルファイルにはDLL、PLL、同期モジュール、2つのpsramコントローラモジュールが含まれます。ユーザーは実際の速度に応じてPLL出力の周波数を設定する必要があります（デフォルトでは160MHz）。トップレベルファイルのパスはGowinソフトウェアのインストールディレクトリ/1.9/IDE/ipcore/PSRAM_2CH/data/PSRAM_TOP.vです。

PLLを構成した後、IP Core Generatorを使用してIPを再生成します

9 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンスデザインが含まれています。

9.1 ドキュメント

フォルダにはユーザーガイド (PDF ファイル) があります。

表 9-1 ドキュメント一覧

名称	説明
Gowin HyperRam & PSRAM Memory Interface IPユーザーガイド (IPUG525)	即ち本マニュアル。
Gowin PSRAM Memory Interface IP リリースノート(RN525)	-

9.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI での構成に使用される、Gowin PSRAM Memory Interface IP の RTL 暗号化コードが含まれています。

表 9-2 デザイン用ソースコード一覧

名称	説明
PSRAM_TOP.v	ユーザーにインターフェース情報を提供する、暗号化されていないIPコアのトップレベルファイル
Gowin PSRAM Memory Interface IPの一部のコード	
psram_code.v	暗号化されたGowin PSRAM Memory Interface IPデザインのRTLソースファイル
psram_pll_config.v	GUIを介して生成された、暗号化されていないGowin PSRAMコントローラPLL構成ファイル
psram_define.v	GUIを介して生成された、暗号化されていないGowin PSRAMコントローラパラメータ定義モジュール
psram_local_define.v	暗号化されたGowin PSRAMコントローラパラメータ定

名称	説明
	義処理モジュール
psram_param.v	GUIを介して生成された、暗号化されていないGowin PSRAMコントローラパラメータ構成モジュール。
psram_local_param.v	GUIからのパラメータを処理する、暗号化されたGowin PSRAMコントローラパラメータ処理モジュール

9.3 リファレンスデザイン

Ref. Design フォルダには、主に Gowin PSRAM Memory Interface IP の ネットリストファイル、リファレンスデザイン、制約ファイル、ジッタ除去モジュール、トップレベルファイル、およびプロジェクトフォルダなどが含まれています。

表 9-3 Ref. Design フォルダのコンテンツ一覧

名称	説明
psram_syn_top.v	リファレンスデザインのトップモジュール
key_debounce.v	キージッタ除去モジュール
psram_test.v	テストステイミュラス生成モジュール
PSRAM_Memory_Interface.vo	Gowin PSRAM Memory Interface IP ネットリストファイル
psram.cst	物理制約ファイル
psram.sdc	タイミング制約ファイル
psram.gao	PSRAMデータをキャプチャ
PSRAM_Memory_Interface	PSRAM IPプロジェクトフォルダ

