KSZ9563R

3 ポート Gigabit Ethernet スイッチ (RGMII/MII/RMII インターフェイス + IEEE 1588v2/802.1AS)

ハイライト

- ノンブロッキング ワイヤスピード Ethernet スイッチ ファブリック
- フル機能の転送およびフィルタリング制御 (アクセス制御リスト (ACL) フィルタリングを含む)
- VLAN と QoS のフルサポート
- 10/100/1000BASE-T PHY を内蔵した 2 つのポート
- 10/100/1000 Ethernet MAC と設定可能な RGMII/MII/RMII インターフェイスを備えた 1 つのポート
- EtherSynch® IEEE 1588v2 高精度時間プロトコル (PTP) と IEEE 802.1AS/Qav オーディオ / ビデオブリッジ (AVB) のサポート
- IEEE 802.1X ポートベース認証のサポート
- EtherGreen™ 電源管理機能、低消費電力スタンバイと IEEE 802.3az を含む
- 管理インターフェイスの柔軟な選択肢 : SPI、I^2C、MIIM、任意のポート経由のインバンド管理
- 商業用 / 産業用温度レンジのサポート
- 64 ピン VQFN (8×8 mm) 鉛フリーパッケージ

代表的アプリケーション

- 産業用 Ethernet (Profinet、MODBUS、Ethernet/IP)
- リアルタイム Ethernet ネットワーク
- 産業用制御 / 自動化スイッチ
- ネットワーク化された計測 / 制御システム
- テスト / 計測機器

特長

- スイッチ管理機能
  - 10/100/1000 Mbps Ethernet スイッチ機能 : フレームバッファ管理、アドレス ルックアップ テーブル、キュー管理、MIB カウンタ
  - ノンブロッキング ストアアンドフォワード スイッチ ファブリックが、128 KB のフレームバッファを備えた 4,096 エントリの転送テーブルを利用する事で高速パケット転送を保証
  - ジャンボパケットのサポート (最大 9,000 バイト)
  - ポートのミラーリング / 監視 / スニッフィング : 任意のポートへの Ingress および / または Egress トラフィック
  - RSTP (Rapid Spanning Tree Protocol) のサポートによるトポロジ管理とリング / リニアリカバリ
  - MSTP (Multiple Spanning Tree Protocol) のサポート
- 1x 設定可能外部 MAC ポート
  - RGMII (Reduced Gigabit Media Independent Interface) v2.0
  - RMII (Reduced Media Independent Interface) v1.2 50 MHz 参照クロック入力 / 出力オプション付き)
  - PHY/MAC モードでの MII (Media Independent Interface)
- 2x 高信頼性内蔵 PHY ポート
  - 1000BASE-T/100BASE-TX/10BASE-T IEEE 802.3
  - 高速リンクアップ機能によるリンクアップ時間の大幅な短縮
  - オート ネゴシエーションと Auto-MDI/MDI-X のサポート
  - Energy Efficient Ethernet (EEE) のサポート (低消費電力アイドルモード、クロック停止機能付き)
  - 差動ペア用の終端抵抗とバイアス回路を内蔵する事で消費電力を低減
  - LinkMD® ケーブル診断機能でケーブルの断線、短絡、長さを判断
- 高度なスイッチ機能
  - IEEE 802.1Q VLAN をサポートする事で 128 のアクティブ VLAN グループと 4096 の全 VLAN ID に対応
  - ポートごとの IEEE 802.1p/Q タグ挿入 / 削除
  - ポートまたは VLAN ごとの VLAN ID
  - IEEE 802.3x 全二重フロー制御および半二重バックプレッシャー コリジョン制御
  - IEEE 802.1X(ポートベース ネットワーク アクセス制御)
  - IGMP v1/v2/v3 スヌーピングによるマルチキャスト パケット フィルタリング
  - IPv6 MLD (Multicast Listener Discovery) スヌーピング
  - IPv4/IPv6 QoS のサポート、QoS/CoS パケット優先順位付け
  - 4 つの優先度キューを備えた 802.1p QoS パケット分類
  - Ingress/Egress ポートでのプログラマブルなレート制限
- EtherSynch® IEEE 1588v2 PTP
  - トランスペアレント クロック (TC) (自動補正更新機能付き)
  - マスタおよびスレーブ オーディナリ クロック (OC) のサポート
  - エンドツーエンド (E2E) またはピアツーピア (P2P)
  - PTP マルチキャストおよびユニキャスト メッセージのサポート
  - IPv4/v6 と IEEE 802.3 による PTP メッセージ転送
  - IEEE 1588v2 PTP パケット フィルタリング
- EtherSynch® オーディオ / ビデオブリッジ (AVB)
  - IEEE 802.1BA/AS/Qat/Qav 規格に準拠
  - gPTP 時刻同期、クレジットベース トラフィック シェーパー
- 包括的なコンフィグレーション レジスタアクセス
  - 高速 4 線式 SPI(最大 50 MHz)、I^2C インターフェイスで全ての内部レジスタにアクセス可能
  - MII 管理 (MIIM、MDC/MDIO 2 線式) インターフェイスで全ての PHY レジスタにアクセス可能
  - 任意の 3 ポート経由のインバンド管理
  - I/O ピンストラップ機能により、リセット時に I/O ピンから特定のレジスタビットを設定
- 電源管理
  - IEEE 802.3az Energy Efficient Ethernet (EEE)
  - ケーブル切り離し時のエナジーディテクトパワーダウンモード
  - 動的クロックツリー制御
  - 未使用ポートを個別にパワーダウン可能
  - フルチップ ソフトウェア パワーダウン
  - Wake-On-LAN (WOL) スタンバイ電力モード

© 2018 Microchip Technology Inc.

大切なお客様へ

弊社は、大切なお客様が Microchip 社製品を最適にお使いになれるよう、文書の作成に最善の努力を尽くしています。このため、お客様のニーズにより的確にお応えできるよう継続的に文書の改善に努め、更新版をリリースする際に内容の見直しと充実を図って参ります。

本書に関してご質問またはご意見がございましたら、マーケティング コミュニケーション部宛てにメールでご連絡ください。メールの宛先は **docerrors@microchip.com** です。皆様からのご意見をお待ちしております。

最新の文書

本書の最新版を入手するには、弊社ウェブサイトにご登録ください。

http://www.microchip.com

データシートのリビジョンは、各ページの欄外下隅に記載されている文書番号で確認できます。文書番号の最後の文字がリビジョン番号を表します (例 : DS30000000A_JP であれば文書 DS30000000_JP のリビジョン A)。

エラッタ

現行のデバイスに対して、データシートとの動作上の微妙な相違点と推奨回避策を説明したエラッタシートを発行する場合があります。弊社はデバイスや文書に関する問題を認識した時点でエラッタを発行します。エラッタには該当するシリコンと文書のリビジョンを明記しています。

お使いのデバイス向けにエラッタシートが発行されているかどうかは以下で確認できます。

- Microchip 社のウェブサイト : http://www.microchip.com
- Microchip 社営業所 (本書の最後のページに記載)

お問い合わせの際は、お使いのデバイス、シリコンとデータシートのリビジョン (文書番号を含む) をお知らせください。

お客様向け通知システム

弊社ウェブサイト (**www.microchip.com**) でご登録頂いた客様には、弊社の全製品に関する最新情報をお届けします。

© 2018 Microchip Technology Inc.

目次

1.0 序章 4
2.0 はじめに 8
3.0 ピンの説明と設定 9
4.0 機能説明 17
5.0 デバイスレジスタ 59
6.0 動作特性 191
7.0 設計ガイドライン 208
8.0 パッケージ情報 211
補遺 A:　改訂履歴 215
Microchip 社のウェブサイト 216
お客様向け変更通知サービス 216
お客様サポート 216
製品識別システム 217

1.0 序章

1.1 用語集

表 1-1: 一般用語

用語	説明
10BASE-T	3.3 V 信号、IEEE 802.3 準拠の 10 Mbps Ethernet
100BASE-TX	IEEE 802.3u 準拠の 100 Mbps Fast Ethernet
1000BASE-T	IEEE 802.3ab 準拠の 1000 Mbps Gigabit Ethernet
ADC	アナログ / デジタル (A/D) コンバータ
AN	オート ネゴシエーション
AVB	オーディオ / ビデオブリッジ (IEEE 802.1BA、802.1AS、802.1Qat、802.1Qav)
BLW	基線変動
BPDU	Bridge Protocol Data Unit: スパニングツリー プロトコルの情報を伝達するメッセージ
バイト	8 ビット
CRC	Cyclic Redundancy Check: 巡回冗長検査 データ転送エラー検出のための一般的な方法です。Ethernet の CRC は 32 ビット長です。
CSR	Control and Status Registers: 制御 / ステータス レジスタ
DA	Destination Address: 宛先アドレス
DWORD	32 ビット
EEE	Energy Efficient Ethernet
FCS	Frame Check Sequence: エラーの検出と訂正のために Ethernet フレームの末尾に追加されるチェックサム文字
FID	フレームまたはフィルタ ID フレーム指定子を指定します。またはフィルタ指定子を指定します。
FIFO	先入れ先出し (First In First Out) バッファ
FSM	有限ステートマシン
GPIO	汎用 I/O (General Purpose I/O)
ホスト	外部システム (プロセッサ、アプリケーション ソフトウェア等を含む)
IGMP	Internet Group Management Protocol: IPv4 ネットワークのマルチキャスト グループ メンバーシップを確立するために RFC 1112、RFC 2236、RFC 4604 が定義。
IPG	Inter-Packet Gap: パケット間ギャップ。プロトコル上の理由でネットワーク規格が定める、連続するデータパケットの間隔
ジャンボパケット	標準 Ethernet パケット (1518 バイト) より大きなパケット 大きなパケットサイズは、帯域幅の使用効率の向上、オーバーヘッドの低減、処理工程数の低減等を可能にします。
LSb	最下位ビット
LSB	最下位バイト
MAC	Media Access Controller: メディアアクセス制御 (MAC) 層 (データリンク層の副層) を実装するための機能ブロック
MDI	Medium Dependent Interface: ネットワークハブまたはスイッチが、ヌルモデム ケーブル (クロスオーバー ケーブル) を使わないでその他のハブまたはスイッチに接続できる Ethernet ポート接続
MDIX	Media dependent Interface with Crossover: ネットワーク接続された端末 (例 : PC、ワークステーション) が、ヌルモデム ケーブル (クロスオーバー ケーブル) を使って互いに接続できる Ethernet ポート接続
MIB	Management Information Base: MIB はネットワーク デバイスの管理部分から構成される。これは、トラフィック レベルとフォルトの統計的監視を含み、ネットワーク ノードの動作パラメータ (静的転送アドレス) を変更する事も可能。

© 2018 Microchip Technology Inc.

表 1-1: 一般用語 (続き)

用語	説明
MII	Media Independent Interface: IEEE 802.3 仕様の定義に従い PHY レジスタにアクセスするインターフェイス
MIIM	Media Independent Interface Management
MLD	Multicast Listening Discovery: IPv6 ネットワークのマルチキャスト グループ メンバーシップを確立するために RFC 3810 と RFC 4604 が定義したプロトコル
MLT3	Multi-Level Transmission-3: コードビットが「1」なら論理レベルの出力を 3 段階で変化させ、コードビットが「0」なら論理レベルの出力を維持する符号化方式
MSb	最上位ビット
MSB	最上位バイト
NRZ	Non Return to Zero: 信号のデータ符号化のタイプの 1 つ。ビットとビットの合間に信号がゼロ状態に戻らない。
NRZI	Non Return to Zero Inverted: 「1」の場合に信号を反転し、「0」の場合に信号を維持する符号化方式
N/A	該当なし
NC	未接続
OUI	Organizationally Unique Identifier: ベンダー識別子
PHY	ネットワーク内で物理層インターフェイス機能を実行するデバイスまたは機能ブロック
PLL	Phase Locked Loop: 位相ロックループ。入力 (参照) 信号の周波数において一定の位相角を維持する (ロックする) ようにオシレータを制御する電子回路
PTP	Precision Time Protocol: 高精度時間プロトコル
予約済み	予約済みのビットフィールドまたはアドレス 特に明記しない限り、書き込み時には予約ビットを 0 とする必要があります。特に明記しない限り、予約ビットを読み出した時の値は保証されません。特に明記しない限り、予約アドレスに対する読み出しまたは書き込みを実行してはいけません。
RTC	リアルタイム クロック
SA	Source Address: 送信元アドレス
SFD	Start of Frame Delimiter: Ethernet フレームのプリアンブル終了を示す 8 ビット値
SQE	Signal Quality Error(ハートビートとも呼ぶ)
SSD	Start of Stream Delimiter: ストリームの先頭を示す区切り文字
TCP	Transmission Control Protocol: 伝送制御プロトコル
UDP	User Datagram Protocol: IP ネットワーク上で動作するコネクションレス型プロトコル
UTP	Unshielded Twisted Pair: 通常 4 対のツイストペア線を含むケーブル
UUID	Universally Unique Identifier: 一意の識別子
VLAN	Virtual Local Area Network: 仮想 LAN
ワード	16 ビット

1.2 バッファタイプ

表 1-2: バッファタイプ

バッファタイプ	説明
I	入力
IPU	入力 (プルアップ抵抗 (58 kΩ ±30%) 内蔵)
IPU/O	起動 / リセット時 : 入力 (プルアップ抵抗 (58kΩ ±30%) 内蔵)、 通常動作中 : 出力
IPD	入力 (プルダウン抵抗 (58 kΩ ±30%) 内蔵)
IPD/O	起動 / リセット時 : 入力 (プルダウン抵抗 (58 kΩ ±30%) 内蔵)、 通常動作中 : 出力
O8	シンク能力 8 mA、ソース能力 8 mA の出力
O24	シンク能力 24 mA、ソース能力 24 mA の出力
OPU	8 mA の出力 (プルアップ抵抗 (58 kΩ ±30%) 内蔵)
OPD	8 mA の出力 (プルダウン抵抗 (58 kΩ ±30%) 内蔵)
A	アナログ
AIO	アナログ入出力
ICLK	水晶振動子オシレータ入力ピン
OCLK	水晶振動子オシレータ出力ピン
P	電源
GND	グランド

Note: 各バッファの電気的特性はセクション セクション 6.3、「電気的特性」(p. 192) を参照してください。

© 2018 Microchip Technology Inc.

1.3 レジスタの分類

表 1-3: レジスタの分類

レジスタビットのタイプ	レジスタビットの説明
R	**Read:** この属性を持つレジスタまたはビットは読み出しが可能です。
W	**Write:** この属性を持つレジスタまたはビットは書き込みが可能です。
RO	**Read only:** 読み出し専用です。書き込んでも何も変化しません。
RC	**Read to Clear:** このビットは、読み出すとセットされます。
WO	**Write only:** この属性を持つレジスタまたはビットを読み出すと、不定のデータが返されます。
WC	**Write One to Clear:** 1 を書き込むと値がクリアされます。0 を書き込んでも何も変化しません。
LL	**Latch Low:** 特定の RO ステータスビットに適用します。ステータス条件によって、このビットは Low に変化すると、ステータス条件が変わっても読み出すまで Low 状態を維持します。読み出すとラッチがクリアされ、ステータス条件で決まっている場合、このビットは High になります。
LH	**Latch High:** 特定の RO ステータスビットに適用します。このビットは、ステータス条件によって High に変化すると、ステータス条件が変わっても読み出しまで High 状態を維持します。このビットを読み出すとラッチがクリアされ、ステータス条件で決定付けられている場合、このビットは Low になる事ができます。
SC	**Self-Clearing:** セットした後、内容は自動的にクリアされます。0 を書き込んでも何も変化しません。内容の読み出しは可能です。
RESERVED	**Reserved Field:** 互換性維持のため、特に明記しない場合、予約済みフィールドには 0 を書き込む必要があります。予約済みビットを読み出した場合の値は保証されません。

1.4 参考文献

- NXP 社の I^2C バス仕様 (UM10204、2014 年 4 月 4 日): www.nxp.com/documents/user_manual/UM10204.pdf

2.0 はじめに

2.1 概要

KSZ9563R は IEEE 802.3 準拠の高集積ネットワーク デバイスです。レイヤ 2+ マネージド Gigabit Ethernet スイッチ、2 つの 10BASE-T/100BASE-TX/1000BASE-T 物理層トランシーバ (PHY) および関連する MAC ユニット、1 つの MAC ポートを内蔵し、ホストプロセッサ / コントローラ、その他の Ethernet スイッチ、Ethernet PHY トランシーバに直接接続するための設定可能な RGMII/MII/RMII インターフェイスを備えています。

KSZ9563R は、業界トップレベルの Ethernet 技術に基づいており、ホスト処理を軽減し設計全体を合理化する以下の機能を備えています。

- ノンブロッキング ワイヤスピード Ethernet スイッチ ファブリック
- フル機能の転送およびフィルタリング制御 (ポートベースのアクセス制御リスト (ACL) フィルタリングを含む)
- VLAN と QoS のフルサポート
- ポートごとの Ingress/Egress キューを備えた、トラフィック分類によるトラフィックの優先順位付け
- スパニングツリー プロトコル (RSTP と MSTP) のサポート
- IEEE 802.1X ポートベース認証のサポート

KSZ9563R は、全ての PHY-MAC インターフェイスでのハードウェア タイムスタンプ機能、高分解能ハードウェア「PTP クロック」を含む IEEE 1588v2 高精度時間プロトコル (PTP) をハードウェアでサポートしています。IEEE 1588 は、各種の産業用 Ethernet アプリケーション向けにサブマイクロ秒の同期を実現します。

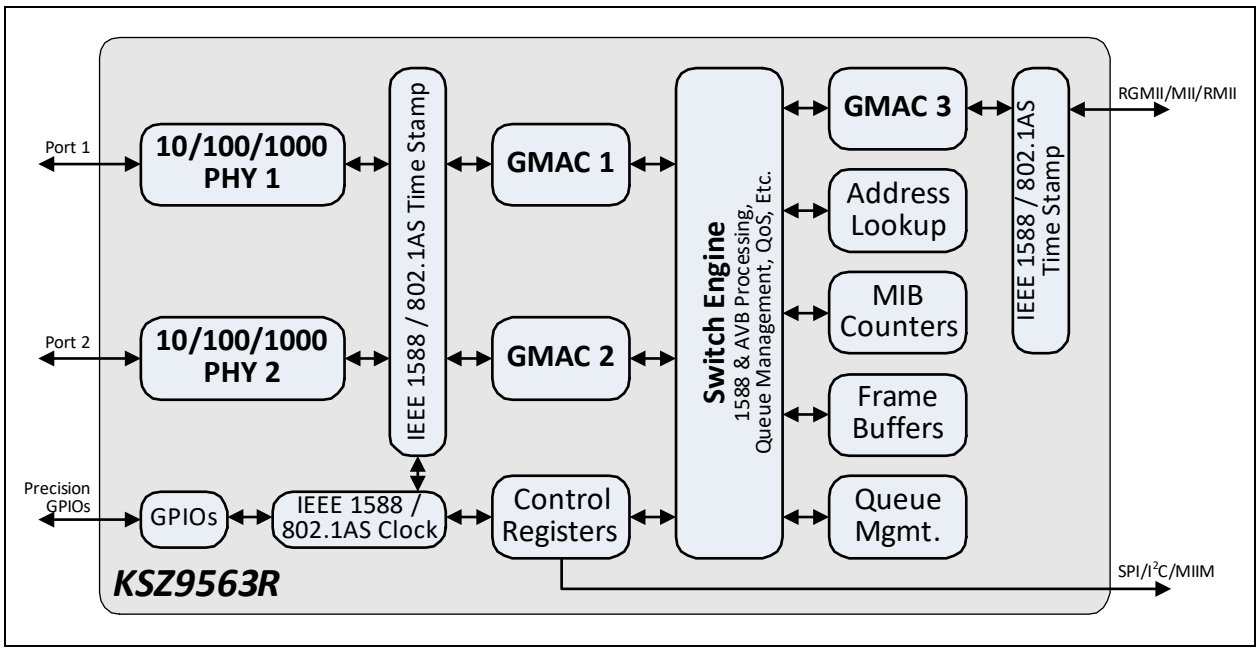
KSZ9563R は、IEEE のオーディオ / ビデオブリッジ (AVB) 規格を全面的にサポートしています。本デバイスは、Ethernet 経由のレイテンシ重視のトラフィック ストリームのための優れたサービス品質 (QoS) を提供します。タイムスタンプ機能と時間管理機能は IEEE 802.1AS 時刻同期をサポートしています。全てのポートは、IEEE 802.1Qav に対応するクレジットベース トラフィック シェーパーを備えています。

ホストプロセッサは、KSZ9563R の PHY、MAC、スイッチの各機能を制御する全レジスタにアクセスできます。SPI または I^2C インターフェイス経由と、任意のデータポート経由のインバンド管理によって、レジスタ全体にアクセスできます。PHY レジスタは MIIM インターフェイスでアクセスします。デジタル I/O の電源電圧レンジが広いため、MAC ポートから 1.8/2.5/3.3 V のホストプロセッサ / コントローラ /FPGA と直接接続できます。

また、アイドルリンクによる省電力化のための IEEE 802.3az Energy Efficient Ethernet (EEE) と低消費電力スタンバイ動作のための Wake-On-LAN (WoL) を含む電源管理機能の堅牢な組み合わせは、エネルギ効率の高いシステムの要件を満足するように設計されています。

KSZ9563R は、商業用 (0 ～ +70 ℃) および産業用 (-40 ～ +85 ℃) 温度レンジで提供しています。図 2-1 に、KSZ9563R の内部ブロック図を示します。

図 2-1: 内部ブロック図



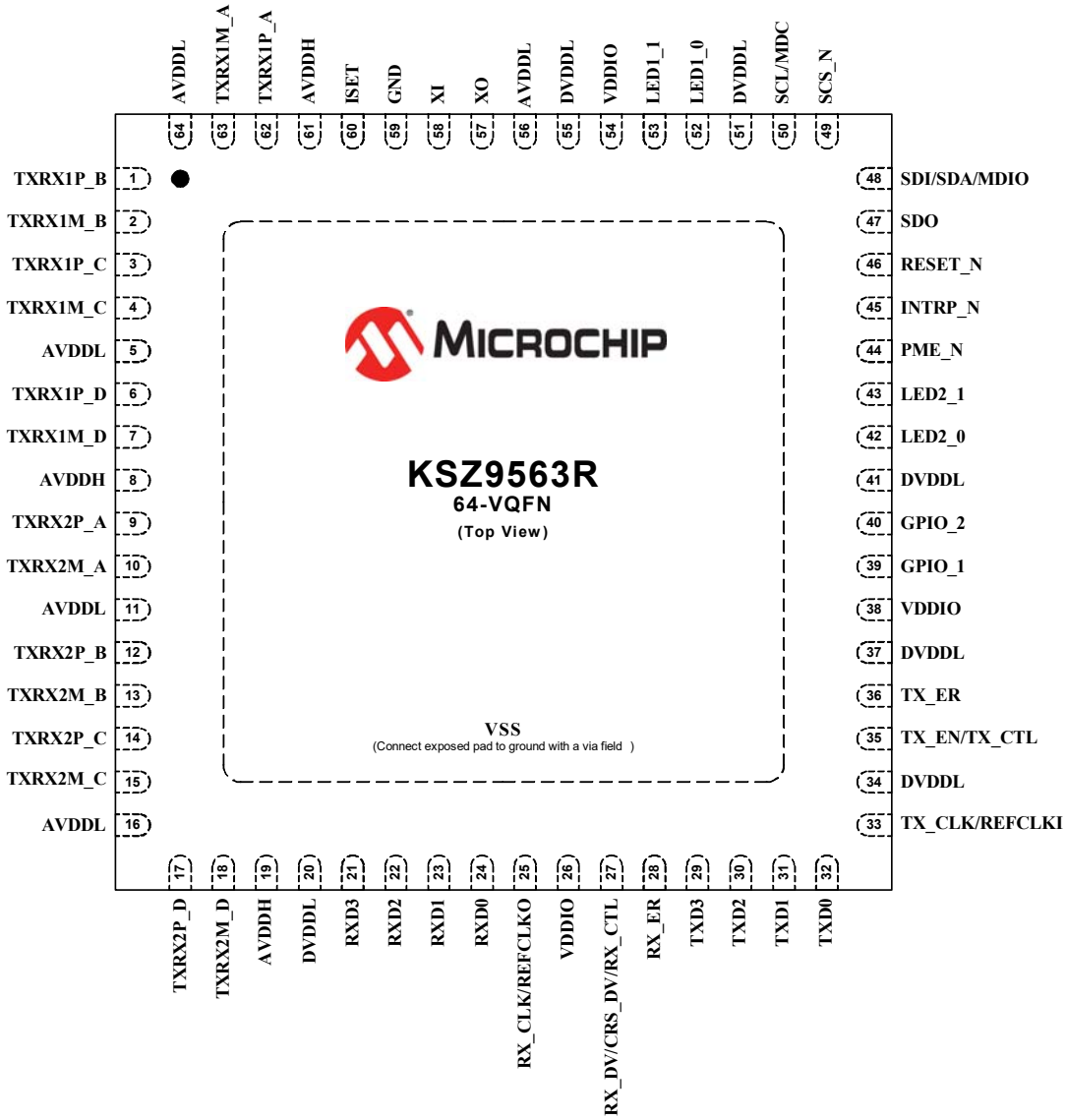
© 2018 Microchip Technology Inc.

3.0 ピンの説明と設定

3.1 ピン割り当て

図 3-1 に、KSZ9563R のピン配置図を示します。表 3-1 に、KSZ9563R のピン割り当て表を示します。各ピンの詳細はセクション 3.2、「ピンの説明」で説明します。

図 3-1: ピン配置図 (上面)



Note: パッケージ裏面の露出パッド(VSS)はビアフィールドでグランドに接続する必要があります。

Note: 信号名末尾の「_N」は、その信号がアクティブ Low である事を示します。例えば、RESET_N はアクティブ Low のリセット信号です。

各信号のバッファタイプは、セクション 3.2、「ピンの説明」のピンの説明表の「バッファタイプ」欄に示しています。各バッファタイプの説明は表 1-2、「バッファタイプ」を参照してください。

表 3-1: ピン割り当て

ピン	ピン名	ピン	ピン名	ピン	ピン名	ピン	ピン名
1	TXRX1P_B	17	TXRX2P_D	33	TX_CLK/REFCLKI	49	SCS_N
2	TXRX1M_B	18	TXRX2M_D	34	DVDDL	50	SCL/MDC
3	TXRX1P_C	19	AVDDH	35	TX_EN/TX_CTL	51	DVDDL
4	TXRX1M_C	20	DVDDL	36	TX_ER	52	LED1_0 (Note 3-1)
5	AVDDL	21	RXD3 (Note 3-1)	37	DVDDL	53	LED1_1 (Note 3-1)
6	TXRX1P_D	22	RXD2 (Note 3-1)	38	VDDIO	54	VDDIO
7	TXRX1M_D	23	RXD1 (Note 3-1)	39	GPIO_1	55	DVDDL
8	AVDDH	24	RXD0 (Note 3-1)	40	GPIO_2	56	AVDDL
9	TXRX2P_A	25	RX_CLK/ REFCLKO	41	DVDDL	57	XO
10	TXRX2M_A	26	VDDIO	42	LED2_0 (Note 3-1)	58	XI
11	AVDDL	27	RX_DV/CRS_DV/ RX_CTL (Note 3-1)	43	LED2_1 (Note 3-1)	59	GND
12	TXRX2P_B	28	RX_ER (Note 3-1)	44	PME_N (Note 3-1)	60	ISET
13	TXRX2M_B	29	TXD3	45	INTRP_N	61	AVDDH
14	TXRX2P_C	30	TXD2	46	RESET_N	62	TXRX1P_A
15	TXRX2M_C	31	TXD1	47	SDO (Note 3-1)	63	TXRX1M_A
16	AVDDL	32	TXD0	48	SDI/SDA/MDIO	64	AVDDL
露出パッドは GND に接続する事							

Note 3-1 このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。

3.2 ピンの説明

以下では、各種デバイス信号の機能を説明します。

表 3-2: ピンの説明

名前	記号	バッファ タイプ	説明
ポート 2 ～ 1 Gigabit Ethernet ピン			
Port 2-1 Ethernet TX/RX Pair A +	TXRX[2:1]P_A	AIO	ポート 2 ～ 1 1000BASE-T 差動データペア A (+) **Note:** 100BASE-TX と 10BASE-T も、A および B ペアでサポートしています。
Port 2-1 Ethernet TX/RX Pair A -	TXRX[2:1]M_A	AIO	ポート 2 ～ 1 1000BASE-T 差動データペア A (-) **Note:** 100BASE-TX と 10BASE-T も、A および B ペアでサポートしています。
Port 2-1 Ethernet TX/RX Pair B +	TXRX[2:1]P_B	AIO	ポート 2 ～ 1 1000BASE-T 差動データペア B (+) **Note:** 100BASE-TX と 10BASE-T も、A および B ペアでサポートしています。
Port 2-1 Ethernet TX/RX Pair B -	TXRX[2:1]M_B	AIO	ポート 2 ～ 1 1000BASE-T 差動データペア B (-) **Note:** 100BASE-TX と 10BASE-T も、A および B ペアでサポートしています。
Port 2-1 Ethernet TX/RX Pair C +	TXRX[2:1]P_C	AIO	ポート 2 ～ 1 1000BASE-T 差動データペア C (+)

© 2018 Microchip Technology Inc.

表 3-2: ピンの説明 (続き)

名前	記号	バッファタイプ	説明
Port 2-1 Ethernet TX/RX Pair C -	**TXRX[2:1]M_C**	AIO	ポート 2 ～ 1 1000BASE-T 差動データペア C (-)
Port 2-1 Ethernet TX/RX Pair D +	**TXRX[2:1]P_D**	AIO	ポート 2 ～ 1 1000BASE-T 差動データペア D (+)
Port 2-1 Ethernet TX/RX Pair D -	**TXRX[2:1]M_D**	AIO	ポート 2 ～ 1 1000BASE-T 差動データペア D (-)
ポート 3 RGMII/MII/RMII ピン			
Port 3 Transmit/ Reference Clock	**TX_CLK/ REFCLKI**	I/O8	**MII モード : TX_CLK** はポート 3 の 25/2.5 MHz 送信クロックです。このピンは PHY モードでは出力、MAC モードでは入力です。 **RMII モード : REFCLKI** は、RMII 通常モードではポート 3 の 50 MHz 参照クロック入力です。このピンは RMII クロックモードでは使いません。 **RGMII モード : TX_CLK** はポート 3 の 125/25/2.5 MHz 送信クロック入力です。
Port 3 Transmit Enable/Control	**TX_EN/ TX_CTL**	IPD	**MII/RMII モード : TX_EN** はポート 3 の送信イネーブルです。 **RGMII モード : TX_CTL** はポート 3 の送信制御です。
Port 3 Transmit Error	**TX_ER**	IPD	**MII モード :** ポート 3 送信エラー入力 **RMII/RGMII モード :** 未使用。これらの動作モードではこのピンは接続しません。
Port 3 Transmit Data 3	**TXD3**	IPD	**MII/RGMII モード :** ポート 3 送信データバスのビット 3 **RMII モード :** 未使用。この動作モードではこのピンは接続しません。
Port 3 Transmit Data 2	**TXD2**	IPD	**MII/RGMII モード :** ポート 3 送信データバスのビット 2 **RMII モード :** 未使用。この動作モードではこのピンは接続しません。
Port 3 Transmit Data 1	**TXD1**	IPD	**MII/RMII/RGMII モード :** ポート 3 送信データバスのビット 1
Port 3 Transmit Data 0	**TXD0**	IPD	**MII/RMII/RGMII モード :** ポート 3 送信データバスのビット 0
Port 3 Receive/ Reference Clock	**RX_CLK/ REFCLKO**	I/O24	**MII モード : RX_CLK** はポート 3 の 25/2.5 MHz 受信クロックです。このピンは PHY モードでは出力、MAC モードでは入力です。 **RMII モード : REFCLKO** は、RMII クロックモードではポート 3 の 50 MHz 参照クロック出力です。このピンは RMII 通常モードでは使いません。 **RGMII モード : RX_CLK** はポート 3 の 125/25/2.5 MHz 受信クロック出力です。

表 3-2: ピンの説明 (続き)

名前	記号	バッファタイプ	説明
Port 3 Receive Data Valid / Carrier Sense / Control	**RX_DV/ CRS_DV/ RX_CTL**	IPD/O24	**MII モード : RX_DV** はポート 3 の受信データ有効 (Receive Data Valid) 出力です。 **RMII モード : CRS_DV** はキャリア検出 / 受信データ有効 (Receive Data Valid) 出力です。 **RGMII モード : RX_CTL** は受信制御出力です。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
Port 3 Receive Error	**RX_ER**	IPD/O24	**MII モード :** ポート 3 受信エラー出力 **RMII/RGMII モード :** 未使用。これらの動作モードではこのピンは接続しません。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
Port 3 Receive Data 3	**RXD3**	IPD/O24	**MII/RGMII モード :** ポート 3 受信データバスのビット 3 **RMII モード :** 未使用。この動作モードではこのピンは接続しません。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
Port 3 Receive Data 2	**RXD2**	IPD/O24	**MII/RGMII モード :** ポート 3 受信データバスのビット 2 **RMII モード :** 未使用。この動作モードではこのピンは接続しません。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
Port 3 Receive Data 1	**RXD1**	IPD/O24	**MII/RMII/RGMII モード :** ポート 3 受信データバスのビット 1 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
Port 3 Receive Data 0	**RXD0**	IPD/O24	**MII/RMII/RGMII モード :** ポート 3 受信データバスのビット 0 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。

© 2018 Microchip Technology Inc.

表 3-2: ピンの説明 (続き)

名前	記号	バッファタイプ	説明
SPI/I²C/MIIM インターフェイス ピン			
SPI/I²C/MIIM Serial Clock	**SCL/MDC**	IPU	**SPI/I²C モード : SCL** シリアルクロック **MIIM モード : MDC** シリアルクロック
SPI Data Out	**SDO**	IPD/O8	**SPI モード :** データ出力 (MISO とも呼ぶ) **I²C/MIIM モード :** 未使用 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
SPI Data In / I²C/MIIM Data In/Out	**SDI/SDA/MDIO**	IPU/O8	**SPI モード : SDI** データ入力 (MOSI とも呼ぶ) **I²C モード : SDA** データ入出力 **MIIM モード : MDIO** データ入出力 出力状態の場合、**SDI** と **MDIO** はオープンドレイン信号です。**VDDIO** への外付けプルアップ抵抗 (1.0 ～ 5 kΩ) が必要です。
SPI Chip Select	**SCS_N**	IPU	**SPI モード :** チップセレクト (アクティブ Low) **I²C/MIIM モード :** 未使用
LED ピン			
Port 1 LED Indicator 0	**LED1_0**	IPU/O8	ポート 1 の LED インジケータ 0 アクティブ Low の出力が電流をシンクし外付け LED を点灯させます。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
Port 1 LED Indicator 1	**LED1_1**	IPU/O8	ポート 1 の LED インジケータ 1 アクティブ Low の出力が電流をシンクし外付け LED を点灯させます。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
Port 2 LED Indicator 0	**LED2_0**	IPU/O8	ポート 2 の LED インジケータ 0 アクティブ Low の出力が電流をシンクし外付け LED を点灯させます。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
Port 2 LED Indicator 1	**LED2_1**	IPU/O8	ポート 2 の LED インジケータ 1 アクティブ Low の出力が電流をシンクし外付け LED を点灯させます。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。

表 3-2: ピンの説明 (続き)

名前	記号	バッファタイプ	説明
その他のピン			
Interrupt	**INTRP_N**	OPU	アクティブ Low、オープンドレインの割り込み **Note:** このピンには外付けプルアップ抵抗が必要です。
Power Management Event	**PME_N**	IPU/O8	電源管理イベント この出力信号は、エナジー ディテクト イベントが発生した事を示します。低消費電力モードから復帰させるシステム要求として使うためのものです。 **Note:** アサートの極性はプログラマブル (既定値はアクティブ Low) です。アクティブ Low 動作の場合、外付けプルアップ抵抗が必要です。アクティブ High 動作の場合、外付けプルダウン抵抗が必要です。 **Note:** このピンは、ハードウェア / ソフトウェア リセットの際、コンフィグレーション ストラップの設定にも使います。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」を参照してください。
System Reset	**RESET_N**	IPU	アクティブ Low のシステムリセット 本デバイスは、起動中またはその後にリセットする必要があります。パワーオン リセット用に RC 回路を推奨します。
Crystal Clock / Oscillator Input	**XI**	ICLK	水晶振動子クロック / オシレータ入力 25 MHz 水晶振動子を使う場合、この入力は水晶振動子の片方のピンに接続します。2.5 V オシレータを使う場合、このピンはオシレータからの入力になります。水晶振動子オシレータの公差は ±50 ppm である事が必要です。
Crystal Clock Output	**XO**	OCLK	水晶振動子クロック / オシレータ出力 25 MHz 水晶振動子を使う場合、この出力は水晶振動子の片方のピンに接続します。2.5 V オシレータを使う場合、このピンは未接続のままにします。
General Purpose Input/Output 1	**GPIO_1**	IPU/O8	この信号は IEEE 1588 クロックに同期しており、IEEE 1588 アプリケーションに使えます。この信号は、タイムスタンプキャプチャ入力またはイベントトリガ出力として設定できます。ホストプロセッサを使って、デバイスレジスタ経由でこの信号を (出力として) 制御または (入力として) サンプリングできます。
General Purpose Input/Output 2	**GPIO_2**	IPU/O8	この信号は IEEE 1588 クロックに同期しており、IEEE 1588 アプリケーションに使えます。この信号は、タイムスタンプキャプチャ入力またはイベントトリガ出力として設定できます。ホストプロセッサを使って、デバイスレジスタ経由でこの信号を (出力として) 制御または (入力として) サンプリングできます。
Transmit Output Current Set Resistor	**ISET**	A	送信出力電流の設定抵抗です。 このピンは物理的な送信出力電流を設定します。6.04 kΩ±1% の抵抗を介して **GND** に接続する必要があります。
電源 / グランドピン			
+3.3/2.5/1.8 V I/O Power	**VDDIO**	P	+3.3 V/+2.5 V/+1.8 V I/O 電源
+3.3/2.5 V Analog Power	**AVDDH**	P	+3.3 V/+2.5 V アナログ電源
+1.2 V Analog Power	**AVDDL**	P	+1.2 V アナログ電源

© 2018 Microchip Technology Inc.

表 3-2: ピンの説明 (続き)

名前	記号	バッファタイプ	説明
+1.2 V Digital Power	**DVDDL**	P	+1.2 V デジタル電源
Ground	**GND**	GND	グランド (ピンおよびパッド)

3.2.1 コンフィグレーション ストラップ

KSZ9563R はコンフィグレーション ストラップを利用してデバイスを各種モードに設定します。これらのストラップピンは、外付けプルアップ / プルダウン抵抗を使って設定します。これにより、デバイスの起動またはソフトウェアリセットサイクルの最後にこれらのピンで High 状態または Low 状態がサンプリングされるようにします。パワーダウン (ハードウェアまたはソフトウェア) またはハードウェア リセット状態 (**RESET_N** の立ち上がりエッジ) からの復帰時にも、これらのピンはラッチされます。表 3-3 に、コンフィグレーション ストラップピンとそれらに関連する機能の詳細を示します。

表 3-3: コンフィグレーション ストラップの説明

コンフィグレーション ストラップピン	説明
LED1_0	**起動時のスイッチ イネーブル** 0: スイッチ起動を無効にする(スイッチ動作レジスタのスイッチ起動ビットがセットされるまでスイッチはパケットを転送しません。) 1: スイッチ起動を有効にする (リセット後、スイッチはただちにパケットを転送します。) (既定値)
LED1_1	**インバンド管理 (IBA)** 0: インバンド管理を有効にする 1: インバンド管理を無効にする (既定値)
LED2_0	**ポート 3 (MAC) MII/RMII モード** 0: MII: PHY モード RMII: クロックモード。RMII 50 MHz 参照クロックが **REFCLKO** に出力される RGMII: 影響なし 1: MII: MAC モード (既定値) RMII: 通常モード。RMII 50 MHz 参照クロックが **REFCLKI** に入力される RGMII: 影響なし
LED2_1	**ポート 3 (MAC) 速度選択** 0: 1000 Mbps モード 1: 10/100 Mbps モード (既定値)
RXD3, RXD2	**[RXD3, RXD2]: ポート 3 (MAC) xMII モード** 00: MII(既定値) 01: RMII 10: 予約済み 11: RGMII
RXD1, RXD0	**[RXD1, RXD0]: シリアル インターフェイス モード** 00: MIIM(既定値) 01: I^2C 1x: SPI
RX_ER, PME_N	**[RX_ER, PME_N]: ポート 1 および 2 (PHY) 設定** 00: 予約済み 01: EEE オート ネゴシエーションは有効 (既定値) 10: オート ネゴシエーションは無効 (100 Mbps、全二重モードに強制)、Auto-MDIX は無効 (MDI-X モードに設定) 11: オート ネゴシエーションは無効 (100 Mbps、全二重モードに強制)、Auto-MDIX は無効 (MDI モードに設定)

表 3-3: コンフィグレーション ストラップの説明 (続き)

コンフィグレーション ストラップピン	説明
RX_DV/ CRS_DV/ RX_CTL	**通常 / 工場検査モード** 0: 通常モード (既定値) 1: 工場検査モード **Note:** 工場検査モードは Microchip 社内でのみ使用し、ユーザが有効にする事はできません。
SDO	**通常 / 工場検査モード** 0: 通常モード (既定値) 1: 工場検査モード **Note:** 工場検査モードは Microchip 社内でのみ使用し、ユーザが有効にする事はできません。

© 2018 Microchip Technology Inc.

4.0 機能説明

このセクションでは、以下に示す機能を説明します。

- 物理層トランシーバ (PHY)
- LED
- MAC (Media Access Controller)
- スイッチ
- IEEE 1588 高精度時間プロトコル
- オーディオ / ビデオブリッジと TSN (Time Sensitive Networking)
- クロッキング
- 電源
- 電源管理
- 管理インターフェイス
- インバンド管理
- MAC インターフェイス (RGMII/MII/RMII ポート 3)

4.1 物理層トランシーバ (PHY)

ポート 1 および 2 は、標準の 4 ペアシールドなしツイストペア (UTP)、CAT-5 またはそれ以上の仕様の Ethernet ケーブルで 3 段階の速度 (10BASE-T、100BASE-TX、1000BASE-T) によるデータ送受信をサポートする完全一体型 Ethernet 物理層トランシーバを備えています。

本デバイスは 4 つの差動ペアに内部終端抵抗を備えているため、外付け終端抵抗は不要です。終端抵抗およびバイアス印加機能を内蔵しているため、外付け部品を使う場合と比べて大幅に電力を節約できます。

本デバイスは、差動ペアの誤った配置と逆極性を自動的に検出して修正できます。また 1000BASE-T 動作の場合、IEEE 802.3 規格の仕様に従って 4 つの差動ペア間の伝播遅延の差を修正できます。

4.1.1 1000BASE-T トランシーバ

1000BASE-T トランシーバはミクストシグナル / デジタルシグナル処理 (DSP) アーキテクチャに基づき、アナログフロントエンド、デジタル チャンネル イコライザ、トレリス エンコーダ / デコーダ、エコーキャンセラ、クロストークキャンセラ、高精度クロックリカバリ スキーム、高電力効率ラインドライバを備えています。

4.1.1.1 アナログ エコーキャンセル回路

1000BASE-T モードでは、アナログ エコーキャンセル回路によって近端エコーを低減します。このアナログ ハイブリッド回路は ADC と適応型イコライザの負担を軽減します。この回路は 10BASE-T/100BASE-TX モードでは無効です。

4.1.1.2 自動ゲイン制御 (AGC)

1000BASE-T モードでは、自動ゲイン制御回路が信号レベルを増幅するための初期ゲイン調整を行います。この前段コンディショニング回路を使う事で、受信信号の信号 / ノイズ比が向上します。

4.1.1.3 A/D コンバータ (ADC)

1000BASE-T モードでは、A/D コンバータ (ADC) が受信信号をデジタル化します。ADC 性能は、トランシーバの総合性能にとって非常に重要です。この回路は 10BASE-T/100BASE-TX モードでは無効です。

4.1.1.4 タイミング リカバリ回路

1000BASE-T モードでは、ミクストシグナル クロックリカバリ回路とデジタル位相ロックループ (PLL) の組み合わせにより、受信データからタイミング情報を復元して追跡します。受信信号の信号 / ノイズ比を最大限に高めるため、デジタル PLL の長期的ジッタは非常に低く抑えられています。

1000BASE-T スレーブ PHY は、受信データから復元した正確な受信クロック周波数を、1000BASE-T マスタ PHY へ返信する必要があります。そうしないと、長い伝送の後でマスタとスレーブが同期しなくなります。これは、エコーキャンセルと NEXT の除去を容易にする効果も提供します。

4.1.1.5 適応型イコライザ

1000BASE-T モードでは、適応型イコライザが以下の機能を提供します。

- 部分応答信号の検出
- NEXT およびエコーノイズの低減
- チャンネル イコライゼーション

インピーダンス不整合のためにアナログ ハイブリッド回路で除去されなかった残留エコーは信号クオリティを低下させます。本デバイスは、デジタル エコーキャンセラを使って、受信信号のエコー成分をさらに削減します。

1000BASE-T モードでは、データの送受信は 4 ペアのケーブル (4 チャンネル) の全てで同時に発生します。このため、隣接したケーブルから高周波クロストークが発生します。本デバイスは各受信チャンネルで 3 つの NEXT キャンセラを使う事により、他の 3 チャンネルによって誘起されるクロストークを最小限に抑えます。

10BASE-T/100BASE-TX モードの場合、適応型イコライザはシンボル間干渉の除去と受信データのチャンネル損失の復元だけを実行します。

4.1.1.6 トレリス エンコーダおよびデコーダ

1000BASE-T モードでは、8 ビットの送信データは 9 ビットシンボルへスクランブルされ、さらに 4D-PAM5 シンボルへエンコードされます。受信側では、アイドル ストリームが最初に検査されます。スクランブラ シード、ペア間スキュー、ペアの順番、極性はロジックによって解決する必要があります。受信した 4D-PAM5 データは、9 ビットシンボルへ変換され、8 ビットデータへデスクランブルされます。

4.1.2 100BASE-TX トランシーバ

4.1.2.1 100BASE-TX 送信

100BASE-TX 送信機能はパラレルからシリアルへの変換、4B/5B コーディング、スクランブル、NRZ から NRZI への変換、MLT3 エンコード / 送信を実行します。

回路はパラレル - シリアル変換で始まります。これは MAC からの MII データを 125 MHz のシリアル ビットストリームに変換します。次に、データおよび制御ストリームが 4B/5B コーディングに変換され、その後にスクランブラが続きます。シリアルに変換されたデータは NRZ から NRZI フォーマットへ変換された後に、MLT3 電流出力で送信されます。出力電流は、ISET の 1 本の外付け抵抗によって 1:1 の変圧比向けに設定されます。

出力信号は 4 ns (typ.) の立ち上がり / 立ち下がり時間を有し、振幅バランス、オーバーシュート、タイミングジッタに関する ANSI TP-PMD 規格に適合します。波形整形した 10BASE-T 出力のドライバも 100BASE-TX ドライバに組み込まれています。

4.1.2.2 100BASE-TX 受信

100BASE-TX レシーバ機能は適応型イコライズ、DC リカバリ、MLT3 から NRZI への変換、データ / クロックリカバリ、NRZI から NRZ への変換、デスクランブル、4B/5B デコード、シリアルからパラレルへの変換を実行します。

受信側は、ツイストペア ケーブルの符号間干渉 (ISI) を補償するためのイコライザ フィルタで始まります。振幅損失と位相歪みはケーブル長によって変化するため、性能を最適化するためにイコライザは特性を調整する必要があります。本回路の可変イコライザは、受信信号強度を既知のケーブル特性に対して比較する事で初期の推定を行い、最適に自己調整します。この処理を継続的に実行する事で、温度等の環境条件の変化に対して自己調整します。

イコライザで処理された信号は DC リカバリおよびデータ変換ブロックを経由します。DC リカバリ回路は、Baseline Wander の影響を補償する事でダイナミック レンジを向上させます。差動データ変換回路は、MLT3 フォーマットを NRZI へ変換し戻します。スライスするしきい値も適応型です。

クロックリカバリ回路は、NRZI 信号のエッジから 125 MHz クロックを抽出します。この復元されたクロックを使って、NRZI 信号を NRZ フォーマットへ変換します。この信号はデスクランブラを経由して 45/4B デコーダへ伝送されます。最後に、NRZ シリアルデータが MII フォーマットへ変換され、MAC への入力データとして提供されます。

4.1.2.3 スクランブラ / デスクランブラ

スクランブラの目的は、信号のパワースペクトルを拡散させて電磁干渉 (EMI) と Baseline Wander を低減させる事です。スクランブラは 100BASE-TX にのみ使います。

送信データは、11 ビット幅の線形帰還シフトレジスタ (LFSR) を使ってスクランブルします。スクランブラは 2047 ビットの非反復配列を生成します。次にレシーバは、トランスミッタと同じ配列を使って受信データストリームをデスクランブルします。

© 2018 Microchip Technology Inc.

4.1.3 10BASE-T/Te トランシーバ

AVDDH 電源が 3.3 V の場合、10 Mbps インターフェイスは 10BASE-T です。**AVDDH** が 2.5 V の場合、10BASE-T 信号の振幅が減少します (これを 10BASE-Te と呼びます)。CAT-5 ケーブルを使った場合、10BASE-Te は 10BASE-T と相互運用可能です。

4.1.3.1 10BASE-T/Te 送信

10BASE-T/Te ドライバは 100BASE-TX ドライバに組み込まれており、同じパルストランスを使って送信できます。これらの信号は内部的に波形成形およびプリエンファシスされ 2.5 V (typ.) 振幅 (10BASE-T) または 1.75 V (typ.) 振幅 (10BASE-Te) で出力されます。全て「1」のマンチェスタ エンコード信号で駆動した場合、高調波成分は基本周波数成分を 27 dB 下回ります。

4.1.3.2 10BASE-T/Te 受信

受信側では、入力バッファとレベル検出スケルチ回路を使います。差動入力レシーバ回路と位相ロックループ (PLL) は、デコーディング機能を実行します。

マンチェスタ エンコーディングされたデータストリームは、クロック信号と NRZ データに分離されます。スケルチ回路は、400 mV 未満の低レベル信号または幅の短いパルスを取り除く事で、RXP1 または RXM1 入力のノイズによるデコーダの誤トリガを防ぎます。入力がスケルチリミットを超えると、PLL は受信信号を追跡し、本デバイスはデータフレームをデコードします。受信クロックは、アイドル期間中 (データを受信してから次のデータを受信するまでの間) も動作を維持します。

4.1.4 Auto MDI/MDI-X

Auto MDI/MDI-X 機能 (オート クロスオーバーとも呼ぶ) により、本デバイスとリンクパートナーとの接続にストレートケーブルとクロスケーブルのどちらを使うかべきか判断する必要がなくなります。この自動検出機能は、リンクパートナーから MDI/MDI-X ペアの割り当てを検出し、それに応じて本デバイスの MDI/MDI-X ペアを割り当てます。表 4-1 に、MDI/MDI-X ピン割り当てに対応する本デバイスの 10/100/1000 Mbps のピン設定の割り当てを示します。

表 4-1: MDI/MDI-X ピン定義

ピン (RJ45 ペア)	MDI			MDI-X		
	1000BASE-T	100BASE-TX	10BASE-Te	1000BASE-T	100BASE-TX	10BASE-Te
TXRX*x*P/M_A (1, 2)	A+/-	TX+/-	TX+/-	B+/-	RX+/-	RX+/-
TXRX*x*P/M_B (3, 6)	B+/-	RX+/-	RX+/-	A+/-	TX+/-	TX+/-
TXRX*x*P/M_C (4, 5)	C+/-	未使用	未使用	D+/-	未使用	未使用
TXRX*x*P/M_D (7, 8)	D+/-	未使用	未使用	C+/-	未使用	未使用

Auto MDI/MDI-X 機能は既定値により有効です。この機能はポート制御レジスタを使って無効にできます。Auto MDI/MDI-X が無効の場合、ポート制御レジスタは MDI と MDI-X の設定を選択するのにも使えます。

Auto MDI/MDI-X 機能をサポートするため、対称の送受信データパスを持つパルストランスを推奨します。

4.1.5 ペアスワップ、アラインメント、極性チェック

1000BASE-T モードでは、本デバイスは以下を行います。

- 不正なチャンネル順を検出し、A/B/C/D ペア (4 チャンネル) のペア順を自動的に復元します。
- IEEE 802.3 規格に従い、チャンネルのペア間で 50±10 ns の伝播遅延差をサポートしています。また、修正された 4 ペアのデータシンボルが同期するよう、データスキューを自動的に修正します。

差動信号の不正なペア極性は、全ての速度で自動的に修正されます。

4.1.6 波形整形、スルーレート制御、部分応答

通信システムでは、信号伝送エンコード手法を使ってノイズ整形機能を提供し、伝送チャンネルの歪みとエラーを最小限に抑えます。

- 1000BASE-T の場合、特別な部分応答信号手法を使って、伝送パスに帯域幅制限機能を提供します。
- 100BASE-TX の場合、簡潔なスルーレート制御手法を使って、EMI を最小限に抑えます。
- 10BASE-T/Te の場合、プリエンファシスを使って、ケーブルを通過する信号のクオリティを向上させます。

4.1.7 オート ネゴシエーション

本デバイスは、オート ネゴシエーション プロトコル (IEEE 802.3 参照) に準拠しています。オート ネゴシエーションにより、互いに共通する最良の動作モードをリンクパートナーが選択できるようにする事で、各ポートは 10BASE-T/Te、100BASE-TX、1000BASE-T のいずれかで動作できます。オート ネゴシエーション中に、リンクパートナー同士はリンクを介して互いに自分の能力を宣言し合い、自分の機能とパートナーから受信した機能を比較します。そして、双方で共通する最速の通信速度 (10/100/1000) と全二重 / 半二重の組み合わせを動作モードとして選択します。オートネゴシエーションは、後述する機能を用いて Energy Efficient Ethernet (EEE) をサポートするのにも使います。

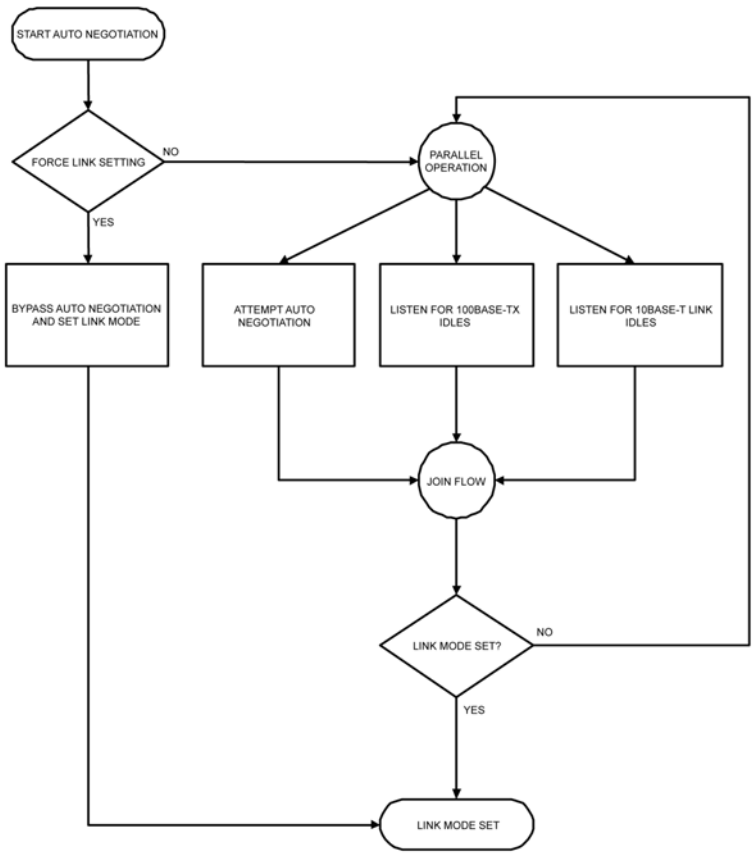
下表に、動作モード (速度と全二重 / 半二重の組み合わせ) を、優先度の高い順番に示します。

- 優先順位 1: 1000BASE-T/ 全二重
- 優先順位 2: 1000BASE-T/ 半二重
- 優先順位 3: 100BASE-TX/ 全二重
- 優先順位 4: 100BASE-TX/ 半二重
- 優先順位 5: 10BASE-T/Te/ 全二重
- 優先順位 6: 10BASE-T/Te/ 半二重

オート ネゴシエーションをサポートしていない場合、または KSZ9563R のリンクパートナーが 10BASE-T/Te および 100BASE-TX モードのオート ネゴシエーションをバイパスするよう制限している場合、KSZ9563R のポートはレシーバでの入力信号を観察する事によって動作モードを設定します。これはパラレル検出と呼びます。これにより KSZ9563R は、オート ネゴシエーションのアドバタイズ プロトコルが存在しなくても、固定された信号プロトコルをリッスンする事でリンクを確立できます。

図 4-1 に、オート ネゴシエーションのリンクアップ プロセスを示します。

図 4-1: オート ネゴシエーションとパラレル動作



© 2018 Microchip Technology Inc.

1000BASE-T モードの場合、オート ネゴシエーションはリンクを確立するために常に必要です。リンクパートナー同士の間で最初にマスタ / スレーブ設定が解決された後に、互いに共通する最速のモードでリンクが確立されます。

オート ネゴシエーションは、起動またはハードウェア リセット後に、既定値により有効となります。その後で、PHY 基本制御レジスタのビット 12 を使ってオート ネゴシエーションを有効または無効にできます。オート ネゴシエーションを無効にした場合、速度は PHY 基本制御レジスタのビット 6 および 13 で設定し、全二重 / 半二重はビット 8 で設定します。

リンク中に通信速度を変更するとリンクはダウンします。リンクを回復するには、オート ネゴシエーションまたはパラレル検出が起動して KSZ9563R とリンクパートナーの間で共通の通信速度でリンクを再確立する必要があります。

リンクが確立済みで実行時に速度が変更されない場合、PHY 基本制御レジスタのビット 9 によってオート ネゴシエーションが再開されるか、ケーブルの切り離しと再接続によってリンクダウンからリンクアップへの遷移が発生しない限り、変更 (例えば全二重 / 半二重、ポーズ機能の変更) は効力を持ちません。

オート ネゴシエーションの完了後に、リンクステータス (PHY 基本ステータス レジスタ) とリンクパートナーの能力 (PHY オート ネゴシエーション リンクパートナー機能レジスタ、PHY オート ネゴシエーション拡張ステータス レジスタ、PHY 1000BASE-T ステータス レジスタ) が更新されます。

4.1.8 LinkMD® ケーブル診断

LinkMD® 機能は、Time Domain Reflectometry (TDR) を使って、ケーブルの一般的な問題 (断線、短絡、インピーダンス不整合等) を解析します。

LinkMD® は、既知の振幅と幅を持つパルスを MDI または MDI-X ペアに送信し、反射してくる信号の波形を解析する事で、異常のタイプを特定します。反射信号が戻るまでの時間は、異常箇所までの大まかな距離を示します。LinkMD® 機能はこの TDR 情報を処理し、ケーブルの距離に換算可能な数値として出力します。

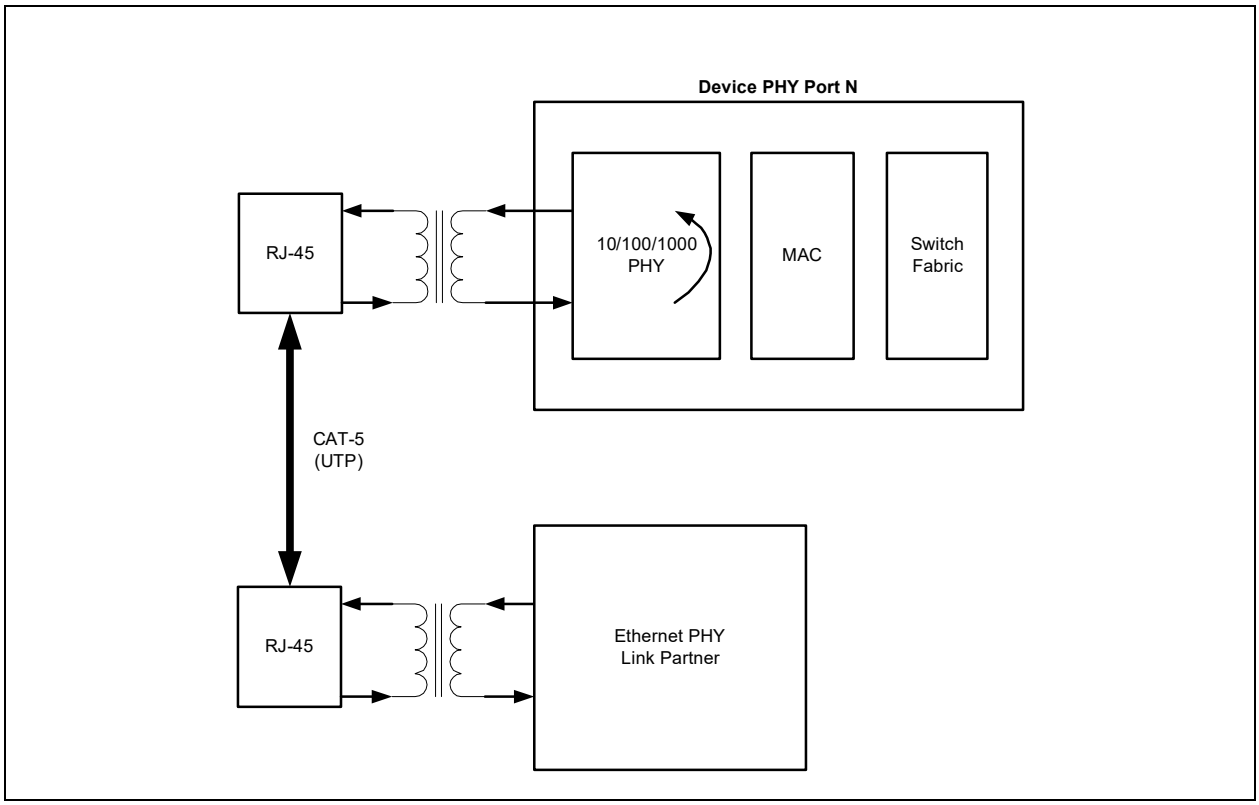
4.1.9 リモート PHY ループバック

このループバック モードは 10/100/1000 Mbps 全二重向けにサポートされ、KSZ9563R とその Ethernet PHY リンクパートナーの間のライン (差動ペア、トランス、RJ-45 コネクタ、Ethernet ケーブル) 送受信データパスをチェックします。

- Ethernet PHY リンクパートナーはデータを KSZ9563R の PHY へ送信する。
- PHY ポートの外部ピンで受信されたデータは、MAC と内部スイッチ ファブリックを通らずにループバックされる。

同じ KSZ9563R の PHY ポートが Ethernet PHY リンクパートナーへデータを返信する。

図 4-2: リモート PHY ループバック



以下の設定ステップとレジスタ設定値は、1000BASE-T マスタモード、1000BASE-T スレーブモード、100BASE-TX モード、10BASE-T モードのリモート PHY ループバック モードのためのものです。

- 1000BASE-T マスタモード
  - ポート N (1 ～ 2) の PHY 1000BASE-T 制御レジスタを 0x1F00 に設定する。
  - ポート N (1 ～ 2) の PHY リモート ループバック レジスタを 0x01F0 に設定する。
  - ポート N (1 ～ 2) の PHY 基本制御レジスタを 0x1340 に設定する。

- 1000BASE-T スレーブモード
  - ポート N (1 ～ 2) の PHY 1000BASE-T 制御レジスタを 0x1300 に設定する。
  - ポート N (1 ～ 2) の PHY リモート ループバック レジスタを 0x01F0 に設定する。
  - ポート N (1 ～ 2) の PHY 基本制御レジスタを 0x1340 に設定する。

- 100BASE-TX モード
  - ポート N (1 ～ 2) の PHY オート ネゴシエーション アドバタイズ レジスタを 0x0181 に設定する。
  - ポート N (1 ～ 2) の PHY 1000BASE-T 制御レジスタを 0x0C00 に設定する。
  - ポート N (1 ～ 2) の PHY リモート ループバック レジスタを 0x01F0 に設定する。
  - ポート N (1 ～ 2) の PHY 基本制御レジスタを 0x3300 に設定する。

- 10BASE-T モード
  - ポート N (1 ～ 2) の PHY オート ネゴシエーション アドバタイズ レジスタを 0x0061 に設定する。
  - ポート N (1 ～ 2) の PHY 1000BASE-T 制御レジスタを 0x0C00 に設定する。

© 2018 Microchip Technology Inc.

- ポート N (1 ～ 2) の PHY リモート ループバック レジスタを 0x01F0 に設定する。
- ポート N (1 ～ 2) の PHY 基本制御レジスタを 0x3300 に設定する。

4.2 LED

各 PHY ポートはプログラマブルな 2 つの LED 出力ピン (**LED*x*_0** と **LED*x*_1**) を備えており、PHY のリンク / アクティビティ ステータスを表示します。2 種類の LED モードを利用できます。LED モードは、PHY 間接レジスタの PHY モードビット (MMD 2、アドレス 0、ビット 4) に書き込む事で各 PHY ポートごとに個別に変更できます。

- 1 = シングル LED モード
- 0 = Tri-Color デュアル LED モード (既定値)

各LED出力ピンは、直列抵抗(通常は220～470 Ω)を使ってLEDを直接駆動できます。LED出力はアクティブLowです。

4.2.1 シングル LED モード

シングル LED モードでは、**LED*x*_1** ピンはリンクステータスを示し、**LED*x*_0** ピンはアクティビティ ステータスを示します (表 4-2 参照)。

表 4-2: シングル LED モードのピン定義

LED ピン	ピンの状態	ピンの LED の定義	リンク / アクティビティ
LED*x*_1	H	OFF	リンク OFF
	L	ON	リンク ON (任意の速度)
LED*x*_0	H	OFF	アクティビティなし
	トグル	点滅	アクティビティ (RX、TX)

4.2.2 Tri-Color デュアル LED モード

Tri-Color デュアル LED モードでは、リンク / アクティビティ ステータスは 1000BASE-T の場合は **LED*x*_1** ピンで表示され、100BASE-TX の場合は **LED*x*_0** ピンで表示されます。10BASE-T の場合、**LED*x*_1** ピンと **LED*x*_0** ピンが同時に ON/OFF する事で表示されます (表 4-3 参照)。

表 4-3: Tri-Color デュアル LED モードのピン定義

LED ピン (状態)		LED ピン (定義)		リンク / アクティビティ
LED*x*_1	**LED*x*_0**	**LED*x*_1**	**LED*x*_0**	
H	H	OFF	OFF	リンク OFF
L	H	ON	OFF	1000 Mbps リンク / アクティビティなし
トグル	H	点滅	OFF	1000 Mbps リンク / アクティビティ (RX、TX)
H	L	OFF	ON	100 Mbps リンク / アクティビティなし
H	トグル	OFF	点滅	100 Mbps リンク / アクティビティ (RX、TX)
L	L	ON	ON	10 Mbps リンク / アクティビティなし
トグル	トグル	点滅	点滅	10 Mbps リンク / アクティビティ (RX、TX)

4.3 MAC (Media Access Controller)

4.3.1 MAC 動作

本デバイスは、互換性を最大限に高めるため、IEEE 802.3 規格に厳密に準拠しています。また、ユニキャスト パケットをフィルタ処理するための MAC フィルタリング機能も備えています。この MAC フィルタリング機能は VoIP 等の応用で便利です。特定のパケットを制限する事で、輻輳(ふくそう: 混雑状態)を緩和し性能を向上させる事ができるためです。

送信 MAC は Egress バッファからデータを取り込み、プリアンブルと SFD (Start of Frame Delimiter) をデータの前に追加する事で完全な Ethernet フレームを作成し、さらにフレーム末尾に追加する FCS を生成します。必要に応じて、フロー制御パケットも送信します。

受信 MAC は、内蔵 PHY 経由または MII/RMII/RGMII インターフェイス経由でデータを受け取ります。受信 MAC はデータバイトをデコードし、各フレームのプリアンブルと SFD を取り除きます。さらに宛先アドレス、ソースアドレス、VLAN タグをフィルタリングおよびアドレス /ID 検索用に抽出します。受信フレームの CRC も計算し、それを FCS フィールドと比較します。この MAC はサイズが合わないフレーム、FCS エラーを起こしているフレーム、送信元 MAC アドレスが本スイッチの MAC アドレスと一致しているフレームを破棄できます。

受信 MAC は Wake-On-LAN (WoL) 機能も実装しています。このシステム省電力機能についてはセクション 4.9、「電源管理」で詳しく説明します。

MIB 統計は、受信と送信の両方向で収集します。

4.3.2 IPG (Inter-Packet Gap: パケット間ギャップ)

フレームの送信に成功すると、2 つの連続するパケットの間で最小 96 ビットの IPG 時間が挿入されるように規定されます。現在のパケットでコリジョンが発生している場合、キャリア検出 (CRS) から次の送信パケットまでに最小 96 ビットの IPG 時間が挿入されるように規定されます。

4.3.3 Back-Off アルゴリズム

本デバイスは、IEEE 802.3 規格の半二重モードのバイナリ エクスポネンシャル Back-Off アルゴリズムを実装しています。コリジョンが 16 になると、そのパケットはドロップされます。

4.3.4 レイトコリジョン

送信の 512 ビット時間より後で送信パケットにコリジョンが発生すると、パケットは破棄されます。

4.3.5 有効なパケットサイズ

本デバイスは全ポートで 64 バイト未満 (VLAN タグを除く、FCS を含む) の受信パケットと最大サイズより大きい受信パケットを破棄します。既定値の最大サイズは IEEE 規格である 1518 バイトです。しかし、2000 バイトに設定できます。1000 Mbps で動作しているポートは、最大 9000 バイトのジャンボパケットを受け取るように設定できます。しかし性能上の理由から、ジャンボパケットを同時に有効にするポートは 2 つ以下にする事を推奨します。

4.3.6 フロー制御

本デバイスは、全二重接続の送受信で、標準の MAC 制御 PAUSE (802.3x フロー制御) フレームをサポートします。

受信方向では、任意のポートで PAUSE 制御フレームを受信した場合、PAUSE 制御フレームで指定されたタイマ期間が終了するまで、本デバイスはそのポートで次の通常フレームを送信しません。このタイマ期間が終了する前に次の PAUSE フレームを受信した場合、タイマはこの PAUSE フレーム内の新しい値を使って更新されます。このフロー制御期間中は、本デバイスからのフロー制御パケットのみが送信されます。

送信方向では、本デバイスはインテリジェントで効率的な方法を使って、フロー制御を呼び出し PAUSE フレームを送信するタイミングを決定します。フロー制御は、利用可能なシステムリソース (バッファ、送信キュー等) に基づいています。

本デバイスは、IEEE 802.3x で定義されている最大ポーズ時間を格納したフロー制御フレーム (XOFF) を発行します。リソースが解放されると、本デバイスは 0 のポーズ時間を格納したもう 1 つのフロー制御フレームを送信する事で、フロー制御を OFF にします (ポートへの送信を ON にします)。フロー制御機構が余計な ON/OFF を繰り返さないように、ヒステリシス機能を備えています。

4.3.7 半二重 Back Pressure

本デバイスは半二重 Back Pressure オプション (IEEE 802.3 規格ではない) も備えています。このオプションの有効化 / 無効化条件は、全二重モードと同じです。Back Pressure が必要な場合、本デバイスはプリアンブルを送信する事で、他のステーションの送信を延期します (キャリア検知延期)。

802.3 規格の定義に従ってジャバーと余計な延期を防ぐため、特定期間の後に、本デバイスはキャリア検出を中断し、再びすみやかに再開します。キャリア検知を短期間だけ休止する事で、他のステーションがパケットを送信する事を防ぎ、それらのステーションをキャリア検知延期状態に保ちます。Back Pressure 状態中に送信する必要のあるパケットがポート上にある場合、キャリア検知型 Back Pressure は中断され、それらのパケットが代わりに送信されます。送信するパケットがなくなると、キャリア検知型 Back Pressure はチップリソースが解放されるまで再びアクティブ

© 2018 Microchip Technology Inc.

になります。コリジョンが発生すると、Binary exponential backoff アルゴリズムはスキップされ、キャリア検知がただちに生成されます。これにより、さらなるコリジョンが発生する機会を減らし、キャリア検知を継続してパケットの受信を防ぎます。

10BASE-T/Te または 100BASE-TX 半二重モードでのパケットの喪失を確実に防ぐため、ユーザは以下を有効にする必要があります。

- No excessive collision drop (スイッチ MAC 制御 1 レジスタ)
- Back Pressure (ポート MAC 制御 1 レジスタ)

4.3.8 フロー制御および Back Pressure レジスタ

表 4-4 に、フロー制御と Back Pressure に関連するレジスタの一覧を示します。

4.3.9 ブロードキャスト ストーム保護

表 4-4: フロー制御および Back Pressure レジスタ

レジスタ	説明
スイッチ MAC アドレス 0 レジスタ ～ スイッチ MAC アドレス 5 レジスタ	スイッチの MAC アドレス : PAUSE 制御フレームのソースアドレスとして使います。
スイッチ MAC 制御 0 レジスタ	「Aggressive back-off」有効
スイッチ MAC 制御 1 レジスタ	BP モード、「フェアモード」、「No excessive collision drop」を有効にします。
スイッチ MAC 制御 4 レジスタ	PAUSE 制御フレームを転送するかどうかを設定します。
ポートステータス レジスタ	フロー制御イネーブル (ポートごと)
PHY オート ネゴシエーション アドバタイズ レジスタ	PHY - フロー制御アドバタイズ (ポートごと)
ポート MAC 制御 1 レジスタ	半二重 Back Pressure イネーブル (ポートごと)
ポート Ingress レートリミット制御レジスタ	Ingress レートリミット フロー制御イネーブル (ポートごと)
ポート制御 0 レジスタ	ドロップモード (ポートごと)

本デバイスは、スイッチシステムがあまりにも多数のブロードキャスト パケットを受信してしまう事を防ぐため、インテリジェントなオプションを備えています。ブロードキャスト パケットはソースポートを除く全てのポートに転送されるため、スイッチリソース (帯域幅と送信キュー内の利用可能スペース) を過大に消費します。本デバイスは、ストーム制御に「マルチキャスト パケット」を含めるためのオプションを備えています。ブロードキャスト ストームのレートパラメータはグローバルに設定され、ポートごとに有効または無効にできます。このレートは、1000BASE-T では 5 ms、100BASE-TX では 50 ms、10BASE-T/Te では 500 ms の期間にそれぞれ基づいています。各インターバルの開始時にカウンタは 0 にクリアされ、レートリミット機能がそのインターバル中のバイト数をカウントし始めます。レートは制御レジスタで定義します。既定値設定は 1% のレートに相当します。

4.3.10 自己アドレス フィルタリング

受信パケットの送信元アドレスが本デバイスの MAC アドレスと一致する場合、それらの受信パケットをフィルタリング (ドロップ) できます。この機能は、パケットがリング状のネットワークを周回してパケットの送信元に戻った時点で自動的にパケットを終了させるのに便利です。この機能は、スイッチ ルックアップ エンジン制御 1 レジスタとポート制御 2 レジスタによってポートごとに有効にできます。

4.4 スイッチ

4.4.1 スイッチング エンジン

MAC のパケットバッファとの間でデータを双方向に転送するための高性能スイッチング エンジンを備えています。これはストアおよびフォワードモードで動作し、効率的なスイッチング方式によって総レイテンシを低減します。このスイッチング エンジンは、全ポートが共有する 256K バイトの内部フレームバッファを備えています。

スイッチ機能の大多数に対して、全データポートは同等に扱われます。しかし、IGMP スヌーピング、802.1X、無効 VLAN パケットの転送等の少数の機能に対しては、ホストポートは特殊であると認識します。任意のポート (しかしほとんどの場合ポート 3) に対してテールタギング モードを有効にする事で、そのポートをホストポートとして割り当てる事ができます。ホストポートになれるのは 1 つのみです。

スイッチが、エラーのないパケットを受信すると、スイッチング エンジンはそのパケットの宛先 MAC アドレスを確認します。そのアドレスが既知の場合、宛先 MAC アドレスに関連する出力ポートにそのパケットを転送します。以下の段落では、宛先アドレス検索と送信元アドレス学習の主な機能を説明します。これらの過程は、後続のサブセクションで説明する VLAN サポートおよびその他の機能と併用できます。

4.4.2 アドレス検索

宛先アドレスの検索は、デバイス内の 3 つの独立した内部アドレステーブルで実行します。

1. アドレス ルックアップ (ALU) テーブル : 4K の動的および静的エントリ
2. 静的アドレステーブル : 16 の静的エントリ
3. 予約済みマルチキャスト アドレステーブル : 8 つの設定済み静的エントリ

4.4.2.1 アドレス ルックアップ (ALU) テーブル

アドレス ルックアップ (ALU) テーブルは、MAC アドレスとそれらに対応する情報を保存しています。このテーブルは動的エントリと静的エントリの両方を保存しています。動的エントリはハードウェアで自動生成されます (セクション 4.4.2.4、「学習」参照)。静的エントリは管理ソフトウェアによって生成されます。

この ALU テーブルは、1K バケットを備えた合計 4K エントリの 4 way アソシエティブ メモリです。ハッシュ関数は、受信パケットの MAC アドレス (と FID) を、テーブルにアクセスするための 10 ビット索引に変換します。各バケットには 4 つのフルアソシエティブ アドレスエントリが格納されています。一致しているかどうかを確認するため、4 つのエントリは全て同時に MAC アドレス (および FID) と比較されます。

ハッシュ関数には 3 つの方法が利用できます (表 4-5 参照)。VLAN が有効 (スイッチ ルックアップ エンジン制御 0 レジスタの 802.1Q VLAN イネーブルビット) な場合、MAC アドレスと共に VLAN グループ (FID) をハッシュ関数に含めます。VLAN が有効でない場合、MAC アドレスと既定値の VLAN (VID = 1) の FID (0) にハッシュ関数を適用します。

表 4-5: アドレス ルックアップ テーブルのハッシング オプション

HASH_OPTION (スイッチ ルックアップ エンジン制御 0 レジスタ)	説明
01b(既定値)	「MAC アドレス + FID」の CRC に基づくハッシュ アルゴリズムです。このハッシュ アルゴリズムは CRC-CCITT 多項式を使っています。ハッシュへの入力は 16 ビット CRC ハッシュ値になります。「ハッシュ値のビット [9:0] + (2 進加算)7 ビット FID(左側をゼロ拡張)」をテーブルの索引として使います。この CRC-CCITT 多項式は $X^{16} + X^{12} + X^{5} + 1$ です。
10b	3 つに折り畳んだ MAC アドレスの XOR の 16 ビットに基づく XOR アルゴリズムです。「XOR 値のビット [9:0] + 7 ビット FID(左側をゼロ拡張)」をテーブルの索引として使います。
00b または 11b	直接アルゴリズムです。「MAC アドレスの下位 10 ビット + 7 ビット FID(左側をゼロ拡張)」をテーブルの索引として使います。

4.4.2.2 静的アドレステーブル

16 エントリの静的アドレステーブルは通常マルチキャスト アドレスを格納するのに使います。しかし、これに限定されません。ALU テーブルの静的エントリと同様、静的アドレステーブルのエントリは管理ソフトウェアが生成します。これらのエントリは、ALU テーブルで生成された静的エントリと同じ機能を備えているため、使うかどうかは任意です。

4.4.2.3 予約済みマルチキャスト アドレステーブル

予約済みマルチキャスト アドレステーブルは、表 4-6 で定義する設定済みの 8 つのアドレスエントリを格納しています。このテーブルは任意で設定できる機能であり、起動時は無効になっています。転送するポートは必要に応じて変更できます。

表 4-6: 予約済みマルチキャスト アドレステーブル

グループ	アドレス	MAC グループ アドレス機能	既定値の PORT FORWARD 値 (転送ポートを定義 : P3...P1)	既定値の転送動作
0	(01-80-C2-00)-00-00	ブリッジグループデータ	100	ポート 3 に転送する (管理ポート)
1	(01-80-C2-00)-00-01	MAC 制御フレーム (通常はフロー制御)	000	MAC フロー制御をドロップする
2	(01-80-C2-00)-00-03	802.1X ポートベース認証	100	ポート 3 に転送する (管理ポート)

© 2018 Microchip Technology Inc.

表 4-6: 予約済みマルチキャスト アドレステーブル (続き)

グループ	アドレス	MAC グループ アドレス機能	既定値の PORT FORWARD 値 (転送ポートを定義 : P3...P1)	既定値の転送動作
3	(01-80-C2-00)-00-10	ブリッジ管理	111	全ポートに転送 (フラッディング) する
4	(01-80-C2-00)-00-20	GMRP	011	ポート 3 を除く全ポートに転送 (フラッディング) する
5	(01-80-C2-00)-00-21	GVRP	011	ポート 3 を除く全ポートに転送 (フラッディング) する
6	(01-80-C2-00)-00-02, (01-80-C2-00)-00-04 – (01-80-C2-00)-00-0F		100	ポート 3 に転送する (管理ポート)
7	(01-80-C2-00)-00-11 - (01-80-C2-00)-00-1F, (01-80-C2-00)-00-22 - (01-80-C2-00)-00-2F		011	ポート 3 を除く全ポートに転送 (フラッディング) する

1 つのテーブルで一致が見つかった場合、そのテーブルのエントリから宛先ポートが読み出されます。複数のテーブルで一致が見つかった場合、静的エントリが動的エントリに対して優先されます。

4.4.2.4 学習

以下の条件が満たされる場合、内部ルックアップ エンジンは ALU テーブルを新しい動的エントリで更新します。

- 受信パケットのソースアドレス (SA) がルックアップ テーブル内に存在しない。
- 受信パケットにエラーがなく、かつパケットのサイズは有効な長さである。
- 受信パケットはユニキャスト SA を持っている。

ルックアップ テーブルエンジンは、条件を満たした SA をポート番号とエージング カウントと一緒にテーブルに挿入します。4 つのテーブルが全て有効な場合、新規エントリのための場所をあけるために、最大 4 つの動的エントリのうち最も古いものが削除されます。静的エントリは、学習の過程で削除される事はありません。4 つのエントリが全て静的エントリである場合、アドレスは学習されません。しかし、割り込みが生成され、割り込みサービスルーチンに対してテーブル索引番号が使えるようになります。

4.4.2.5 マイグレーション

内部ルックアップ テーブルエンジンは、ステーションのマイグレーションも監視します。端末がマイグレーションした場合、それに応じて ALU テーブルを更新します。マイグレーションは、以下の条件が成立した時に発生します。

- 受信パケットの SA はテーブル内に存在するが、対応するソースポート情報が異なる。
- 受信パケットに受信エラーがなく、パケットのサイズは有効な長さである。

ルックアップ テーブルエンジンは、新しいソースポート情報を使ってテーブル内の既存レコードを更新します。

4.4.2.6 エージング

ルックアップ テーブルエンジンは、一致する SA が表れるたびに ALU テーブル内の動的レコードのエージング カウント情報を更新します。エージング カウントはエージング処理で使われます。レコードが決められた期間内に更新されなかった場合、ルックアップ テーブルエンジンはテーブルからそのレコードを削除します。ルックアップ テーブルエンジンは、エージング処理を絶えず実行して古くなったレコードを削除します。エージング周期は約 300 秒 (±75 秒) であり、それより長くまたは短く設定できます (1 秒～ 30 分)。この機能は有効または無効にできます。静的エントリはエージング プロセスから除外されます。

4.4.2.7 転送

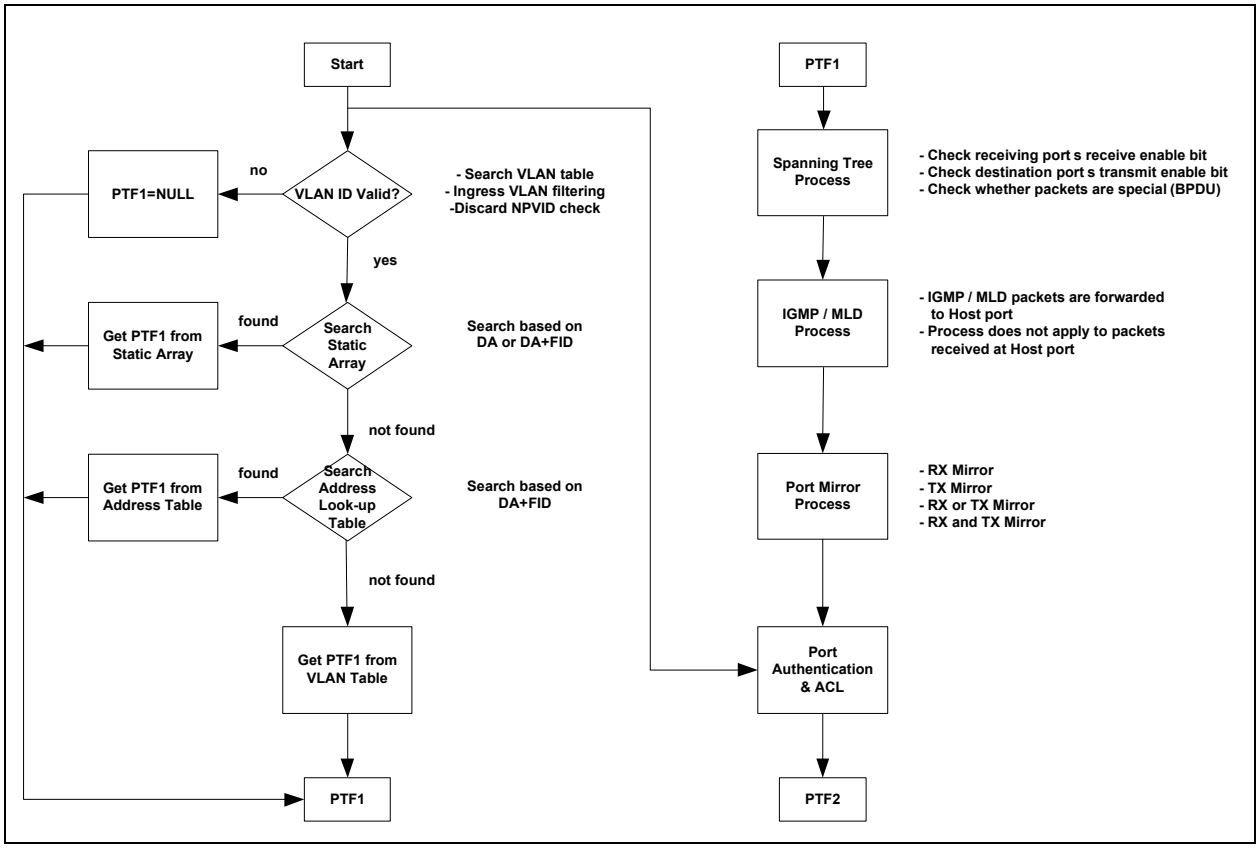
本デバイスは、図 4-3 に示すアルゴリズムを使ってパケットを転送します。図 4-3 は、転送アルゴリズムのステージ 1 を示しています。サーチエンジンは VLAN ID、静的テーブル、destination アドレスの動的テーブルを検索し、「port to forward 1」(PTF1) に到ります。PTF1 はスパニングツリー (spanning tree)、IGMP スヌーピング、ポート ミラーリング、ポート VLAN 処理によってさらに変更されます。

ACL プロセスは上記フローと並行して機能します。認証および ACL プロセスは転送プロセスのうちで最も優先度が高いため、ACL の結果は上記フローの結果に優先します。転送処理では、認証 (Authentication) と ACL が最高優先度を持ちます。ACL 結果は転送処理の結果を上書きします。ACL プロセスの出力は最後の「PTF2」(port-to-forward 2) 宛先ポートです。

本デバイスは以下のパケットは転送しません。

- エラーパケット : これにはフレーミング エラー、フレームチェック シーケンス (FCS) エラー、アラインメント エラー、不正サイズパケット エラーが含まれます。
- MAC 制御 PAUSE フレーム : 本デバイスはこれらのパケットを阻止し、全二重フロー制御を実行します。
- 「ローカル」パケット : 宛先アドレス (DA) の検索に基づきます。ルックアップ テーブルからの destination ポートがパケットの送信元のポートに一致する場合、そのパケットは「ローカル」として定義されます。
- インバンド管理パケット

図 4-3: パケット転送プロセスのフローチャート



4.4.2.8 ルックアップ エンジンレジスタ

表 4-7 に、ルックアップ エンジン関連レジスタの一覧を示します。

表 4-7: ルックアップ エンジンレジスタ

レジスタ	説明
グローバル割り込みステータス レジスタ、 グローバル割り込みマスク レジスタ	最上位の LUE 割り込み
スイッチ ルックアップ エンジン制御 0 レジスタ、 スイッチ ルックアップ エンジン制御 1 レジスタ、 スイッチ ルックアップ エンジン制御 2 レジスタ、 スイッチ ルックアップ エンジン制御 3 レジスタ	各種機能の設定

© 2018 Microchip Technology Inc.

表 4-7: ルックアップ エンジンレジスタ (続き)

レジスタ	説明
アドレス ルックアップ テーブル割り込みレジスタ、 アドレス ルックアップ テーブルマスク レジスタ	下位の LUE 割り込み
アドレス ルックアップ テーブルエントリ インデックス 0 レジスタ、 アドレス ルックアップ テーブルエントリ インデックス 1 レジスタ	アクセス障害のアドレス / 索引
ALU テーブル インデックス 0 レジスタ、 ALU テーブル インデックス 1 レジスタ、 ALU テーブルアクセス制御レジスタ、 静的アドレスおよび予約済みマルチキャスト テーブル制御レジスタ、 ALU/ 静的アドレステーブル エントリ 1 レジスタ、 ALU/ 静的アドレス / 予約済みマルチキャスト テーブルエントリ 2 レジスタ、 ALU/ 静的アドレステーブル エントリ 3 レジスタ、 ALU/ 静的アドレステーブル エントリ 4 レジスタ	アドレステーブル アクセスレジスタ

4.4.3 IEEE 802.1Q VLAN

仮想 LAN は、物理ネットワークを複数の仮想ネットワークに分離する手段です。これらの仮想ネットワークによって、より大きなネットワークの特定の一部分にトラフィックを限定できます。IEEE 802.1Q は、Ethernet フレームのヘッダに追加する 4 バイトのタグを使って VLAN プロトコルを定義します。本デバイスはタギング、アンタギング、転送、フィルタ処理を含むポートベースとタグベースの VLAN をサポートしています。

4.4.3.1 タグなしポートベース VLAN

最も単純な VLAN の方法では、VLAN タグを使わないでポートごとに転送制約を規定します。各 Ingress ポートは、許可された転送ポートを指定するのに使うレジスタを備えています。その Ingress ポートに対して許可されていないいかなる Egress ポートにも受信パケットは転送されません。この設定はポート制御 1 レジスタで行います。この機能は常に有効です。スイッチ ルックアップ エンジン制御 0 レジスタの 802.1Q VLAN イネーブルビットでは有効 / 無効になりません。既定値設定では、Ingress から Egress への全てのポートパスが許可されます。

4.4.3.2 タグベース VLAN

802.1Q VLAN が有効な場合、本デバイスは 4K エントリを備えた内部 VLAN テーブルを使ってポート メンバーシップ リスト、VLAN グループ ID (FID)、各 VLAN に関連するその他の情報を保存します。802.1Q VLAN を有効にする前に、このテーブルを設定しておく必要があります。802.1Q VLAN の有効化は、スイッチ ルックアップ エンジン制御 0 レジスタの 802.1Q VLAN イネーブルビットをセットする事で行います。

802.1Q VLAN モードでは、検索プロセスの最初に VLAN テーブル検索を行います。その際、タグの VID をアドレスとして使います。最初に、VID が有効かどうかを判断します。VID が無効の場合、そのパケットをドロップし、そのアドレスは学習しません。代わりに、未知の VID パケットを定義済みポートまたはホストポートに転送する事があります。VID が有効な場合、その後の検索のためにその FID を取り込みます。「FID + 宛先アドレス」(DA のハッシュ値 + FID) は宛先ポートの決定に使います。「FID + 送信元アドレス」(SA のハッシュ値 + FID) はアドレス学習に使います (表 4-9、表 4-10 参照)。

「DA のハッシュ値 + FID」はハッシュ値に変換し、アドレス ルックアップ テーブルおよび静的アドレステーブル内の転送検索に使います。アドレステーブルの検索を行うには、FID フィールドも一致する必要があります。FID フィールドが一致しない場合、そのパケットを、VLAN テーブルエントリで定義された全ての VLAN ポートメンバーにブロードキャストします。FID フィールドが一致し、かつ Egress の VLAN フィルタリングが有効な場合、そのパケットを、アドレステーブルのポート転送リストと VLAN テーブルのポート メンバーシップ リストの両方に含まれるポートに転送します。

同様のアドレステーブル検索を、「SA のハッシュ値 + FID」を使って実行します。検索に失敗すると、FID と SA を学習します。

タグなしまたは NULL VID タグ付きパケットを受信すると、Ingress ポートの既定値の VID(ポート既定値タグ 0 レジスタ、ポート既定値タグ 1 レジスタ) を検索に使います。

表 4-8 に、各種状況の VLAN で行われる転送およびディスカーディング操作の詳細を示します。この表の最初のエントリは、802.1Q VLAN が有効でない場合でも VLAN テーブル検索は有効であるという事実で説明されます。ポート既定値タグ 0 レジスタとポート既定値タグ 1 レジスタで、各ポートについて既定値の VID は 1 である事に注意する必要があります。それに対応して、VID = 1 の VLAN テーブルエントリの VLAN ポート メンバーシップ リストは、起動

時にあらかじめオール 1 に設定されています。これにより、未知の宛先アドレスの全パケットをブロードキャストするという、Ethernet スイッチの標準的な挙動が実行されます。またこれにより、VLAN テーブルエントリ # 1 を変更すると、またはポートの既定値の VID を変更すると、VLAN が有効でない場合でも、「未知のパケット」に対する転送動作が影響を受ける事があります。

Egress VLAN フィルタリング ビットの既定値がゼロである事にも注意する必要があります。これらのビットは、従来の「KSZ」スイッチとの下位互換性のためにのみゼロになっています。VLAN および ALU 検索が成功した際に実行するスイッチ挙動は、VLAN ポート メンバーシップ リストに関係なく、アドレステーブルのポート転送リストに含まれるポートにそのパケットを転送する事です。VLAN テーブルの VLAN ポート メンバーシップ リストを使って、アドレス検索で求めた転送を有効にするように、Egress VLAN フィルタリング ビットを「1」にセットする事を推奨します。

表 4-8: VLAN 転送

VLAN イネーブル (Note 4-1)	VLAN 一致 / 有効 (Note 4-2)	転送オプション (Note 4-3)	Egress VLAN フィルタリング (Note 4-4)	未知 VID の転送 (Note 4-5)	無効 VID のドロップ (Note 4-6)	ALU 一致 / 有効 (Note 4-7)	動作
0	X	X	X	X	X	No	LAN テーブルの既定値の VID のポート メンバーシップ リストに転送する。
0	X	X	X	X	X	Yes	アドレス ルックアップ テーブルのポート転送リストに転送する。
1	No	X	X	0	0	X	ホストポートに転送する。
1	No	X	X	0 (def)	1 (def)	X	破棄
1	No	X	X	1	X	X	未知VIDパケットのポート転送リストに転送する。
1	Yes	0	X	X	X	No	**ブロードキャスト :** VLAN テーブルのポート メンバーシップ リストに転送する (PORT FORWARD)。 **マルチキャスト :** UM が有効な場合、未知のマルチキャスト ポートに転送する。その他の場合、VLAN テーブルのポート メンバーシップ リストに転送する。 **ユニキャスト :** UU が有効な場合、未知のユニキャスト ポートに転送する。その他の場合、VLAN テーブルのポート メンバーシップ リストに転送する。
1	Yes	0	0 (def)	X	X	Yes	アドレス ルックアップ テーブルのポート転送リストに転送する。
1	Yes	0	1	X	X	Yes	アドレス ルックアップ テーブルのポート転送リストと、VLAN テーブルのポート メンバーシップ リストに転送する (ビット単位の AND)。
1	Yes	1	X	X	X	Yes	VLAN テーブルのポート メンバーシップ リストに転送する。

Note: 「(def)」は起動時の既定値を示します。

Note 4-1 **「VLAN イネーブル」**はスイッチ ルックアップ エンジン制御 0 レジスタのビット 7 です。

Note 4-2 **「VLAN 一致 / 有効」**は、VLAN テーブルエントリが有効であるかどうかを表示します。

Note 4-3 **「転送オプション」**は VLAN テーブルエントリ 0 レジスタのビットです。

Note 4-4 **「Egress VLAN フィルタリング」**はスイッチ ルックアップ エンジン制御 2 レジスタのビット 5 および 4 です。

Note 4-5 **「未知 VID の転送」**は未知 VLAN ID 制御レジスタ内にあります。

Note 4-6 **「無効 VID のドロップ」**はスイッチ ルックアップ エンジン制御 0 レジスタのビット 6 です。

© 2018 Microchip Technology Inc.

Note 4-7 「**ALU 一致 / 有効**」は、アドレス検索が成功したかどうかを表示します。

表 4-9 に、VLAN テーブル検索に続くアドレス検索プロセスの詳細を示します。検索は、アドレス ルックアップ テーブルと静的アドレステーブルの両方で同時に行われ、その結果の動作は、2 つの検索の結果で決まります。

表 4-9: VLAN モードの「DA のハッシュ値 + FID」の検索

静的 MAC テーブルに DA がある	FID フラグを使っている (静的 MAC テーブル)	FID が一致している	ALU テーブルに「DA + FID」がある	動作
No	Don’t Care	Don’t Care	No	検索できなかった。LAN テーブルで定義されたメンバーシップ ポートリストにブロードキャストする。
No	Don’t Care	Don’t Care	Yes	アドレス ルックアップ (ALU) テーブルで定義された宛先ポートに送信する。
Yes	0	Don’t Care	Don’t Care	静的アドレステーブルで定義された宛先ポートに送信する。
Yes	1	No	No	検索できなかった。VLAN テーブルで定義されたメンバーシップ ポートリストにブロードキャストする。
Yes	1	No	Yes	アドレス ルックアップ (ALU) テーブルで定義された宛先ポートに送信する。
Yes	1	Yes	Don’t Care	静的アドレステーブルで定義された宛先ポートに送信する。

送信元アドレス (SA) の検索はアドレス ルックアップ テーブルでも実行します。アドレスがヒットしている場合、SA の検索は SA フィルタリングと MAC 優先度も実行します。表 4-10 に、VLAN テーブルの検索に成功したが、アドレス ルックアップ テーブルまたは静的アドレステーブル内で静的エントリが一致しない場合の、アドレス ルックアップ テーブルでの学習の実行方法を示します。

表 4-10: VLAN モードの「SA のハッシュ値 + FID」の検索

アドレス ルックアップ (ALU) テーブルに「FID + SA」が見つかった	動作
No	「FID + SA」を学習しアドレス ルックアップ (ALU) テーブルに追加する。
Yes	エージング カウンタを更新する。

4.4.3.2.1 タグの挿入と削除

VLAN 機能が有効な場合、全ポートにタグを挿入できます。Ingress ポートでは、タグなしパケットに Ingress ポートの既定値タグが追加されます。既定値のタグは、ポートごとにプログラマブルです。本スイッチは、二重タギングが有効でない限り、既にタグが付いているパケットにはタグを追加しません。

Egress では、VLAN テーブルエントリでアンタギングが有効な場合、タグ付きパケットの 802.1Q の VLAN タグを削除します。この機能は、ポートごとに制御します。802.1Q が有効な場合、タグなしパケットは変更されません。

4.4.3.2.2 二重タギング

本スイッチは二重タギング (Q-in-Q または VLAN スタッキングとも呼ぶ) をサポートしています。この機能は、顧客が付けた第 1 の VLAN タグに加えて、サービス プロバイダーが第 2 の VLAN タグを付加するのに使えます。ダブルタギングを使っても使わなくても、VLAN サポートは有効にできます。二重タギングが有効な場合、内側のタグではなく外側のタグを認識し、VLAN とアドレス検索に使います。フレームヘッダの外側のタグが内側のタグに優先します。外側のタグは送信元アドレスのすぐ後に位置しており、内側のタグとは異なる TPID (Tag Protocol Identifier) を含みます。

VLAN 機能を完全に制御するため、その他の制御も利用できます。これらの機能は通常グローバルですが、以下に示す一部の機能はポートごとに有効にできます。

- **Ingress VLAN フィルタリング :** VLAN テーブルの VID ポート メンバーシップが Ingress ポートを含まない場合、パケットを破棄します。
- **PVID 不一致パケットの破棄 :** VID が Ingress ポートの既定値の VID と一致しない場合、パケットを破棄します。
- **タグなしパケットの破棄 :** タグが付いていない全ての受信パケットを破棄します。
- **タグのドロップ :** パケットに VLAN タグが付いている場合、そのパケットをドロップします。
- **未知 VID の転送 :** VLAN ルックアップが失敗した場合、決まったポートに転送します。
- **未知 VID のドロップ :** 未知 VID パケットに対するその他の選択肢 (破棄またはホストポートに転送) です。
- **NULL VID の置き換え :** NULL VID を Ingress ポートの既定値の VID と置き換えます。
- **PVID の置き換え :** NULL 以外の VID を Ingress ポートの既定値の VID と置き換えます。
- **二重タギング マルチキャスト トラップ :** 二重タギングモードでは、全ての予約済みマルチキャスト パケットをトラップし、ホストポートに転送します。

4.4.3.3 VLAN レジスタ

表 4-11 に、VLAN 関連レジスタの一覧を示します。

表 4-11: VLAN レジスタ

レジスタ	説明
スイッチ動作レジスタ	二重タギング イネーブル
スイッチ ルックアップ エンジン制御 0 レジスタ	VLAN イネーブル、無効 VID フレームのドロップ
スイッチ ルックアップ エンジン制御 2 レジスタ	二重タギング マルチキャスト フレームのトラップ 動的または静的 Egress VLAN フィルタリング
未知 VLAN ID 制御レジスタ	未知 VID の転送
スイッチ MAC 制御 2 レジスタ	Egress での NULL VID の PVID との置き換え
VLAN テーブルエントリ 0 レジスタ、 VLAN テーブルエントリ 1 レジスタ、 VLAN テーブルエントリ 2 レジスタ、 VLAN テーブル インデックス レジスタ、 VLAN テーブルアクセス制御レジスタ	VLAN テーブルへの読み書きアクセス
ポート既定値タグ 0 レジスタ、 ポート既定値タグ 1 レジスタ	ポートの既定値のタグ
ポート Ingress MAC 制御レジスタ	VLAN タグなしフレームのドロップ、VLAN タグ付きフレームのドロップ
ポート送信キュー PVID レジスタ	Egress での PVID の置き換え
ポート制御 2 レジスタ	VID = 0 の VLAN テーブル ルックアップ、 Ingress VLAN フィルタリング、PVID 不一致パケットの破棄

4.4.4 サービス品質 (QoS) 優先度サポート

本デバイスは VoIP 等の応用のためのサービス品質 (QoS) を提供します。Ingress パケットに優先度を割り当てるには複数の方法があります。パケットの優先順位付け方法に応じて、パケットの優先度レベルが各ポートの Egress キューに割り当てられます。各ポートは優先順位付けされた 1 つ、2 つ、4 つの Egress キュー向けに設定できます。既定値はポートあたり 1 つのキューです。

4 つの優先度キュー向けに設定した場合、キュー 3 が最優先、キュー 0 が最低優先度になります。同様に、2 つの優先度キュー向けに設定した場合、キュー 1 が最優先のキューになります。2 つまた 4 つのキューとしてポートを設定しない場合、1 つの送信キュー内で全パケットが同じ優先度を持ちます。

常に優先度が最も高いキューから最初にパケットを送るか、複数のキュー間での重み付きラウンドロビン キューイングを使うかをポートごとに選択する事もできます。これについてはセクション 4.4.13、「スケジューリングとレートリミット」で説明します。

4.4.4.1 ポートベースの優先度

ポートベースの優先度を使う事で、各 Ingress ポートを特定の優先度レベルとして個別に分類できます。高い優先度の受信ポートで受信した全てのパケットは高い優先度として分類し、(対応する送信キューを 2 つまたは 4 つのキューに分割している場合、) 高い優先度の送信キューに転送します。

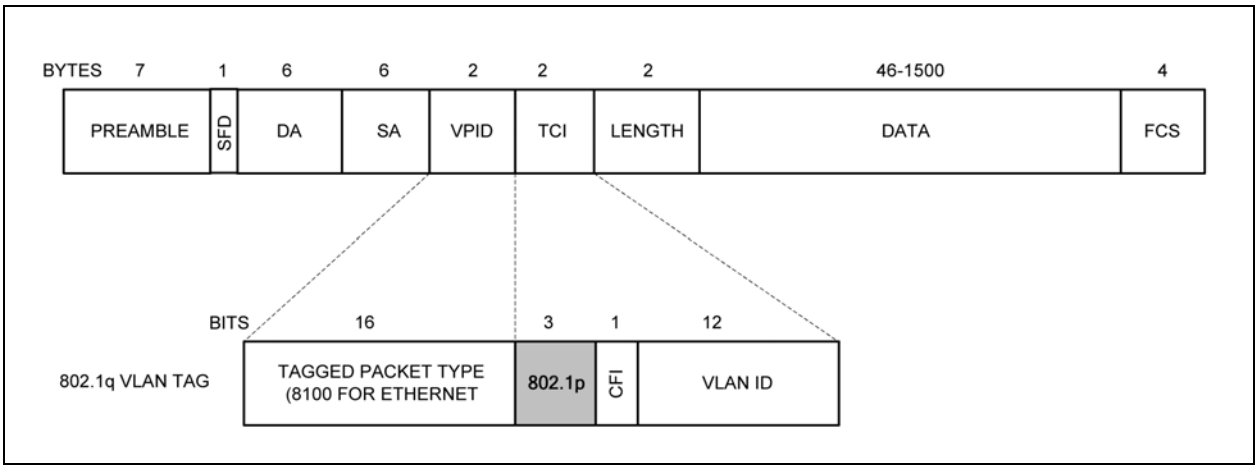
© 2018 Microchip Technology Inc.

4.4.4.2 IEEE 802.1p ベースの優先度

IEEE 802.1p ベースの優先度の場合、本デバイスは Ingress パケットがタグ付けされているかどうかを調べます。タグ付けされている場合、VLAN タグの 3 ビットの PCP 優先度フィールドを取得し、「優先度割り当て」値の検索に使います。「priority mapping」値は設定可能です。

図 4-4 に、802.1p 優先度フィールドがどのように 802.1Q VLAN タグに埋め込まれるのか示します。

図 4-4: 802.p 優先度フィールドのフォーマット



4.4.4.3 IEEE 802.1p 優先度フィールドの再割り当て

これは、本デバイスが任意の Ingress ポートに「ユーザ優先度の上限」を設定できる QoS 機能です。Ingress パケットの優先度フィールドが Ingress ポートの既定値タグの優先度フィールドよりも高い優先度値を持つ場合、パケットの優先度フィールドは既定値タグの優先度フィールドで置き換えられます。

4.4.4.4 DiffServ (DSCP) 優先度 (IP)

IP ヘッダの DSCP フィールドの DiffServ ベースの優先度は、パケットの優先度の決定に使えます。一連のレジスタがこの 6 ビット DSCP 値を索引として使い、4 つ (または 2 つ) のキューのうちの 1 つを指定する 2 ビット値に変換します。これらのレジスタは完全にプログラマブルです。

4.4.4.5 ACL 優先度

アクセス制御リスト (ACL) フィルタリング機能は、受信パケットに優先度を割り当てるためにも使えます。詳細はセクション 4.4.17、「ACL (Access Control List) フィルタリング」で説明します。

4.4.5 トラフィックのコンディショニングとポリシング

4.4.5.1 重み付きランダム初期検出 (WRED: Weighted Random Early Detection)

WRED は任意で設定できる機能であり、パケットメモリの平均キューサイズと各トラフィック クラスの Ingress キューサイズを監視し、メモリとキューの利用率に基づいてパケットをドロップできます。バッファがほとんど空の場合、受信トラフィックは全て受け入れられます。バッファの利用率が上がるに従って、受信パケットをドロップする確率も上がります。バッファの利用率が最大しきい値に達すると、この確率は 1 になり全受信パケットがドロップされます。

WRED は、グローバル同期の問題を避ける事を目的としています。グローバル同期は、スイッチが混雑するようになり受信パケットを全て同時にドロップし始めると発生します。TCP ストリームでは、パケットのドロップは TCP 輻輳制御機構を動作させます。この機能は、パケットのドロップがなくなるまで転送レートを低下させます。TCP ストリームが増加し、それらの輻輳制御機構が一斉に動作すると、トラフィック レートの有害な変動を引き起こす恐れがあります。バッファがフルになるまで待たず一部のパケットを選択的に早くドロップする事で、WRED は多数のパケットを一度にドロップする事を防止し、グローバル同期の危険性を最小限にします。

WRED は統計的に、小さなユーザより大きなユーザのパケットをより多くドロップします。従って、トラフィックをほとんど生成しないトラフィック源に比べて、最も多くのトラフィックを生成するトラフィック源はより多く減速させられます。

AVB トラフィック ストリーム (SR ストリーム) に対しては WRED ポリシングを免除できます。

4.4.6 スパニングツリーのサポート

スパニングツリーをサポートするため 1 つのポートがホストプロセッサの指定ポートになっており、そのポートはテールタギングが有効なポートとして定義されています。その他の各ポートは、ポート制御 2 レジスタ内の「transmit enable」、「receive enable」、「learning disable」レジスタビットにより、5 つのスパニングツリー ステートの中の 1 つに設定できます。表 4-12 に、5 つのスパニングツリー ステートのそれぞれに対する設定とソフトウェア アクションを示します。

表 4-12: スパニングツリーのステート

Disable ステート	ポート設定	ソフトウェア アクション
ポートはパケットを転送も受信もしません。 学習は無効です。	transmit enable = 0 receive enable = 0 learning disable = 1	プロセッサはポートへパケットを送信しません。 スイッチは特定のパケット (「overriding」ビットがセットされた [静的 MAC テーブル」内の一部のエントリと一致するパケット) をプロセッサへ送信する場合がありますが、プロセッサはそれらのパケットを破棄します。このステートでは、ポートでのアドレス学習は無効です。
Blocking ステート	**ポート設定**	**ソフトウェア アクション**
プロセッサに対するパケットのみ転送されます。 学習は無効です。	transmit enable = 0 receive enable = 0 learning disable = 1	このステートでは、プロセッサはポートへパケットを送信しません。プロセッサは、受信する必要のあるエントリ (例 : BPDU パケット) を静的 MAC テーブルに書き込みます。スイッチがそれらの特別なパケットをプロセッサへ転送するよう、「overriding」ビットもセットする必要があります。このステートでは、ポートでのアドレス学習は無効です。
Listening ステート	**ポート設定**	**ソフトウェア アクション**
プロセッサへのパケットとプロセッサからのパケットのみが転送されます。 学習は無効です。	transmit enable = 0 receive enable = 0 learning disable = 1	プロセッサは、受信する必要のあるエントリ (例 : BPDU パケット) を静的 MAC テーブルに書き込みます。スイッチがそれらの特別なパケットをプロセッサへ転送するよう、「overriding」ビットをセットする必要があります。このステートでは、プロセッサはポートへパケットを送信できます。このステートでは、ポートでのアドレス学習は無効です。
Learning ステート	**ポート設定**	**ソフトウェア アクション**
プロセッサへのパケットとプロセッサからのパケットのみが転送されます。 学習は有効です。	transmit enable = 0 receive enable = 0 learning disable = 0	プロセッサは、受信する必要のあるエントリ (例 : BPDU パケット) を静的 MAC テーブルに書き込みます。スイッチがそれらの特別なパケットをプロセッサへ転送するよう、「overriding」ビットをセットする必要があります。このステートでは、プロセッサはポートへパケットを送信できます。このステートでは、ポートでのアドレス学習は有効です。
Forwarding ステート	**ポート設定**	**ソフトウェア アクション**
通常、パケットを転送および受信します。 学習は有効です。	transmit enable = 1 receive enable = 1 learning disable = 0	プロセッサは、受信する必要のあるエントリ (例 : BPDU パケット) を静的 MAC テーブルに書き込みます。スイッチがそれらの特別なパケットをプロセッサへ転送するよう、「overriding」ビットをセットします。このステートでは、プロセッサはポートへパケットを送信できます。このステートでは、ポートでのアドレス学習は有効です。

4.4.7 RST (Rapid Spanning Tree) のサポート

ラピッド スパニングツリー プロトコル (RSTP: Rapid Spanning Tree Protocol) 向けに各ポートに割り当てられる動作ステートは 3 つあります。

1. Discarding ステート
2. Learning ステート
3. Forwarding ステート

© 2018 Microchip Technology Inc.

4.4.7.1 Discarding ステート

「Discarding ステート」中のポートは、アクティブなトポロジに参加せず、MAC アドレスを学習しません。

- Discarding ステート : ステートには STP の 3 つのステート (Disable、Blocking、Listening) が含まれます。
- ポート設定 : transmit enable = 「0」、receive enable = 「0」、learning disable = 「1」
- ソフトウェア アクション : ホストプロセッサはポートへパケットを送信しません。スイッチは特定のパケット (「overriding」ビットがセットされた静的テーブル内の一部のエントリと一致するパケット) をプロセッサへ送信する場合がありますが、プロセッサはそれらのパケットを破棄します。ポートの学習機能を無効にすると (learning disable = 「1」)、ALU テーブルと静的 MAC テーブルのポート関連エントリは急速に失われる事があります。

4.4.7.2 Learning ステート

「Learning ステート」中のポートは MAC アドレスを学習しますが、ユーザ トラフィックを転送しません。

- Learning ステート : ホストプロセッサへのパケットとプロセッサからのパケットのみが転送されます。学習は有効です。
- Learning ステートのポート設定 : transmit enable = 「0」、receive enable = 「0」、learning disable = 「0」
- ソフトウェア アクション : プロセッサは、受信する必要のあるエントリ (例 : BPDU パケット) を静的アドレステーブルに書き込みます。スイッチがそれらの特別なパケットをプロセッサへ転送するよう、「overriding」ビットをセットする必要があります。このステートでは、プロセッサはパケットをポートへ送信できます (詳細はセクション 4.4.9、「テールタギング モード」参照)。このステートでは、ポートでのアドレス学習は有効です。

4.4.7.3 Forwarding ステート

「Forwarding ステート」中のポートは、データ転送と MAC 学習の両方に完全に参加します。

- Forwarding ステート : 通常、パケットを転送および受信します。学習は有効です。
- ポート設定 : transmit enable = 「1」、receive enable = 「1」、learning disable = 「0」
- ソフトウェア アクション : ホストプロセッサは、受信する必要のあるエントリ (例 : BPDU パケット) を静的アドレステーブルに書き込みます。スイッチがそれらの特別なパケットをプロセッサへ転送するよう、「overriding」ビットをセットする必要があります。このステートでは、プロセッサはパケットをポートへ送信できます (詳細はセクション 4.4.9、「テールタギング モード」参照)。このステートでは、ポートでのアドレス学習は有効です。

RSTP は BPDU の 1 つのタイプ (RSTP BPDU と呼ぶ) だけを使います。それらは STP コンフィグレーション BPDU に似ていますが、タイプフィールドは RSTP では「version 2」に設定されるのに対し、STP では「version 0」に設定されるという点と、フラグフィールドが追加の情報を格納するという点で異なります。

4.4.8 マルチ スパニングツリーのサポート

マルチ スパニングツリー プロトコル (MSTP: Multiple Spanning Tree Protocol) は RSTP の拡張版であり、各種 VLAN が各種のスパニングツリー構成を持つ事ができます。VLAN テーブル、アドレス ルックアップ テーブル、静的アドレステーブル、予約済みマルチキャスト アドレステーブルの全てが、8 つのスパニングツリーの 1 つを指定するのに使える 3 ビットのフィールドを持っています。各ポートは、各スパニングツリーに対して固有のステートを指定するステートレジスタを備えています。

4.4.9 テールタギング モード

テールタギングは、ホストプロセッサと本スイッチの間で、Ingress および Egress ポート情報を通信する方法です。これは、スパニングツリー プロトコル、IGMP/MLD スヌーピング、IEEE 1588、その他の応用に便利です。

本スイッチがフレームをホストポートに転送する場合、フレームが受信されたポートをホストプロセッサに示すために 2 桁のテールタギング バイトをフレームに追加します。逆方向の場合、ホストプロセッサは目的とする Egress 宛先ポートを本スイッチに示すためにテールタギング バイトをフレームに追加します。複数の優先度キューを有効にしている場合、テールタグは優先度キューを示すのにも使います。フレームが本スイッチを出ていく前に、テールタギング バイトは削除されます。テールタギングは任意の 1 つのポートで有効にでき、これがホストポートを定義します。テールタギングは複数のポートでは有効にできません。

テールタギングは、パケット末尾のデータフィールドと 4 バイトの CRC/FCS の間に追加の 2 バイトを挿入する事で実装します (図 4-5 参照)。

図 4-5: テールタグ フレームのフォーマット

BYTES	6	6	(4)	2	46 (42) - 1500	2	4
	DEST ADDRESS	SOURCE ADDRESS	802.1Q TAG	ETYPE or LENGTH	PAYLOAD	TAIL TAG	FCS

4.4.10 IGMP のサポート

インターネット グループ管理プロトコル (IGMP: Internet Group Management Protocol) をレイヤ 2 でサポートするため、本デバイスは以下の 2 つのコンポーネントを備えています。

- 「IGMP」スヌーピング
- 静的 MAC テーブルでの「マルチキャスト アドレス挿入」

4.4.10.1 「IGMP」スヌーピング

本デバイスは IGMP パケットをトラップし、それらをプロセッサ (ホストポート) にのみ転送します。IGMP パケットは、IP バージョン = 0x4/ プロトコル バージョン番号 = 0x2 により、IP パケット (Ethernet IP パケットまたは IEEE 802.3 SNAP IP パケット) として識別されます。

Note:	テールタギング モードを有効にしているポートがホストポートです。

4.4.10.2 静的 MAC テーブルでの「マルチキャスト アドレス挿入」

静的アドレステーブルまたはアドレス ルックアップ テーブルにマルチキャスト アドレスが書き込まれると、マルチキャスト セッションは全ポートにブロードキャストされるのではなくサブスクライブ済みポートにのみ転送されます。

IGMP パケットを受信したポートをホストプロセッサが認識するように、テールタギング モードを有効にする必要があります。

4.4.11 IPv6 MLD スヌーピング

本デバイスは IPv6 マルチキャスト リスナ探索 (MLD: Multicast Listener Discovery) パケットをトラップし、それらをプロセッサ (ホストポート) にのみ転送します。

4.4.12 ポート ミラーリング

本デバイスは「ポート ミラーリング」を以下のように包括的にサポートしています。

- 「受信専用」ミラーポート (Mirror-on-a-Port)
- 「送信専用」ミラーポート (Mirror-on-a-Port)
- 「受信および送信」ミラーポート (Mirror-on-a-Port)

4.4.12.1 「受信専用」ミラーポート (Mirror-on-a-Port)

ポートで受信する全てのパケットをスニファポート上でミラーリングします。例えば、ポート 1 を「受信スニフ」として設定し、ホストポートを「スニファ」として設定します。そして、ポート 1 で受信したパケットを内部ルックアップ後にポート 2 に転送するよう設定したとします。このパケットはポート 2 とホストポートの両方に転送します。オプションにより、本デバイスは「不良」受信パケットでも「スニファポート」へ転送する事ができます。

4.4.12.2 「送信専用」ミラーポート (Mirror-on-a-Port)

ポートで送信する全てのパケットをスニファポート上でミラーリングします。例えば、ポート 1 を「送信スニフ」として設定し、ホストポートを「スニファポート」として設定します。そして、ポート 2 で受信したパケットを内部ルックアップ後にポート 1 に転送するよう設定したとします。本デバイスは、ポート 1 とホストポートの両方にパケットを転送します。

4.4.12.3 「受信および送信」ミラーポート (Mirror-on-a-Port)

ポート A で受信され「かつ」ポート B で送信される全てのパケットをスニファポート上でミラーリングします。例えば、ポート 1 を「受信スニフ」、ポート 2 を「送信スニフ」に、ホストポートを「スニファポート」として設定します。そして、ポート 1 で受信したパケットを内部ルックアップ後にポート 2 に転送するよう設定したとします。本デバイスは、ポート 2 とホストポートの両方にパケットを転送します。

複数のポートを「受信スニフ」または「送信スニフ」として選択できます。任意のポートを「スニファポート」として選択できます。

4.4.13 スケジューリングとレートリミット

各デバイスポートには、Egress パケットをスケジューリングする 2 つの方法があります。これらの方法は、2 つまたは 4 つのキューにポートを設定する際に適用できます。さらに、各ポートは Ingress および Egress レートリミット機能を備えています。

© 2018 Microchip Technology Inc.

4.4.13.1 絶対優先スケジューリング

Egress ポートを 2 つまた 4 つのキューとして設定し、絶対優先スケジューリングを選択すると、低い優先度の全てのキューに対して各キューは絶対的に優先されます。キュー 3(最優先キュー) からパケットを送信する場合、その他のキューから送信されるいかなるパケットに対してもそのパケットは優先されます。送信すべきパケットがキュー 3 にない場合のみ、キュー 2 のパケットが送信されます。絶対優先スケジューリングの代わりに重み付きラウンドロビンスケジューリングも適用できます。

4.4.13.2 重み付きラウンドロビン (WRR) スケジューリング

Egress キューで、絶対優先スケジューリングの代わりに WRR スケジューリングも適用できます。絶対的な優先度ではなく、最優先キューに対して比例的な優先度を与えるため、WRR スケジューリングは公正なキューイングとみなされています。

4.4.13.3 レートリミット

本デバイスは、独立した Ingress および Egress ハードウェア レートリミット機能を各ポートでサポートしています。これらの 2 つの機能は通常互いに排他的であるため、両方を同じポートで使わない事を推奨します。

10BASE-T の場合、10 Mbps を超えるレート設定は、レートに制限がない事を意味します。同様に 100BASE-TX の場合、100 Mbps を超えるレート設定は、レートに制限がない事を意味します。各ポートの各優先度に対するデータ受信レートは、Ingress レート制御レジスタによって制限できます。各ポートの各優先度に対するデータ送信レートは、Egress レート制御レジスタによって制限できます。各フレームのサイズには、データフィールド (パケット DA から FCS まで) に加えて最小限の IFG (Interframe Gap) またはプリアンブル バイトをオプションで含める事ができます。

Ingress レートリミット向けに、本デバイスはフレームのタイプを選択するためのオプションを提供します。これは、全てのフレームタイプ (マルチキャスト、ブロードキャスト、flooded ユニキャスト) から選択できます。本デバイスは、選択されたタイプのフレームからデータレートをカウントします。指定したレートリミット値をデータレートが上回ると、パケットを Ingress ポートでドロップします。

Egress レートリミットでは、出力トラフィックのシェーピングのために、各出力優先度キューに対してリーキーバケット (leaky bucket) アルゴリズムを適用します。インターフレーム ギャップをフレームごとにストレッチする事で、円滑でバーストのない Egress トラフィックを生成します。各出力優先度キューのスループットは、指定した Egress レートで制限します。

いずれかの Egress キューが、指定された Egress レート スループットを超えるトラフィックを受信した場合、パケットは出力キューとパケットメモリ内に蓄積されます。キューまたはポートのメモリを使い果たすと、パケットの破棄またはフロー制御がトリガされます。過密の結果として、実際の Egress レートは Ingress 端でのフロー制御 / 破棄によって影響され、指定された Egress レートより少し低下する場合があります。

混雑を軽減するため、Egress 帯域幅を Ingress 帯域幅より大きくする事を推奨します。

4.4.14 Egress トラフィックのシェーピング

クレジットベース シェーパーはオーディオ / ビデオブリッジ (AVB) 向け IEEE 802.1Qav で定義されています。クレジットベース シェーパーは、Egress キューのトラフィックのジッタを最小化するように試みます。しかし、「ベストエフォート」キューから大きなパケットを送信すると、その性能に悪影響を及ぼす事があります。シェーパーを使う場合、対応する Egress ポートは通常 2 つまたは 4 つのキュー向けに設定します。特定のキューのタイミングを重視する (すなわちスケジュールされた) トラフィックに使う事ができ、残りのキューを優先度がより低い、スケジュールされていない (ベストエフォートの) トラフィックに使います。シェーピングは各ポートおよび各キューに対して個別に設定できます。クレジットベース シェーパーは、同じポートの 1 つまたは 2 つのキューに適用できます。

セクション 4.4.4、「サービス品質 (QoS) 優先度サポート」に、優先度に基づき Ingress パケットを Egress キューに割り当てる方法を示します。最も一般的な方法は、VLAN タグの PCP フィールドを使う事です。

4.4.14.1 IEEE 802.1Qav クレジットベース トラフィック シェーパー

トラフィック シェーパーは、SR クラスのトラフィックの予約済み帯域幅で決まる高優先度 (AVB) の Egress トラフィックの計測に使います。各ポート各優先度キューの Egress で別々のトラフィック シェーパーを使えます。ポートを 4 つのキュー向けに設定すると、SR トラフィック クラスのために 2 つの最優先キューを使えます。ポートを 2 つのキュー向けに設定すると、最優先キュー (1) を SR トラフィック クラスに使えます。より低い優先度のキューは「ベストエフォート」クラスのトラフィックに使い、絶対優先スケジューリング向けに設定します。また、これらのキューに対してはトラフィック シェーパーを無効にします。

トラフィック シェーパーは、前述の従来型「リーキーバケット」レートリミット機能よりも洗練されています。ポートの帯域幅のうちの何パーセントかを、AVB ストリーム予約 (SR) トラフィック クラスのために確保できます。トラフィック シェーパーは予約済み帯域幅を設定できるため、この帯域幅を超えない範囲でキューはパケットを送出できます。キューは、別のキューから送出されるパケットによって Egress パケットが遅延した場合「クレジット」を蓄積できます。蓄積されたクレジットは、平均レートを維持するために挽回を許可するのに使われます。

クレジットベース シェーパーがサポートするトラフィック クラスが、それに割り当てられた帯域幅より少ない帯域幅しか使っていない場合、トラフィック クラスの相対的優先度とそれらに関連する送信キューイング アルゴリズムに従って、その未使用の帯域幅を、その他のトラフィック クラスが使う事ができます。

4.4.15 Ingress MAC アドレスのフィルタリング機能

本デバイスは、パケットを受信すると、静的 MAC アドレステーブルと動的 MAC アドレステーブルの両方で宛先 MAC アドレスを検索します。これらのテーブルのどちらにも見つからない場合、宛先 MAC アドレスは「未知」です。既定値で、未知のパケットは、そのパケットを受信したポートを除く全ポートに転送します。未知のパケットを転送する 1 つまたは複数のポートを指定する機能も備えています。この機能ではポートを指定しない事もできます。すなわち未知のパケットは破棄します。この機能は未知のユニキャスト パケット、未知のマルチキャスト パケット、未知の VID パケットに対して個別に実装されます。

4.4.16 802.1X ポートベース アクセス制御

IEEE 802.1X はポートベースの認証プロトコルです。EAPOL は、通常、認証プロセスによって未制御ポートとして使われるプロトコルです。特別な EAPOL フレームを受信して抽出する事で、ホストプロセッサは Ingress および Egress ポートによるパケットの転送を制御できます。ユーザポートが別のポート (認証) からのサービスを必要とする場合、認証による承認を得る必要があります。本デバイスは、フレームの destination アドレスを確認する事によって EAPOL フレームを検出します。destination アドレスは IEEE 802.1x で定義されているマルチキャスト アドレス (01-80-C2-00-00-03) またはプログラマブルな予約済みマルチキャスト アドレスドメイン内で使われるアドレス (オフセットは -00-03) である事が必要です。EAPOL フレームが検出されるとホストポートへ転送され、CPU はそのフレームを認証サーバへ送信できます。最終的に、CPU は送信元 MAC アドレスに基づいて要求元が承認されるかどうかと、フレームが受理さるか破棄されるかを決定します。

本デバイスが認証として設定された場合、スイッチのポートは認証用に設定する必要があります。認証によるポートの認証では、クライアントが起動するかポートに接続されると、認証ポートが EAP (Extensible Authentication Protocol) PDU をサプリカントに送信する事で、サプリカントの ID を要求します。この時点で、スイッチ上のポートは物理的なスタンドポイントから接続されます。しかし 802.1X プロセスはそのポートを認証せず、フレームはサプリカント上のポートからスイッチング構造に渡されません。スイッチ (KSZ9563R) に接続されたサプリカントがスイッチから受け取った EAP PDU を理解しなかった場合、PC は ID を送信する事ができず、ポートは未承認のままです。この状態では、ポートは閉鎖され全ユーザ トラフィックは遮断されます。サプリカントが 802.1X EAP を実行している場合、サプリカントは設定された自身の ID を使ってリクエストに応答します (これは、ユーザ名とパスワードの組み合わせか、認証コードです)。

本デバイスはサプリカントからの ID を受信した後、認証サーバ (RADIUS サーバ) に ID 情報を渡します。RADIUS サーバは ID 情報を検証し、成功または失敗メッセージをスイッチに返します。成功メッセージが返された場合、ポートは承認され、ユーザ トラフィックはそのポートを通過する事ができます (アクセスデバイスへ接続されたスイッチポートと同様)。失敗メッセージが返された場合、ポートは未承認のままであり、使われません。サーバから応答がない場合も、ポートは未承認のままであり、トラフィックを渡しません。

ポート制御は ACL (Access Control List) フィルタリング機能を使って実行できます。

4.4.17 ACL (Access Control List) フィルタリング

ACL (Access Control List) は、レイヤ 2 MAC、レイヤ 3 IP、レイヤ 4 TCP/UDP の各受信パケットのフィルタリングを実行するために各ポートに作成できます。マルチキャスト フィルタリングは、静的アドレステーブルと予約済みマルチキャスト アドレステーブル内で処理されます。しかし ACL を使うと、ルーティングされたネットワーク プロトコルをフィルタリングする事もできます。図 4-3 に示すように、ACL フィルタリングはその他の転送機能に対して優先される事もあります。

ACL を使うと、本スイッチは、以下のヘッダフィールドに基づいて Ingress トラフィックをフィルタリングできます。

- 送信元または宛先 MAC アドレスと / または EtherType
- プログラマブルなマスクを備えた送信元または宛先 IPv4 アドレス
- IPv4 プロトコル
- 送信元または宛先 UDP ポート
- 送信元または宛先 TCP ポート
- プログラマブルなマスクを備えた TCP フラグ

ACL は、ACL テーブルに書き込まれた最大 16 のアクセス制御ルールの順序付きのリストです。各エントリは、転送とパケットの優先度を制御する特定のルール (一連の一致条件と動作ルール) を指定します。パケットがインターフェイス上で受信された時、スイッチは適用される全ての ACL とパケット内のフィールドを比較し、リスト内で指定されている条件に基づいて、そのパケットが転送のために必要な許可を持っているかどうか確認します。複数の一致条件をまとめて AND 演算または OR 演算できます。

© 2018 Microchip Technology Inc.

ACL は、転送動作ではなく、割り込みを生成するカウンタ機能を実装する事もできます。このカウンタは、ウォッチドッグ タイマまたはイベントカウンタです。ウォッチドッグ タイマの場合、指定した期間内に特定の MAC アドレスと EtherType を持つパケットが受信されないと割り込みが生成されます。イベントカウンタの場合、特定の MAC アドレスと EtherType を持つパケットが指定した数だけ受信されると割り込みが生成されます。

ACL は 3 つの部分 (一致ルール、動作ルール、処理エントリ) で構成されます。一致ルールは、受信パケットに対して行う比較テストの内容を指定します。カウンタ機能も有効にできます。動作ルールは、一致テストが成功した場合に実行する転送動作を指定します。または、一致ルールでカウンタ機能を有効にしている場合、その 11 ビットカウント値が対応する動作ルールフィールドに保存され、転送は実行されません。

通常、16 の一致ルールは 16 の動作ルールに直接には関連付けられていません。例えば、一致エントリ #0 は動作エントリ #0 に関連している必要はありません。例外は、一致ルールでカウンタ機能を有効にしていても、同じ ACL テーブルエントリの一致ルールと動作ルールのフィールドが一緒に機能し、もはや独立していない場合です。

16 の処理エントリのそれぞれを、任意の数の一致ルール (RuleSet で指定) を任意の 1 つの動作ルール (FRN で指定) に関連付けるのに使います。RuleSet に複数の一致ルールがある場合、それらのルールは AND 演算されます。これらの一致結果の全てが真の場合に限り FRN 動作が実行されます。

複数の処理エントリが同じ動作ルールを指定するように ACL テーブルを設定する事もできます。この方法では、最終的な一致結果は複数の RuleSets のそれぞれの一致結果の論理和になります。

16 の ACL ルールは、エントリ #0 が最高の優先度であり、エントリ #15 が最低の優先度である順序付きのリストに相当します。全ての一致ルールが評価されます。複数の真の一致結果と、対応する複数の動作が存在する場合、それらの最高の優先度の動作が実行されます。

4.4.17.1 処理エントリの説明

処理エントリは、表 4-13 に示すように 2 つのパラメータで構成されます。

表 4-13: ACL 処理エントリのパラメータ

パラメータ	説明
FRN[3:0]	First Rule Number 動作ルールエントリへのポインタです。取り得る値は 0 ～ 15 です。RuleSet で指定された全ての一致ルールが真であると評価されると、これが結果として生じる動作ルールになります。
RuleSet[15:0]	一連の 1 つまたは複数の一致ルールエントリを指定します。 RuleSet は、16 の一致ルールエントリのそれぞれに対して 1 ビットを持っています。複数の一致ルールを選択した場合、全ての条件が AND 演算され最終的な一致結果が生成されます。 0 = 一致ルールは選択されていない 1 = 一致ルールが選択されている

図 4-6: ACL の構造とルール値例

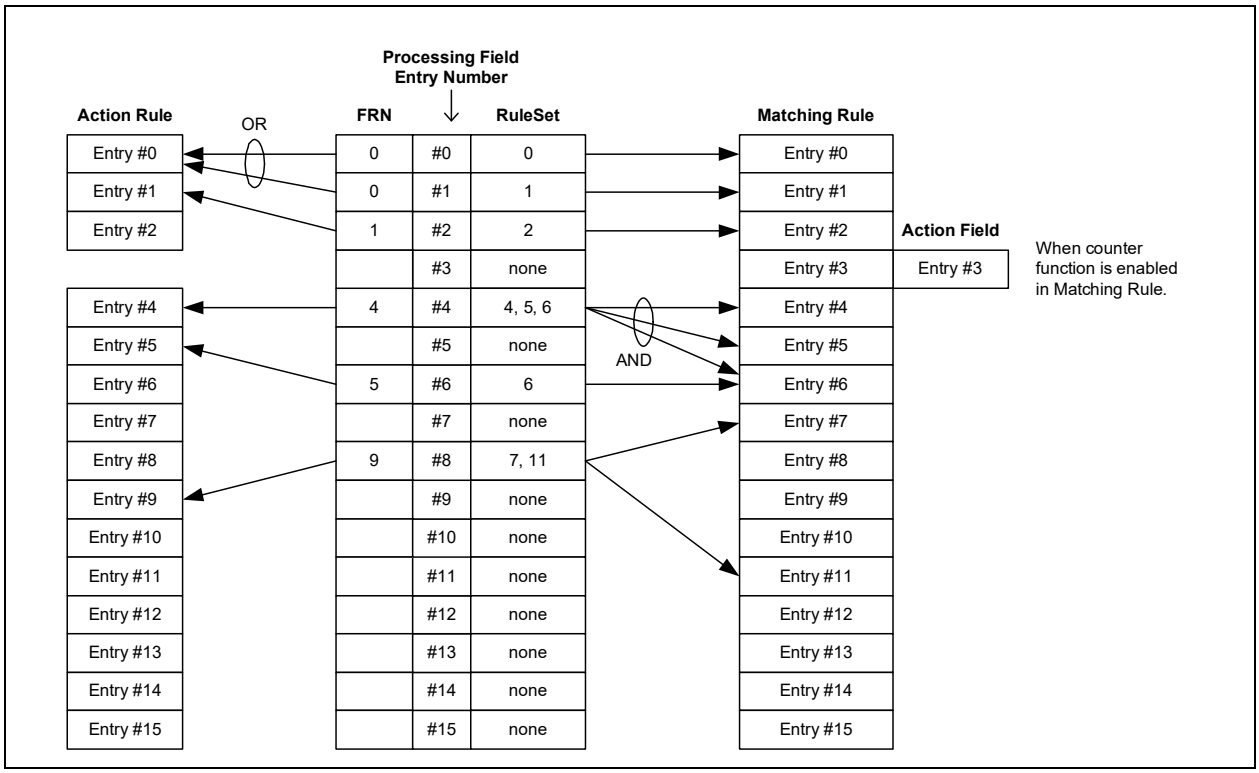


図 4-6 の例は以下のように解釈されます。

- Rule #0: 一致ルールエントリ #0 をテストする。真の場合、動作ルールエントリ #0 を適用する。
- Rule #1: 一致ルールエントリ #1 をテストする。真の場合、動作ルールエントリ #0 を適用する。
- Rule #2: 一致ルールエントリ #2 をテストする。真の場合、動作ルールエントリ #1 を適用する。
- 一致ルールエントリ #3 をカウンタ機能に設定する。動作エントリ #3 を使って、対応するカウント値を保持する。
- Rule #4: 一致ルールエントリ #4、5、6 をテストする。全て真の場合、動作ルールエントリ #4 を適用する。
- Rule #6: 一致ルールエントリ #6 をテストする。真の場合、動作ルールエントリ #5 を適用する。
- Rule #8: 一致ルールエントリ #7、11 をテストする。両方が真の場合、動作ルールエントリ #9 を適用する。

いかなるパケットに対しても複数の動作は実行できません。複数の RuleSets の一致条件が真の場合、対応する最小値 (最優先) の FRN フィールドが動作を決定します。

処理エントリ #0 と処理エントリ #1 が OR 機能を実行する事に注意する必要があります (RuleSet #0 または RuleSet #1 が真の場合、動作 #0 が実行されます)。

処理エントリ #4 と処理エントリ #6 が、重複する RuleSet と、異なるを FRN を持っている事に注意します。これは以下のようにまとめる事ができます。

#4、5、6 の一致が全て真の場合、動作 #4 を適用する。

それ以外で #6 の一致が真の場合、動作 #5 を適用する。

表 4-14 に、利用可能な一致ルールの選択肢を示します。MD および ENB フィールドを使って、目的の一致ルールを選択します。設定の詳細は以下のセクションで説明します。

© 2018 Microchip Technology Inc.

表 4-14: 一致ルールの選択肢

MD[1:0]	ENB[1:0]	一致ルール
00	XX	一致ルールを無効にする。
01 (レイヤ 2 一致 : MAC アドレス、EtherType)	00	動作フィールドを、MAC アドレスと EtherType の両方が一致するパケットのカウント値として使う。
	01	MAC アドレスのみを比較する。
	10	EtherType のみを比較する。
	11	MAC アドレスと EtherType の両方を比較する。
10 (レイヤ 3 一致 : IP アドレス)	00	予約済み
	01	IPv4 送信元および宛先アドレス (マスク付き) を比較する。
	10	IPv4 送信元および宛先アドレス (マスクなし) を比較する。
	11	予約済み
11 (レイヤ 4 一致 : TCP、UDP、IP プロトコル)	00	IPv4 プロトコルを比較する。
	01	TCP 送信元ポートまたは宛先ポートを比較する。
	10	UDP 送信元ポートまたは宛先ポートを比較する。
	11	TCP シーケンス番号を比較する。

4.4.17.2 一致ルールの説明

一致ルールは、複数のパラメータで構成されます。初めの 2 つのパラメータ (MD[1:0] と ENB[1:0]) は、各一致ルールのその他の構成を決定します。

MD = 00 の場合、一致ルールは無効です。

表 4-15: ACL 一致ルールのパラメータ (MD = 01)

パラメータ	説明
MD[1:0]	MODE 00 = 一致ルールを無効にする 01 = レイヤ 2 MAC ヘッダまたはカウンタ フィルタリング 10 = レイヤ 3 IP ヘッダ フィルタリング 11 = レイヤ 4 TCP ヘッダ (および IP プロトコル) フィルタリング
ENB[1:0]	00 = カウントモード (MAC アドレスと TYPE の両方をテストします。カウント値 (時間またはパケットカウント) も含まれます。詳細はこの表の下部に記載します。) 01 = MAC アドレス値についてのみ比較を行う 10 = TYPE 値についてのみ比較を行う 11 = MAC アドレスと TYPE の両方をテストする
S/D	送信元 / 宛先 0 = 宛先アドレス 1 = 送信元アドレス
EQ	等しい / 等しくない 0 = 等しくない場合、結果を真とする 1 = 等しい場合、結果を真とする
MAC ADDRESS[47:0]	48 ビットの MAC アドレス
TYPE[15:0]	EtherType

MD = 01、ENB = 00 の詳細 :

動作ルールエントリの PM、P、RPE、RP、MM の 11 ビットの集合ビットフィールドは、一致フィールドの MAC アドレスと TYPE の両方が一致するパケットのカウント値を指定します。

カウント単位は動作ルールの TU ビットで設定します。

- 0 の場合、単位をマイクロ秒とする
- 1 の場合、単位をミリ秒とする

動作ルールの CA ビットは、カウント終了時の割り込み生成に使うアルゴリズムを指定します。

- 0 の場合、11 ビットカウンタにはリストからのカウント値が書き込まれ、単位時間ごとのカウントダウンを開始する。割り込みはタイマがタイムアウトした時に (つまり、カウント値によって指定された期間中に次の適合パケットを受信しなかった場合に) 生成される
- 1 の場合、カウンタは、一致したパケットを受信するたびにインクリメントする。最後のカウントに達すると割り込みを生成する。その後、カウントはリセットする (このモードでは時間単位は使いません。)

表 4-16: ACL 一致ルールのパラメータ (MD = 10)

パラメータ	説明
MD[1:0]	MODE 00 = 一致ルールを無効にする 01 = レイヤ 2 MAC ヘッダまたはカウンタ フィルタリング 10 = レイヤ 3 IP ヘッダ フィルタリング 11 = レイヤ 4 TCP ヘッダ (および IP プロトコル) フィルタリング
ENB[1:0]	00 = 予約済み 01 = IPv4 送信元または宛先アドレス (マスク付き) 10 = IPv4 送信元または宛先アドレス (マスクなし) 11 = 予約済み
S/D	送信元 / 宛先 0 = 宛先アドレス 1 = 送信元アドレス
EQ	等しい / 等しくない 0 = 等しくない場合、結果を真とする 1 = 等しい場合、結果を真とする
IP ADDRESS[31:0]	IPv4 アドレス ENB = 01 の場合 : 送信元または宛先アドレス (S/D で選択) ENB = 10 の場合 : 送信元アドレス
IP MASK[31:0]	ENB = 01 の場合 : IPv4 アドレスのマスクビット 0 = アドレスのこのビットを比較する 1 = アドレスのこのビットを比較しない ENB = 10 の場合 : 宛先 IPv4 アドレス

表 4-17: ACL 一致ルールのパラメータ (MD = 11)

パラメータ	説明
MD[1:0]	MODE 00 = 一致ルールを無効にする 01 = レイヤ 2 MAC ヘッダまたはカウンタ フィルタリング 10 = レイヤ 3 IP ヘッダ フィルタリング 11 = レイヤ 4 TCP ヘッダ (および IP プロトコル) フィルタリング
ENB[1:0]	00 = IP プロトコル比較を有効にする 01 = TCP 送信元 / 宛先ポート比較を有効にする 10 = UDP 送信元 / 宛先ポート比較を有効にする 11 = TCP シーケンス番号を比較する
S/D	送信元 / 宛先 0 = 宛先アドレス 1 = 送信元アドレス
EQ	等しい / 等しくない 0 = 等しくない場合、結果を真とする 1 = 等しい場合、結果を真とする

© 2018 Microchip Technology Inc.

表 4-17: ACL 一致ルールのパラメータ (MD = 11) (続き)

パラメータ	説明
MAX PORT[15:0] MIN PORT[15:0]	TCP/UDP の最大および最小ポート または TCP シーケンス番号 [31:0]
PC[1:0]	ポート比較 00 = ポート比較を無効にする 01 = ポートは MAX または MIN と一致する 10 = ポート番号が MIN ～ MAX の範囲にある場合、一致とする 11 = ポート番号がレンジ外にある場合、一致とする
PRO[7:0]	一致すべき IPv4 プロトコル
FME	TCP フラグ一致イネーブル 0 = TCP FLAG 一致を無効にする 1 = TCP FLAG 一致を有効にする
FMASK[7:0]	TCP FLAG マスク 0 = FLAG フィールドのこのビットを比較する 1 = FLAG フィールドのこのビットを比較しない
FLAG[7:0]	一致すべき TCP フラグ

4.4.17.3 動作ルールの説明

表 4-18: カウントなしモードの ACL 動作ルールのパラメータ (MD ≠ 01 または ENB ≠ 00)

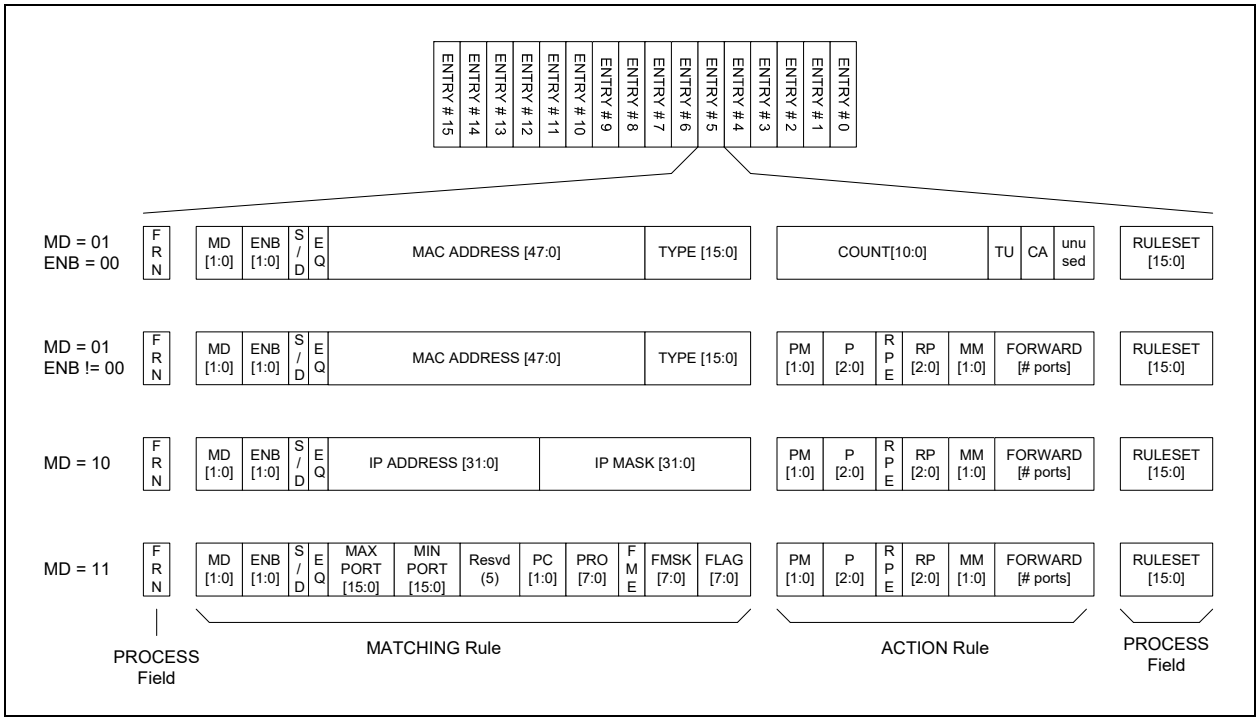
パラメータ	説明
PM[1:0]	優先度モード 00 = ACL はパケットの優先度を指定しない。優先度は標準の QoS 機能で決まる 01 = パケットの優先度が QoS 結果より高い場合、パケットの優先度を P[2:0] に変更する 10 = パケットの優先度が QoS 結果より低い場合、パケットの優先度を P[2:0] に変更する 11 = 常にパケットの優先度を P[2:0] に変更する
P[2:0]	優先度値
RPE	優先度注釈イネーブル 0 = 優先度の注釈付けを無効にする 1 = 優先度の注釈付けを有効にする。VLAN タグ優先度 (PCP) ビットを RP[2:0] で置き換える
RP[2:0]	注釈付きの優先度値
MM[1:0]	マップモード 00 = 転送の再割り当てをしない 01 = FORWARD の転送マップを、アドレス ルックアップ テーブルの転送マップと OR 演算する 10 = FORWARD の転送マップを、アドレス ルックアップ テーブルの転送マップと AND 演算する 11 = FORWARD の転送マップで、アドレス ルックアップ テーブルの転送マップを置き換える
FORWARD[N-1:0]	転送ポート ビット 0 はポート 1 に対応し、 ビット 1 はポート 2 に対応する等です。 0 = このポートに転送しない 1 = このポートに転送する

表 4-19: カウントモードの ACL 動作ルールのパラメータ (MD = 01 または ENB = 00)

パラメータ	説明
COUNT[10:0]	カウント値
TU	カウンタの時間単位 0 = マイクロ秒 1 = ミリ秒
CA	カウンタのアルゴリズム 0 = 11 ビットカウンタはリストからカウント値を読み込み、単位時間ごとのカウントダウンを開始する。割り込みはタイマがタイムアウトした時に (つまり、カウント値によって指定された期間中に次の適合パケットを受信しなかった場合に) 生成される 1 = カウンタは、一致したパケットを受信するたびにインクリメントする。最後のカウントに達すると割り込みを生成する。その後、カウントはリセットする (このモードでは時間単位は使いません)。

図 4-7 に、ACL テーブルの基本構成を示します。このテーブルには 16 のエントリがあり、各エントリは一致フィールド、動作フィールド、処理フィールドを収めています。これらのフィールドは 1 つのテーブルに一緒に保存されますが、任意のテーブルエントリにおいて一致、動作、処理の各フィールドは通常結び付いたグループを形成しない事に注意します。例外は、一致ルールがカウントモード (MD = 01 かつ ENB = 00) の場合です。この場合、一致フィールドと動作フィールドは 2 つ 1 組で使います。

図 4-7: ACL テーブルのフォーマット



4.4.17.4 ACL 割り込み

ACL フィルタリング機能は割り込みを生成しません。割り込みはカウントモード (MD = 01、ENB = 00) にのみ適用されます。一致ルールは、特定のタイプ (MAC アドレスと EtherType) のパケット間隔のタイムアウトと、設定した数のこれらのパケットの受信のどちらかに設定できます。割り込みはポートごとに独立しています。ポート特有の割り込みステータスとマスクはポート割り込みステータス レジスタとポート割り込みマスクレジスタに示します。各ポートの最上位の割り込みレジスタはグローバルポート割り込みステータス レジスタとグローバルポート割り込みマスクレジスタに示します。

© 2018 Microchip Technology Inc.

4.4.17.5 ACL レジスタ

表 4-20 に、ACL 関連レジスタの一覧を示します。

表 4-20: ACL レジスタ

レジスタ	説明
ポート割り込みステータス レジスタ、 ポート割り込みマスクレジスタ	ACL 割り込み
ポート ACL アクセス 0 レジスタ～ ポート ACL アクセス F レジスタ、 ポート ACL バイトイネーブル MSB レジスタ、 ポート ACL バイトイネーブル LSB レジスタ、 ポート ACL アクセス制御 0 レジスタ	ACL テーブルのアクセス
ポート優先度制御レジスタ	優先度分類
ポート認証制御レジスタ	ACL イネーブル

4.5 IEEE 1588 高精度時間プロトコル

IEEE 1588 高精度時間プロトコル (PTP) を使うと、ネットワーク内のノード間の時刻を同期できます。本デバイスは IEEE 1588 PTP V2 (2008) 仕様をサポートしており、エンドツーエンド (E2E) またはピアツーピア (P2P) のポート間トランスペアレント クロック (TC) として設定できます。また、ホストポートはスレーブまたマスタのオーディナリクロック (OC) ポートとして設定できます。Ingress タイムスタンプ キャプチャ、Egress タイムスタンプ記録、滞留時間とリンク遅延による訂正フィールド更新、遅延ターンアラウンド タイム挿入、Egress タイムスタンプ挿入、チェックサム更新をサポートしています。システム全体の性能を向上させる PTP フレーム フィルタリングを実装しています。同期を微調整する遅延調整を実装しています。**GPIO_1** ピンと **GPIO_2** ピンによる多用途のイベントトリガ出力とタイムスタンプ キャプチャ入力を実装しており、各種リアルタイム アプリケーションの要件を満たします。

IEEE 1588 の実装の主な特長は以下の通りです。

- 1 または 2 ステップのイベント メッセージ フォーマット
- 規格に準拠した高精度時間クロックを実装
  - 2 番目のクロックの上位 16 ビットは未実装
- E2E と P2P の両方の TC
- スレーブとマスタの両方の OC
- PTP マルチキャストおよびユニキャスト アドレス指定
- IPv4/IPv6 UDP と IEEE 802.3/Ethernet による PTP の転送
- **GPIO_1** ピンと **GPIO_2** ピンの入力信号に対する高精度タイムスタンプ機能
- 高精度時間クロックの時間に関するクロック、パルス、その他の独自のシリアル ビットストリームを **GPIO_1** ピンと **GPIO_2** ピンで生成および転送
- IEEE 802.1AS gPTP のサポート

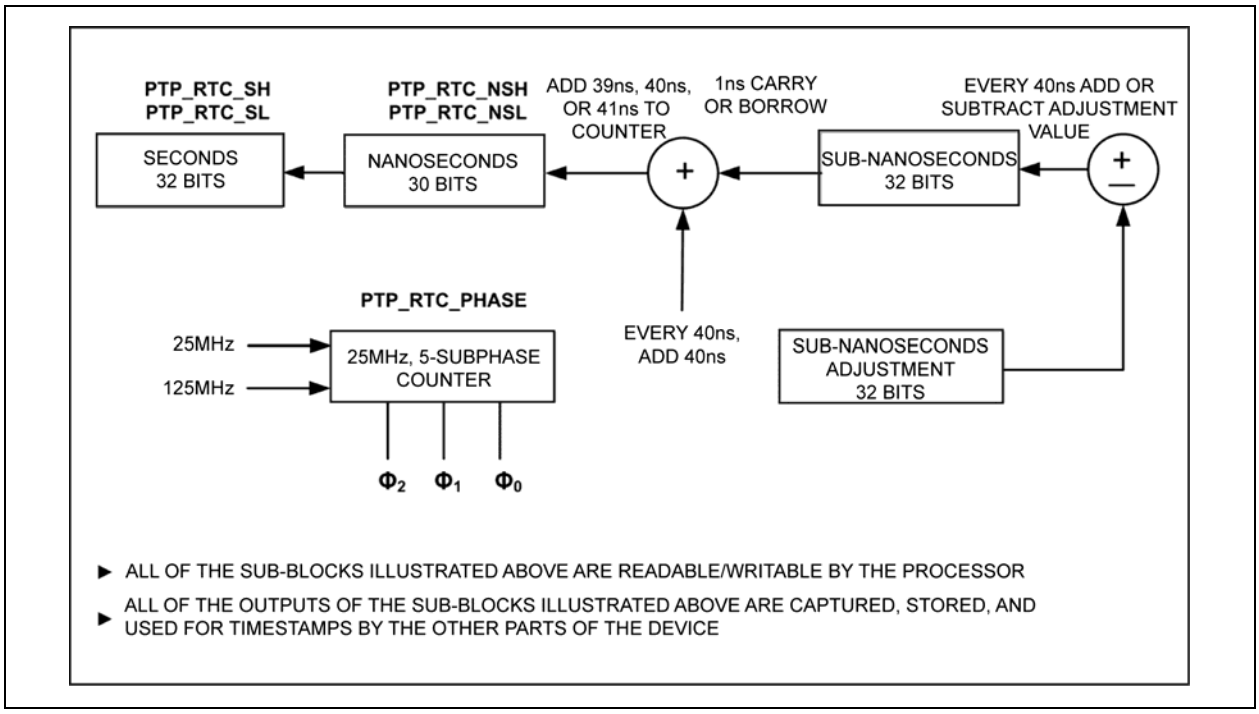
IEEE 1588 は 2 つの主要機能を定義しています。Delay_Req/Resp または Pdelay_Req/Resp メッセージを使ったリンクおよび滞留 (スイッチング) 遅延の計測と、Sync/Follow_Up メッセージを使った時間情報の配信です。1588 PTP イベント メッセージは、ネットワークのグランドマスタから全てのスレーブクロック デバイスに定期的に転送されます。全てのリンクパートナーに対して各スレーブノード別にリンク遅延を計測し、ネットワークを通して転送された PTP メッセージの遅延を補償します。

4.5.1 IEEE 1588 PTP システム時間クロック

本デバイスのシステム時間クロック (STC) は、PTP 時間を維持するのに使う読み書き可能の高精度カウンタです。このカウンタの分解能は 2^{-32} ns です。図 4-8 に、PTP クロックを示します。

.

図 4-8: PTP システムクロックの概要



4.5.2 IEEE 1588 PTP メッセージング処理

本デバイスは、1588 PTP モデルおよびメッセージ検出有効時、IEEE 1588 PTP 時刻同期をサポートします。トランスペアレント クロックモードの設定 (P2P または E2E)、オーディナリ クロックモードの設定 (マスタまたはスレーブ)、クロックモードの設定 (1 または 2 ステップ)、ドメインチェック (有効かどうか) に基づいて、PTP パケット処理には各種動作が適用されます。IPv4/UDP Egress パケットでは、2 バイトの再計算またはゼロ設定でチェックサムを更新できます。IPv6/UDP Egress パケットでは、チェックサムは常に更新されます。

4.5.3 IEEE 1588 PTP イベントトリガおよびタイムスタンプ機能

ターゲットおよび有効化時間が IEEE1588 PTP システムクロック時間と一致すると、イベントトリガ出力信号を生成できます。同様に、イベント タイムスタンプ入力は外部イベント入力信号からキャプチャでき、IEEE1588 PTP システムクロックの対応する時間がキャプチャされます。出力イベントブロックと入力タイムスタンプ ブロックの両方は割り込みを生成するように設定できます。

4.6 オーディオ / ビデオブリッジと TSN (Time Sensitive Networking)

AVB は、オーディオおよびビデオストリーム等の時間を重視するトラフィック向けに高い QoS を保証するための一連の機能とプロトコルを定義しています。本デバイスは、AVB の実装に必要なハードウェア機能 (gPTP 時刻同期機能 (802.1AS、1588 PTP に基づく)、プライオリティ キューイング、クレジットベース トラフィック シェーパー (802.1Qav)) を備えています。AVB をサポートするポートは 1000 または 100 Mbps(全二重) で動作する必要があります。10 Mbps および / または半二重は AVB に対応しません。

AVB に対応しないデバイスは AVB ネットワークに参加できません。しかし、利用可能な帯域幅を AVB トラフィックが使っていない場合、AVB トラフィック以外でもその帯域幅を使えます。ネットワーク全体でのネットワーク ディスカバリ、経路設定、帯域幅確保のプロトコルが定義されています。

AVB はストリーム予約 (SR) トラフィック クラスを定義しています。このクラスは、キューイングと Egress スケジューリングに関して高い優先度が与えられています。ポートあたり最大 4 つの Egress キューを持つため、本デバイスは最大 2 つの SR トラフィック クラスに対応できます。Ingress AVB トラフィック パケットは通常 VLAN タグ付きです。それ以外の場合、本デバイスはそれらのパケットにカスタマイズ可能な VLAN タグをポートごとに割り当てる事ができます。このタグの情報 (3 ビット PCP 優先度フィールドを含む) を使って、パケットを適切な高優先度キューに割り当てます。通常の「ベストエフォート」のネットワーク トラフィックに対応するため、少なくとも 1 つのキューを SR 以外のトラフィック クラス向けに確保する必要があります。

© 2018 Microchip Technology Inc.

高優先度キューからの SR クラス トラフィックの Egress は、以下で説明するようにクレジットベース トラフィック シェーパーによって各キューで調整されます。予約済み帯域幅を SR トラフィック ストリームが上回らない限り、トラフィック シェーパーはパケット転送レートが比較的一様になるように調整します。

AVB ネットワーク内のノード同期を保証する 802.1AS 規格は、PTP のための IEEE 1588 規格に大きく依存しています。この規格は 1588 のための特定のプロファイルを定義しており、802.1Q との関連で特定の要件を追加しています。その結果として生じたエンティティを gPTP (generalized PTP) と呼びます。セクション 4.5、「IEEE 1588 高精度時間プロトコル」で IEEE 1588 と 802.1AS を一緒に説明します。

本デバイスは、Egress トラフィック シェーピングの 2 つの選択肢を備えています。IEEE 802.1Qav で定義されるトラフィック シェーピングについては IEEE 802.1Qav クレジットベース トラフィック シェーパーで説明します。これはキューごとに設定できます。各ポートは、時間を重視するトラフィック クラスのデータの送信のための周期的なタイミング ウィンドウを提供する Ingress MAC アドレスのフィルタリング機能も備えています。これらのシェーパーとスケジューラの選択肢と詳細は、各 Egress ポートに対して個別に設定できます。

4.7 クロッキング

4.7.1 プライマリ クロック

本デバイスは、**XI** ピンに 25 MHz の参照クロック入力が必要です。このクロックを内部的に逓倍し、全ての内部ロジックおよびスイッチング機能のクロック同期に使います。通常、このクロックは PHY 送信パスのクロック同期にも使います。このクロックは、**XI** ピンと **XO** ピンの間に水晶振動子を接続し、グランドに対して適切な負荷容量を接続する事で供給できます。別の方法として、外部 CMOS クロック信号で **XI** を駆動する事もできます (**XO** は未接続にします)。**XI/XO** ブロックは **AVDDH** から電力を供給します。

4.7.2 MAC インターフェイス クロック

MAC デバイスへの **RX_CLK*x*** 受信クロックと **TX_CLK*x*** 送信クロックの両方を PHY デバイスが駆動する事で、MII インターフェイスは非対称的にクロック同期されます。この MII ポートは、PHY または MAC の役割をになうようにリセット時にストラップ設定で設定できます。従って、**RX_CLK** と **TX_CLK** は MII モードに応じて両方共入力または両方共出力です。

RMII インターフェイスは 1 つの 50 MHz のクロックを使います。この REFCLK は、KSZ9563R または接続したデバイスから供給できます。ストラップ設定を使って、モードを選択します。「通常モード」は相手のデバイスがクロックを供給するモードであり、そのクロックは本デバイスの **REFCLKI** ピンへの入力になります。「クロックモード」は KSZ9563R が 50 MHz クロックを生成して **REFCLKO** ピンに出力するモードです。

RGMII インターフェイスは信号源同期クロッキングを用いているため、対称的でありモード選択は不要です。生成された出力クロックは **RX_CLK** ピンから出力され、入力クロックは **TX_CLK** ピンで受信されます。クロック速度は、インターフェイスのデータ レート (10、100、1000 Mbps のいずれか) に対応して変化します。100 Mbps と 1000 Mbps を選択するにはストラップ設定を使います。10 Mbps が必要な場合、レジスタで設定します。

MAC インターフェイスは **VDDIO** から電力を供給します。

Note:	コンフィグレーション ストラップの使い方はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

4.7.3 シリアル管理インターフェイス クロック

SPI、I^2C、MIIM のいずれに設定する場合も、KSZ9563R は常にスレーブであり、入力としてクロックを受信します。このシリアル管理インターフェイスは **VDDIO** から電力を供給します。

4.8 電源

KSZ9563R は 2 または 3 種類の電源電圧を使います。本デバイスのコアは 1.2 V 電源 (**DVDDL** と **AVDDL**) で動作します。PHY トランシーバと XI/XO 水晶振動子 / クロック インターフェイスは 2.5 V または 3.3 V 電源 (**AVDDH**) で動作します。デジタル I/O は 1.8 V、2.5 V、3.3 V (**VDDIO**) のいずれかで動作できます。RGMII、RMII、MII、SPI、I^2C、MIIM、LED、**RESET_N**、**PME_N**, **INTRP_N** を含むデジタル I/O は **VDDIO** から電力を供給します。

4.9 電源管理

本デバイスは、低消費電力ステート中に拡張電源管理機能をサポートします。これは、デバイスのアイドル時に低消費電力を維持するためのエナジー ディテクト機能を備えています。グローバルに実装されている (つまり全ポートに適用する) 電源管理機能には、以下の 3 つの動作モードがあります。

- 通常動作モード
- エナジー ディテクトモード
- ソフト パワーダウン モード

表 4-21 に、電源管理の 4 つの動作モードの内部機能ブロックの全てのステータスをまとめます。

表 4-21: MDI/MDI-X ピン定義

機能ブロック	電源管理の動作モード		
	通常動作モード	エナジー ディテクトモード	ソフト パワーダウン モード
内部 PLL クロック	有効	無効	無効
TX/RX PHY	有効	Rx でエナジー ディテクト	無効
MAC	有効	無効	無効
ホスト インターフェイス	有効	無効	無効

ポートごとに実装できる、以下に示す 2 つの省電力モードも備えています。

- ポートベースのパワーダウン
- Energy Efficient Ethernet (EEE) - 本デバイス内で有効にし、かつリンクパートナーとポートごとにオート ネゴシエーションしている場合のみアクティブです。EEE は、PHY ポートのみに対してポートごとに有効にできます。

初めの 4 つのグローバルパワー モードは互いに排他的であり、同時に選択できるモードは 1 つのみです。ポートごとの電力モードは、他とは無関係に、かつグローバルパワー モードとも無関係に有効にできます。

4.9.1 通常動作モード

起動時、本デバイスは通常動作モードに入ります。通常動作モードは、パワーダウン制御 0 レジスタのビット [4:3] を 00 にする事でも選択できます。本デバイスが通常動作モードにある場合、全ての PLL クロックは動作しており PHY と MAC は ON であり、CPU はシリアル インターフェイス (SPI、I^2C、MIIM) 経由でデバイスレジスタをいつでも読み書きできます。

通常動作モード中、ホストプロセッサはパワーダウン制御 0 レジスタの電源管理モードビットを変更する事でその他の任意の電源管理モードに移行できます。

4.9.2 エナジー ディテクトモード

エナジー ディテクトモードはエナジー ディテクト パワーダウン (EDPD) モードとも呼び、パワーダウン制御 0 レジスタのビット [4:3] を 01 に設定する事で選択されます。エナジー ディテクトモードは、本デバイスがアクティブなリンクパートナーに接続していない場合に消費電力を節約する機構を備えています。エナジー ディテクトモードでは、オート ネゴシエーションを有効にする必要があります。

エナジー ディテクトモードは、通常電力ステートと低消費電力ステートの 2 つのステートで構成されています。このモードでは、デバイスはケーブルのエネルギを監視します。ケーブル上でエネルギが検出されない状態が、あらかじめ設定した値よりも長く続くと、本デバイスは低消費電力ステートに移行します。低消費電力ステートにある間、本デバイスはレシーバのエナジー ディテクト回路を除く全ての回路を無効にする事で消費電力を低減させます。その際、エナジー ディテクト回路は最小限の電力を消費します。低消費電力ステートにある場合、本デバイスは、非常に小さなデューティ サイクルのリンクパルスを長い間隔で送信します。同時に、本デバイスはケーブルのエネルギを常時監視します。ケーブルでエネルギが検出されて 100 ns より長い時間持続すると、本デバイスは通常電力ステートに入ります。

4.9.3 ソフト パワーダウン モード

ソフト パワーダウン モードは、本デバイスが起動後使われなくなった場合に本デバイスの電源を遮断するために使います。このモードでは、シリアル (SPI または I^2C) 管理インターフェイスを除き、全ての内部機能が OFF になります。

ソフト パワーダウン モードを終了すると、全てのレジスタはそれぞれの既定値にリセットされ、本デバイスを設定するため全てのストラップイン ピンがサンプリングされます。

4.9.4 ポートベースのパワーダウン

消費電力を節約するため、未使用ポートは個別にパワーダウンできます。

© 2018 Microchip Technology Inc.

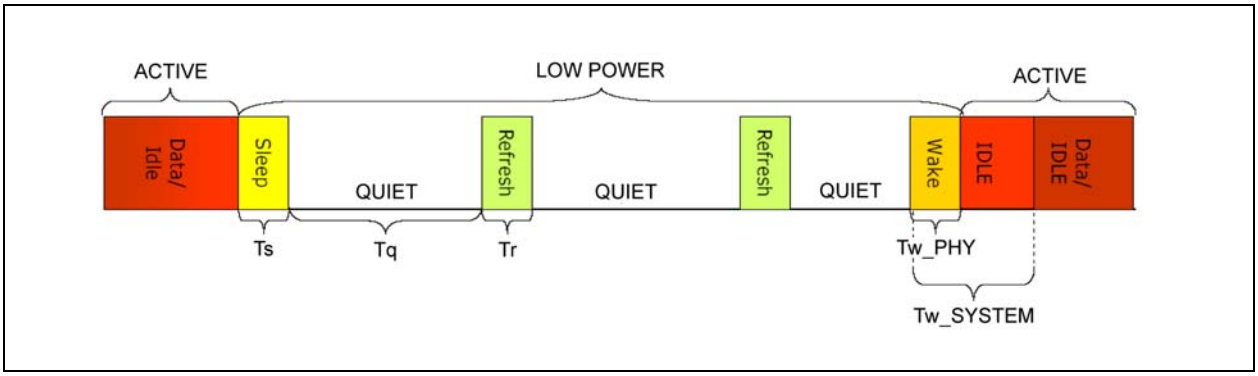
4.9.5 Energy Efficient Ethernet (EEE)

本デバイスは、PHY ポート 1 と PHY ポート 2 のみに Energy Efficient Ethernet (EEE) (IEEE 802.3AZ 仕様参照) を実装しています。EEE はポート 3 では利用できません。EEE は、トラフィック アクティビティのない時に、可能な限り頻繁に Ethernet ケーブル上の電圧を概ね 0 V に保つ事で、消費電力を抑えます。これを低消費電力アイドル (LPI) ステートと呼びます。しかし、トラフィックが回復すると、いかなるパケットもブロッキングまたはドロッピングしないようにリンクは自動的に応答します (100BASE-TX の復帰時間は 30 µs 未満に規定されています)。送受信の方向は個別に制御されます。

既定値では EEE 機能は無効です。EEE はオート ネゴシエーションする必要があり、リンク上の両方のノードが EEE をサポートしている場合のみ有効です。

LPI モードがアクティブな期間を「QUIET 時間」と呼びます (図 4-9 参照)。

図 4-9: トラフィック アクティビティと EEE



4.9.5.1 送信方向の MII モードの制御

EEE ポートは、内部 EEE MAC が PHY に信号を送る事で送信方向の低消費電力アイドル (LPI) ステートに入ります。PHY は、MAC が指示する限り送信 LPI ステートを維持します。**TX_CLK** は停止されません。

PHY が LPI ステートにある場合でも、周期的に LPI ステートを離れ特定の送信コードビットを使ってリフレッシュ信号を送信します。これによりリンクパートナーは、2 つのパートナー間のチャンネル特性の長期的変動とクロックドリフトの状況を把握できます。約 20 ～ 22 ms ごとに 200 ～ 220 µs の期間、PHY はビットパターンをそのリンクパートナーに送信します。図 4-9 に、そのリフレッシュ時間を示します。

4.9.5.2 受信方向の MII モードの制御

LPI モードが有効な場合、P コードビット パターン (リフレッシュ) を受信すると、PHY は LPI ステートに入り内部 MAC に信号を送ります。PHY は、P コードビット以外の何らかのパターンを受信すると、「通常フレーム」モードに戻るように MAC に信号を送ります。LPI ステートで 9 クロック以上が発生した後、PHY は **RX_CLK** を停止できます。

EEE 準拠の環境では、内部 PHY は、約 20 ～ 22 ms ごとに約 200 ～ 220 µs の期間生成される、リンクパートナーからの P コード (リフレッシュ) ビットパターンを監視および待機しています。これによりリンクパートナーは、2 つのパートナー間のチャンネル特性の長期的変動とクロックドリフトの状況を把握できます。

4.9.6 Wake-On-LAN (WoL)

Wake-On-LAN を使うと、ネットワーク メッセージによってコンピュータを起動または復帰させる事ができます。このメッセージは通常、同じローカルエリア ネットワークの他のコンピュータが実行するプログラムによって送信されます。復帰フレームイベントは、意味のあるデータがネットワーク経由でシステムに提供された時にシステムを復帰させるために使います。意味のあるデータの例にはマジックパケットの受信、リモートの管理者からの管理要求、単純にローカルシステムに直接向けたネットワーク トラフィックが含まれます。本デバイスは、割り込み信号 (**INTRP_N**) または電源管理イベント信号 (**PME_N**) をアサートする事で、復帰フレーム検出をホストに通知するように設定できます。

本デバイスの MAC は、以下の復帰イベントの検出をサポートしています。

- 定義値によるエネルギ信号の検出
- ネットワーク リンクステートでのリンクアップの検出
- マジックパケットの受信

ここに記載していないタイプの復帰イベントもあります。それらは、製造メーカーが選択して独自の方法で実装できます。

4.9.6.1 エナジーの管理方向

あらかじめ設定された期間より長く電力が持続した事を検出します。特にこの電力状態変化が、システムが通常の電力消費ステートに戻るかどうかを決める場合に重要です。

4.9.6.2 リンクアップの方向

リンクステータス復帰イベントは、ネットワークの接続ステータスのリンクアップを示すのに便利です。

4.9.6.3 マジックパケット

マジックパケットは、全て「1」の 6 バイト (FF FF FF FF FF FF) に続けてターゲット コンピュータの 48 ビット DA MAC アドレスを 16 回繰り返したデータパターンがペイロードのどこかに含まれているようなブロードキャスト フレームです。マジックパケットでは上記の文字列だけがスキャンされます (本当のプロトコル スタックによって構文解析されるのではない)。マジックパケットは任意のネットワークおよびトランスポート レイヤプロトコルとして送信されます。

マジックパケットは、LAN 上でスリープ中またはパワーオフ中の PC をリモートで復帰させるために使います。このために、特別な情報のパケット (マジックパケット フレームと呼ぶ) をネットワーク上のノードへ送信します。この特別なフレームを受信可能な PC は、スリープへ移行すると LAN コントローラ内でマジックパケット RX モードを有効にします。そして LAN コントローラは、マジックパケット フレームを受信した時に復帰するようシステムに指令します。マジックパケット検出機能が有効にされると、デバイスはそのノードのアドレスが指定された全ての受信フレームをスキャンして特別なデータシーケンス (マジックパケット フレームである事をコントローラに示すデータシーケンス) が含まれていないか調べます。

マジックパケット フレームは、選択されている LAN テクノロジの基本要件も満たす必要があります。基本要件とはソースアドレス (SA) や Destination アドレス (DA) であり、これらは受信ステーションの IEEE MAC アドレスやマルチキャストまたはブロードキャスト アドレスおよび CRC です。特別なシーケンスは、このノードの MAC アドレスを途切れる事なく 16 回繰り返したデータで構成されます。このシーケンスは、パケット内のどこに置かれていても構いませんが、同期ストリームの後である事が必要です。同期ストリームは 6 バイトの 0xFF として定義されます。16 回繰り返される IEEE アドレスがマシンのアドレスと一致した (つまり復帰が要求された) 場合、デバイスはブロードキャスト フレームも受け入れます。

4.9.6.4 電源管理に関連するイベント時の割り込み生成

電源管理に関連するイベントが発生するたびにホストに割り込みを生成するには 2 つの方法があります。結果として生じる割り込みは **PME_N** 信号ピン経由または **INTRP_N** 信号ピン経由です。

4.10 管理インターフェイス

管理インターフェイスは、ホストプロセッサが本デバイスのレジスタを読み書きするために使えます。このインターフェイスには 3 つの動作モードがあります。SPI、I^2C、MIIM です。インターフェイスのモードは、リセットのネゲート時にストラップ設定で設定します。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

3 つのインターフェイスのうちで、SPI は最も高い性能であり、MIIM は最も低い性能です。最も重要な事は、MIIM では PHY 制御とステータス レジスタにアクセスできるがスイッチレジスタにはアクセスできない事です。従って、アプリケーションの大部分は SPI または I^2C を使えますが、MIIM は使えません。

レジスタのアクセスは、高性能インバンド管理インターフェイス経由でも可能です (セクション 4.11、「インバンド管理」(p. 54) 参照)。インバンド管理インターフェイスは、使う前に SPI または I^2C インターフェイスで設定する必要があるため、シリアル管理インターフェイスを補完する事はできるものの、完全には置き換える事はできません。

4.10.1 SPI スレーブ シリアルバス

KSZ9563R は、スレーブモード SPI インターフェイスをサポートしています。このインターフェイスを使うと、SPI マスタデバイスは全デバイスレジスタにアクセスできます。SPI マスタデバイスはシリアルクロック (**SCL**)、チップセレクト (**SCS_N**)、シリアル入力データ (**SDI**) を供給します。シリアル出力データ (**SDO**) は KSZ9563R が駆動します。

SPI 動作がアイドルの場合、**SCL** は Low に維持されます。SPI 動作は **SCS_N** の立ち下がりエッジで開始し、**SCS_N** の立ち上がりエッジで終了します。1 つの読み出しまたは書き込みアクセスは 27 ビットのコマンド / アドレスフェイズ、5 ビットのターンアラウンド (TA) フェイズ、8 ビットのデータフェイズで構成されます。バーストの読み出しまたは書き込みアクセスでは、**SCL** がトグルし続ける間 **SCS_N** は Low に維持されます。**SCL** の 8 サイクルごとに本デバイスはアドレスカウンタをインクリメントし、対応するデータバイトが **SDI** または **SDO** に連続して転送されます。

コマンド、アドレス、データは全て MSb から順に転送されます。**SDI** の入力データはシリアルクロック **SCL** の立ち上がりエッジでラッチされます。**SDO** の出力データは **SCL** の立ち下がりエッジでクロック同期されます。

© 2018 Microchip Technology Inc.

図 4-22 に示すように、レジスタ読み出しとレジスタ書き込みという 2 つのコマンドがあります。図 4-10 と図 4-11 に、これらの 2 つの動作のタイミングを示します。

表 4-22: SPI インターフェイスを使ったレジスタアクセス

SPI 動作	コマンド / アドレスフェイズ (SDI ピン)		TA ビット (Note 4-1)	データフェイズ (SDO または SDI ピン)
	コマンド	レジスタアドレス		
レジスタ読み出し	011	A23 A22 A21 A20 … A7 A6 A5 A4 A3 A2 A1 A0	XXXXX	D7 D6 D5 D4 D3 D2 D1 D0
レジスタ書き込み	010	A23 A22 A21 A20 … A7 A6 A5 A4 A3 A2 A1 A0	XXXXX	D7 D6 D5 D4 D3 D2 D1 D0

Note 4-1 TA ビットはターンアラウンド ビットです。これらは「ドントケア」ビットです。

Note: 本デバイスの実際のアドレス空間は 16 ビット (A15 ～ A0) であるため、SPI コマンド / アドレスフェイズのアドレスビット (A23 ～ A16) の値は「ドントケア」です。

図 4-10: SPI レジスタの読み出し動作

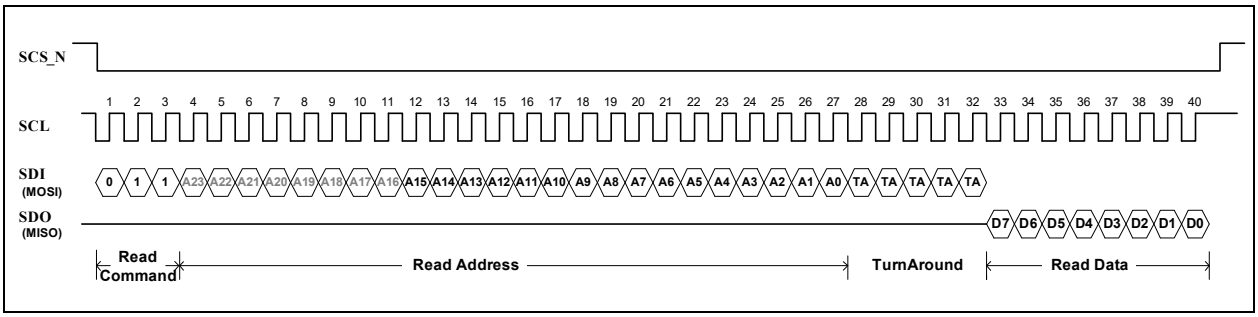
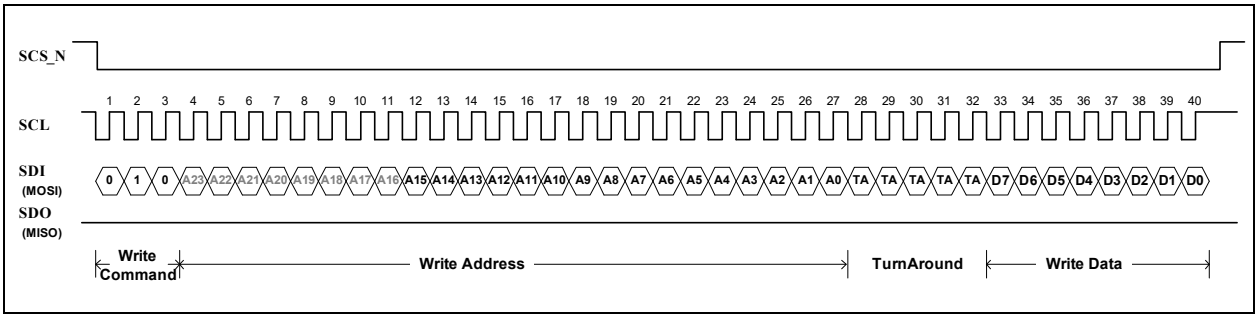


図 4-11: SPI レジスタの書き込み動作



4.10.2 I²C シリアルバス

シリアル管理インターフェイスは I²C スレーブに設定できます。このモードでは、I²C マスタは、全ての MIB カウンタ、アドレス ルックアップ テーブル、VLAN テーブル、ACL テーブルを含む本デバイスの内部制御およびステータスレジスタに書き込めます。

7 ビットのデバイスアドレスは 1011_111 に固定されています。この固定アドレスのため、I2C バス上に同時に存在できる KSZ9563R は 1 つのみです。最下位ビットとして R/W 制御ビットが追加され、以下の 8 ビットアドレス / 制御ワードを構成します。

書き込み : 1011_1110

読み出し : 1011_1111

本デバイスの内部レジスタおよびテーブルは、16 ビットアドレス指定と 8 ビットデータでアクセスします。アクセスフォーマットは以下の通りです。

図 4-12: 1 バイトレジスタ書き込み

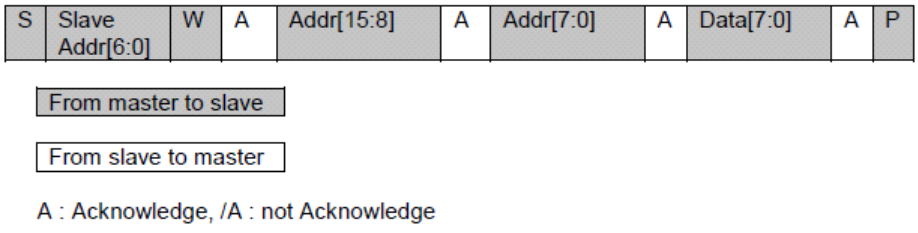


図 4-13: 1 バイトレジスタ読み出し

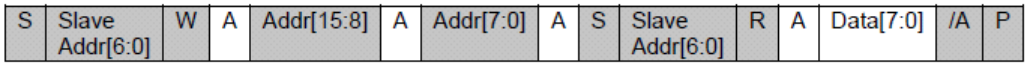


図 4-14: バーストレジスタ書き込み

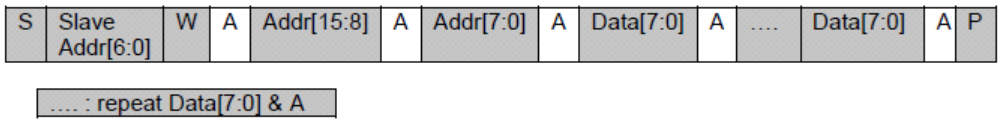
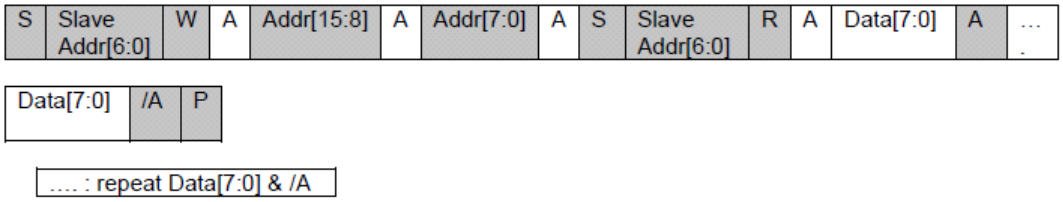


図 4-15: バーストレジスタ読み出し



4.10.3 MIIM (MII Management) インターフェイス

本デバイスは IEEE 802.3 MII Management (MIIM) インターフェイス (MDIO: Management Data Input/Output インターフェイスとも呼ぶ) をサポートします。このインターフェイスは、KSZ9563R の PHY ブロックのステートの上位層デバイスによる監視と制御を可能にします。しかし、スイッチレジスタにはアクセスできません。MDC/MDIO 対応の外部デバイスを使って PHY ステータスの読み出しと PHY の設定が可能です。MIIM インターフェイスの詳細は、IEEE 802.3 仕様書の Clause 22 および 45 に記載されています。

MIIM の使用はインバンド管理インターフェイスの使用と競合します。これらのインターフェイスを同時に使う事はできません。

MIIM インターフェイスは以下により構成されます。

- 外部コントローラと KSZ9563R の間の通信のための、データ信号 (**MDIO**) とクロック信号 (**MDC**) を使う物理接続 : **MDIO** 信号がオープンドレインである事に注意する必要があります。
- 2 つの信号の物理接続の全体にわたって機能する専用プロトコル : これにより、外部コントローラは内部 PHY デバイスと通信できます。
- 一連の標準的なベンダー固有の拡張 (MMD) 16 ビットレジスタへのアクセス : これらのレジスタは、SPI または I^2C インターフェイス経由で直接アクセスする事もできます。

© 2018 Microchip Technology Inc.

MIIM インターフェイスは、最大 5 MHz のクロック速度で動作できます。アクセスは、ポート 1 とポート 2 の PHY ブロックのレジスタのみに限定されます。表 4-23 に、MII 管理インターフェイス フレームのフォーマットをまとめます。

表 4-23: MII 管理インターフェイス フレームのフォーマット

動作モード	プリアンブル (32 ビット)	フレーム開始 (2 ビット)	オペコード (2 ビット)	PHY アドレス (5 ビット)	レジスタアドレス (5 ビット)	ターンアラウンド (2 ビット)	レジスタデータ (16 ビット)	アイドル
読み出し	オール 1	01	10	A[4:0]	Reg[4:0]	Z0	D[15:0]	Z
書き込み	オール 1	01	01	A[4:0]	Reg[4:0]	10	D[15:0]	Z

MIIM PHY アドレスと PHY ポートの対応は以下の通りです。

- PHY アドレス 1h と PHY ポート 1
- PHY アドレス 2h と PHY ポート 2

MIIM のレジスタアドレス空間は、明確に分かれた以下の 2 つの領域で構成されます。

- 標準 MIIM レジスタ (直接)
- MMD (MDIO Manageable Device) レジスタ (間接)

4.10.3.1 標準 MIIM レジスタ (直接)

標準レジスタは、IEEE 802.332 仕様書の Clause 22 の定義に従って、レジスタアドレス空間への直接読み書きアクセスを提供します。このアドレス空間内では、最初の 16 個のレジスタ (レジスタ 0h ～ Fh) は IEEE 仕様に従って定義され、残りの 16 個のレジスタ (レジスタ 10h ～ 1Fh) は PHY ベンダーによって独自に定義されます。

KSZ9563R は、各 PHY ポート向けに標準レジスタ (表 4-24 参照) をサポートしています。各 16 ビット MIIM 標準レジスタアドレスは対応する 2 つの 8 ビットポート N レジスタアドレスに対応しています。このレジスタのビットマップと説明はその 8 ビットポート N レジスタアドレスの行に記載しています。

表 4-24: 標準 MIIM レジスタ

MIIM 標準レジスタアドレス (16 進数)	ポート N レジスタアドレス (16 進数)	説明
IEEE 定義レジスタ		
0h	0xN100 ～ 0xN101	PHY 基本制御レジスタ
1h	0xN102 ～ 0xN103	PHY 基本ステータス レジスタ
2h	0xN104 ～ 0xN105	PHY ID 上位レジスタ
3h	0xN106 ～ 0xN107	PHY ID 下位レジスタ
4h	0xN108 ～ 0xN109	PHY オート ネゴシエーション アドバタイズ レジスタ
5h	0xN10A ～ 0xN10B	PHY オート ネゴシエーション リンクパートナー機能レジスタ
6h	0xN10C ～ 0xN10D	PHY オート ネゴシエーション拡張ステータス レジスタ
7h	0xN10E ～ 0xN10F	PHY オート ネゴシエーション Next Page レジスタ
8h	0xN110 ～ 0xN111	PHY オート ネゴシエーション リンクパートナー Next Page 機能レジスタ
9h	0xN112 ～ 0xN113	PHY 1000BASE-T 制御レジスタ
Ah	0xN114 ～ 0xN115	PHY 1000BASE-T ステータス レジスタ
Bh ～ Ch	-	予約済み
Dh	0xN11A ～ 0xN11B	PHY MMD 設定レジスタ
Eh	0xN11C ～ 0xN11D	PHY MMD データレジスタ
Fh	0xN11E ～ 0xN11F	PHY 拡張ステータス レジスタ
ベンダー固有レジスタ		
10h	-	予約済み
11h	0xN122 ～ 0xN123	PHY リモート ループバック レジスタ
12h	0xN124 ～ 0xN125	PHY LinkMD レジスタ

表 4-24: 標準 MIIM レジスタ (続き)

MIIM 標準レジスタ アドレス (16 進数)	ポート N レジスタアドレス (16 進数)	説明
13h	0xN126 ～ 0xN127	PHY デジタル PMA/PCS ステータス レジスタ
14h	-	予約済み
15h	0xN12A ～ 0xN12B	ポート RXER カウントレジスタ
16h ～ 1Ah	-	予約済み
1Bh	0xN136 ～ 0xN137	ポート割り込み制御 / ステータス レジスタ
1Ch	0xN138 ～ 0xN139	PHY Auto MDI/MDI-X レジスタ
1Dh ～ 1Eh	-	予約済み
1Fh	0xN13E ～ 0xN13F	PHY 制御レジスタ

4.10.3.2 MMD (MDIO Manageable Device) レジスタ (間接)

MIIM インターフェイスを使うと、セクション 5.4、「MMD (MDIO Manageable Device) レジスタ (間接)」(p. 189) で定義する一連の MMD レジスタに間接的にアクセスできます。

4.11 インバンド管理

インバンド管理アクセス (IBA) は、3 つのデータポートのうちの任意の 1 つを経由した、レジスタの完全な読み書きアクセスを可能にする機能です。起動時に、インバンド インターフェイス機能は無効になります。SPI または I^2C インターフェイスを使って有効にする必要があります。IBA は、同時に複数のポートでは使えません。

インバンド管理フレームは、通常のネットワーク フレームとは異なる方法で処理されます。特殊フレームとして認識されるため、アドレスおよび VID ルックアップ、VLAN タギング、送信元アドレス フィルタリング、タグが付いていないパケットの破棄、タグ付きフレームのドロップ等は適用されません。受信されたインバンド管理フレームは、スイッチ ファブリックまたはその他のポートには転送されません。

インバンド管理アクセス (IBA) 制御レジスタを使って IBA 機能を有効化および制御します。また、7 つのポートのうちの 1 つを IBA ポートに指定します。

図 4-16 に、IBA フレームのフォーマットを示します。IBA フレームのレイヤ 2 部分は宛先アドレス (DA) と送信元アドレス (SA) のフィールドを含みます。フレームの DA は本スイッチの MAC アドレス (既定値は 00-10-A1-FF-FF-FF) に定義されており、SA は送信元デバイスの MAC アドレスに定義されています。応答フレームでは、DA と SA が入れ代わります。特殊な 4 バイトの IBA タグが SA に続きます。その後に、これを IBA フレームとして識別するのに役立つ 2 バイトの EtherType/ 長さフィールドが続きます。

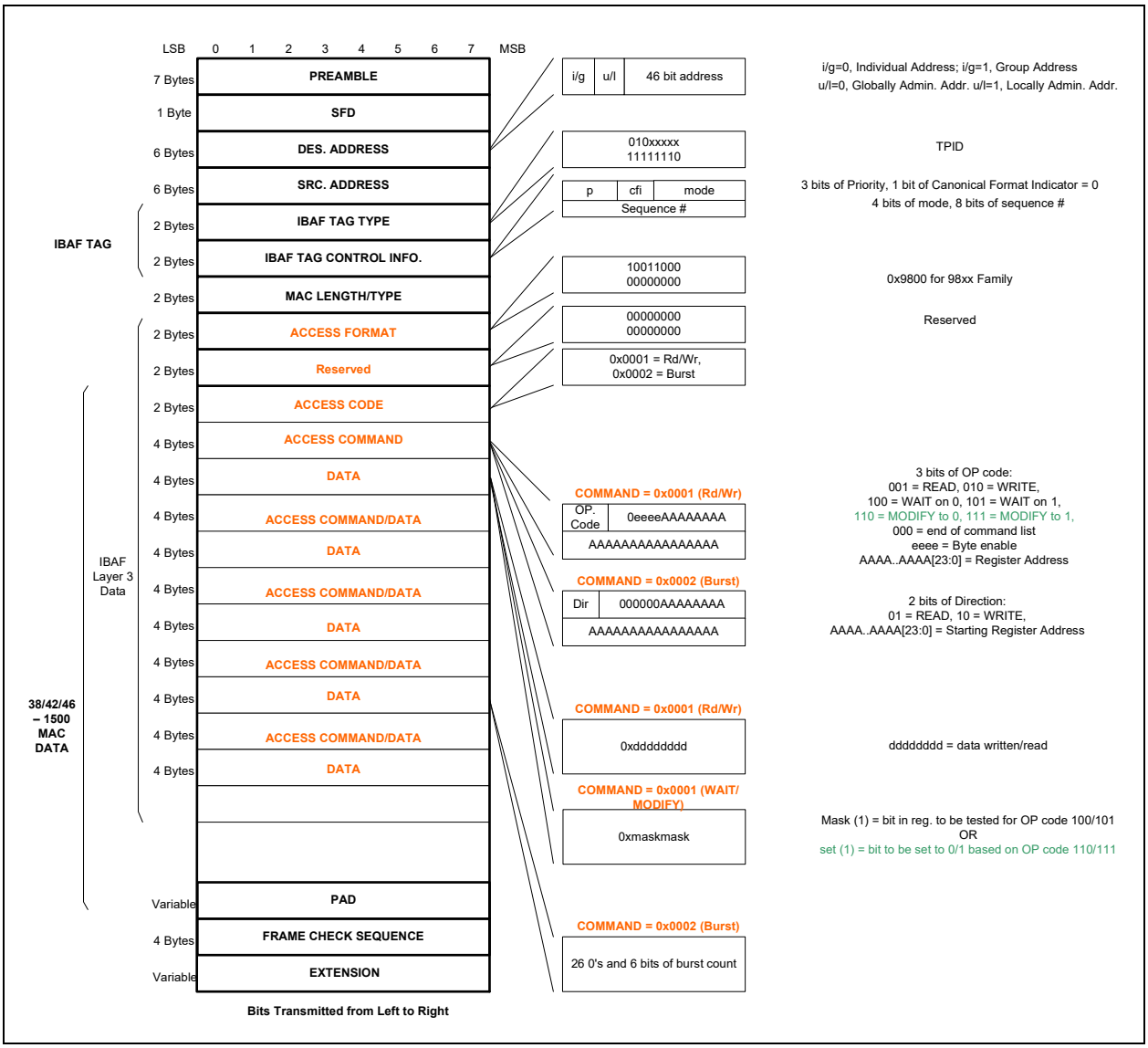
同時に処理できる IBA フレームは 1 つのみです。最新の応答フレームが送信を完了しない限り、本デバイスが受信する後続の IBA フレームは全てドロップされます。

読み出し / 書き込みコマンドには 6 つのタイプがあります。READ、WRITE、WAIT on 0、WAIT on 1、MODIFY to 0、MODIFY to 1 です。

バーストコマンドを使うと、IBA フレームバッファの容量まで高速に一括してデータを返す事ができます。バーストコマンドの動作には 2 つのタイプがあります。読み出しバーストと書き込みバーストです。

© 2018 Microchip Technology Inc.

図 4-16: インバンド管理フレームのフォーマット



4.12 MAC インターフェイス (RGMII/MII/RMII ポート 3)

ストラップ設定を使って、ポート 3 向けに以下の MAC インターフェイスのいずれかを個別に選択します。

- MII (Media Independent Interface): 100、10 Mbps のデータレートをサポート
- RMII (Reduced Media Independent Interface): 100、10 Mbps のデータレートをサポート
- RGMII (Reduced Gigabit Media Independent Interface): 1000、100、10 Mbps のデータレートをサポート

ストラップ設定を使って、リセットのネゲート時に MII、RMII、RGMII のいずれかにポート 3 を設定します。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

KSZ9563R の MAC インターフェイス上の信号が PHY 向けと同じように命名されている事に注意します。つまり、内蔵 MAC を備えるホストプロセッサに対するように、TX 方向は KSZ9563R に入る向きであり、RX 方向は KSZ9563R から出る向きです。そのような「MAC」デバイスへの信号の接続は「TX から TX」または「RX から RX」です。

外部 PHY(例 : Microchip 社 KSZ9031RNX) はどちらのポートにも接続できます。しかし、その場合、信号の接続は「RX から TX」または「TX から RX」となります。

RGMII/MII/RMII インターフェイスは **VDDIO** 電源で電力を供給します。

4.12.1 MII (Media Independent Interface)

MII (Media Independent Interface) は、IEEE 802.3 規格の Clause 22 に規定されています。MII は、PHY 層と MAC 層デバイスの間の共通インターフェイスを提供します。データ インターフェイスは 4 ビット幅であり、ネットワークのビットレートの 4 分の 1 で動作します (10BASE-T では 2.5 MHz、100BASE-TX では 25 MHz)。送信側の場合、データが有効である時または送信中にエラーが発生した時に、追加の信号によってその事が示されます。同様に受信側では、物理層エラーが発生せずにデータが有効である時に、信号によってその事を知らせます。半二重動作では、COL 信号が送信中にコリジョン発生を示します。

MII インターフェイスは PHY モードまたは MAC モードで動作します。プロセッサ、または MAC 機能を備えたその他のデバイスにポートを接続する場合、PHY モードを選択します。外部 PHY に接続する場合、MAC モードを選択します。**TX_CLK** と **RX_CLK** の信号の方向は PHY モードまたは MAC モード設定の影響を受ける事に注意する必要があります (その他の MII 信号は方向を変えません)。

MII モードは、リセット時に、ピン **RXD3** および **RXD2** のコンフィグレーション ストラップで選択します。速度のストラップ設定 (ピン **LED2_1**) は 100/10 Mbps モードに設定する必要があります。PHY モードまたは MAC モードはピン **LED2_0** のストラップ設定で選択します。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15)を参照してください。

このインターフェイスは、2 つの異なるグループ (送信用と受信用) の信号で構成されています。表 4-25 と表 4-26 に、MII インターフェイスがそれぞれ外部 MAC と外部 PHY に接続するために使う信号を示します。

表 4-25: 外部 MAC への MII (PHY モード) 接続

MII インターフェイス信号の説明	KSZ9563R の PHY モードの信号	外部 MAC デバイスの信号
送信イネーブル	**TX_EN** (入力)	TX_EN (出力)
送信エラー	**TX_ER** (入力)	TX_ER (出力)
送信データビット [3:0]	**TXD[3:0]** (入力)	TXD[3:0] (出力)
送信クロック	**TX_CLK** (出力)	TX_CLK (入力)
受信データ有効	**RX_DV** (出力)	RX_DV (入力)
受信エラー	**RX_ER** (出力)	RX_ER (入力)
受信データビット [3:0]	**RXD[3:0]** (出力)	RXD[3:0] (入力)
受信クロック	**RX_CLK** (出力)	RX_CLK (入力)

表 4-26: 外部 PHY への MII (MAC モード) 接続

MII インターフェイス信号の説明	KSZ9563R の MAC モードの信号	外部 PHY デバイスの信号
送信イネーブル	**RX_DV** (出力)	TX_EN (入力)
送信エラー	**RX_ER** (出力)	TX_ER (入力)
送信データビット [3:0]	**RXD[3:0]** (出力)	TXD[3:0] (入力)
送信クロック	**RX_CLK** (入力)	TX_CLK (出力)
受信データ有効	**TX_EN** (入力)	RX_DV (出力)
受信エラー	**TX_ER** (入力)	RX_ER (出力)
受信データビット [3:0]	**TXD[3:0]** (入力)	RXD[3:0] (出力)
受信クロック	**TX_CLK** (入力)	RX_CLK (出力)

4.12.2 RMII (Reduced Media Independent Interface)

RMII (Reduced Media Independent Interface) は少ピン数のインターフェイスを規定しています。このインターフェイスは、ポートに接続した MAC と通信できる MII に基づいています。MII と同様 RMII は、物理層と MAC 層デバイスまたは 2 つの MAC 層デバイスの間の共通インターフェイスを提供します。RMII の主な特長は以下の通りです。

- 10 Mbps と 100 Mbps のどちらのネットワーク データレートもサポートしています。
- 送信と受信の両方のデータ向けに、内部的または外部的に提供される 1 つの 50 MHz 参照クロックを使います。

© 2018 Microchip Technology Inc.

- 2 ビット幅の独立した送信データパスと受信データパスを使います。
- 2 つの異なるグループ (送信用と受信用) の信号で構成されています。

ユーザは、適切なストラップ設定を設定する事で 2 つの RMII クロックモードのうちの 1 つを選択します。

RMII 通常モードの間、ポートは、外部 50 MHz 信号を外部信号源から **TX_CLK/REFCLKI** に入力する必要があります。このモードは、リセット中、**LED2_0** ピンを High にストラップする事で選択します。

RMII クロックモードの間、ポートは、50 MHz クロックを **RX_CLK/REFCLKO** に出力します。このクロックは **XI** クロック入力に接続した 25 MHz の水晶振動子またはオシレータから得られます。**TX_CLK/REFCLKI** 入力はこのモードでは使いません。このモードは、リセット中、**LED2_0** ピンを Low にストラップする事で選択します。

コンフィグレーション ストラップの詳細は、セクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

表 4-27 に、RMII インターフェイスが使う信号を示します。信号の詳細説明は RMII 仕様を参照してください。

表 4-27: RMII 信号の説明

RMII 信号名 (仕様による)	RMII 信号 (KSZ9563R の信号名)	ピンの方向 (PHY、KSZ9563R に対して)	ピンの方向 (MAC に対して)	RMII 信号の説明
REF_CLK	**REFCLKI**	入力	入力または出力	同期 50 MHz 参照クロック (ポートが RMII 通常モードの場合)
該当なし	**REFCLKO**	出力	入力	同期 50 MHz 参照クロック (ポートが RMII クロックモードの場合)
TX_EN	**TX_EN**	入力	出力	送信イネーブル
TXD[1:0]	**TXD[1:0]**	入力	出力	送信データビット [1:0]
CRS_DV	**CRS_DV**	出力	入力	キャリア検出 / 受信データ有効
RX_ER	**RX_ER**	出力	入力または不要	受信エラー
RXD[1:0]	**RXD[1:0]**	出力	入力	受信データビット [1:0]

RMII モードのポート 3 は外部 MAC デバイス (ホストプロセッサ等) または外部 PHY に接続できます。しかし、MII とは異なり、RMII には個別の PHY および MAC 動作モードはありません。しかし、ピンは適切に接続する必要があります。

表 4-28: 外部 MAC への RMII 接続

RMII インターフェイス信号の説明	KSZ9563R の信号	外部 MAC デバイスの信号
送信イネーブル	**TX_EN** (入力)	TX_EN (出力)
送信データビット [1:0]	**TXD[1:0]** (入力)	TXD[1:0] (出力)
参照クロック	**REFCLKI** (入力) または **REFCLKO** (出力)	REF_CLK (入力または出力)
キャリア検出データ有効	**CRS_DV** (出力)	CRS_DV (入力)
受信エラー	**RX_ER** (出力)	RX_ER (入力)
受信データビット [1:0]	**RXD[1:0]** (出力)	RXD[1:0] (入力)

表 4-29: 外部 PHY への RMII 接続

RMII インターフェイス信号の説明	KSZ9563R の信号	外部 PHY デバイスの信号
送信イネーブル	**RX_DV** (出力)	TX_EN (入力)
送信データビット [1:0]	**RXD[1:0]** (出力)	TXD[1:0] (入力)
参照クロック	**REFCLKI** (入力) または **REFCLKO** (出力)	REF_CLK (入力または出力)

表 4-29: 外部 PHY への RMII 接続 (続き)

RMII インターフェイス信号の説明	KSZ9563R の信号	外部 PHY デバイスの信号
キャリア検出データ有効	**TX_EN** (入力)	CRS_DV (入力)
受信エラー	未接続	RX_ER (出力)
受信データビット [1:0]	**TXD[1:0]** (入力)	RXD[1:0] (出力)

4.12.3 RGMII (Reduced Gigabit Media Independent Interface)

RGMII は、RGMII PHY と MAC の間の共通インターフェイスを提供します。RGMII の主な特長は以下の通りです。

- ピン数を GMII の 24 ピンから 12 ピンへ削減します。
- 全ての速度 (10 Mbps、100 Mbps、1000 Mbps) を全二重と半二重の両方でサポートします。
- データの送信と受信は独立しています (それぞれ異なる信号グループに属します)。
- 送信データと受信データはそれぞれ 4 ビット幅 (1 ニブル) です。

RGMII 動作では、RGMII ピンは以下のように機能します。

- MAC は送信参照クロック **TX_CLK** (1000 Mbps: 125 MHz、100 Mbps: 25 MHz、10 Mbps: 2.5 MHz) を供給します。
- PHY は受信参照クロック **RX_CLK** (1000 Mbps: 125 MHz、100 Mbps: 25 MHz、10 Mbps: 2.5 MHz) を復元して供給します。
- 1000BASE-T の場合、送信データ (**TXD[3:0]**) は **TX_CLK** の両方のエッジで出力され、受信データ (**RXD[3:0]**) は復元された 125 MHz クロック (**RX_CLK**) の両方のエッジに同期して出力されます。
- **TX_ER** および **RX_ER** は、それぞれ **TX_EN** および **RX_DV** と組み合わされて **TX_CTL** および **RX_CTL** を形成します。これら 2 つの RGMII 制御信号は、クロックの立ち下がりエッジで有効です。

RXD3 および **RXD2** コンフィグレーション ストラップピンが「11」に設定されている場合、起動またはリセット後に本デバイスは RGMII モードに設定されます。利用可能な選択肢はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。接続した RGMII デバイスの速度に自分の速度を自動的に適合させる機構を RGMII インターフェイスが持っていない事に注意する必要があります。コンフィグレーション ストラップ設定により、起動時に RGMII インターフェイスの速度が 1000 Mbps または 100 Mbps に設定されます。制御レジスタはコンフィグレーション ストラップ設定をオーバーライドし、RGMII の速度を 1000 Mbps、100 Mbps、10 Mbps のいずれかに設定できます。PHY を RGMII ポートに接続している場合、RGMII の速度との不一致を防ぐため、PHY リンク速度を確実に固定する必要があります。

本デバイスは、XMII ポート制御 1 レジスタの RGMII 内部遅延制御ビットによって、**TX_CLK** または **RX_CLK** に最小 1.5 ns の内部遅延を追加する事もできます。これにより、プリント基板上でクロック信号にトレース遅延を追加する必要性を低減または解消できます。RGMII_ID_ig は **TX_CLK** 上の遅延を有効にします (既定値は OFF です)。RGMII_ID_eg は **RX_CLK** 上の遅延を有効にします (既定値は ON です)。ユーザは、接続された RGMII デバイスによって追加された内部のクロック遅延についても留意する必要があります。

表 4-30: RGMII 信号の説明

RGMII 信号名 (仕様による)	RGMII 信号 (KSZ9563R の信号名)	ピンの方向 (PHY、KSZ9563R に対して)	ピンの方向 (MAC に対して)	RGMII 信号の説明
TXC	**TX_CLK**	入力	出力	送信参照クロック (1000 Mbps: 125 MHz、100 Mbps: 25 MHz、10 Mbps: 2.5 MHz)
TX_CTL	**TX_CTL**	入力	出力	送信制御
TXD[3:0]	**TXD[3:0]**	入力	出力	送信データ [3:0]
RXC	**RX_CLK**	出力	入力	受信参照クロック (1000 Mbps: 125 MHz、100 Mbps: 25 MHz、10 Mbps: 2.5 MHz)
RX_CTL	**RX_CTL**	出力	入力	受信制御
RXD[3:0]	**RXD[3:0]**	出力	入力	受信データ [3:0]

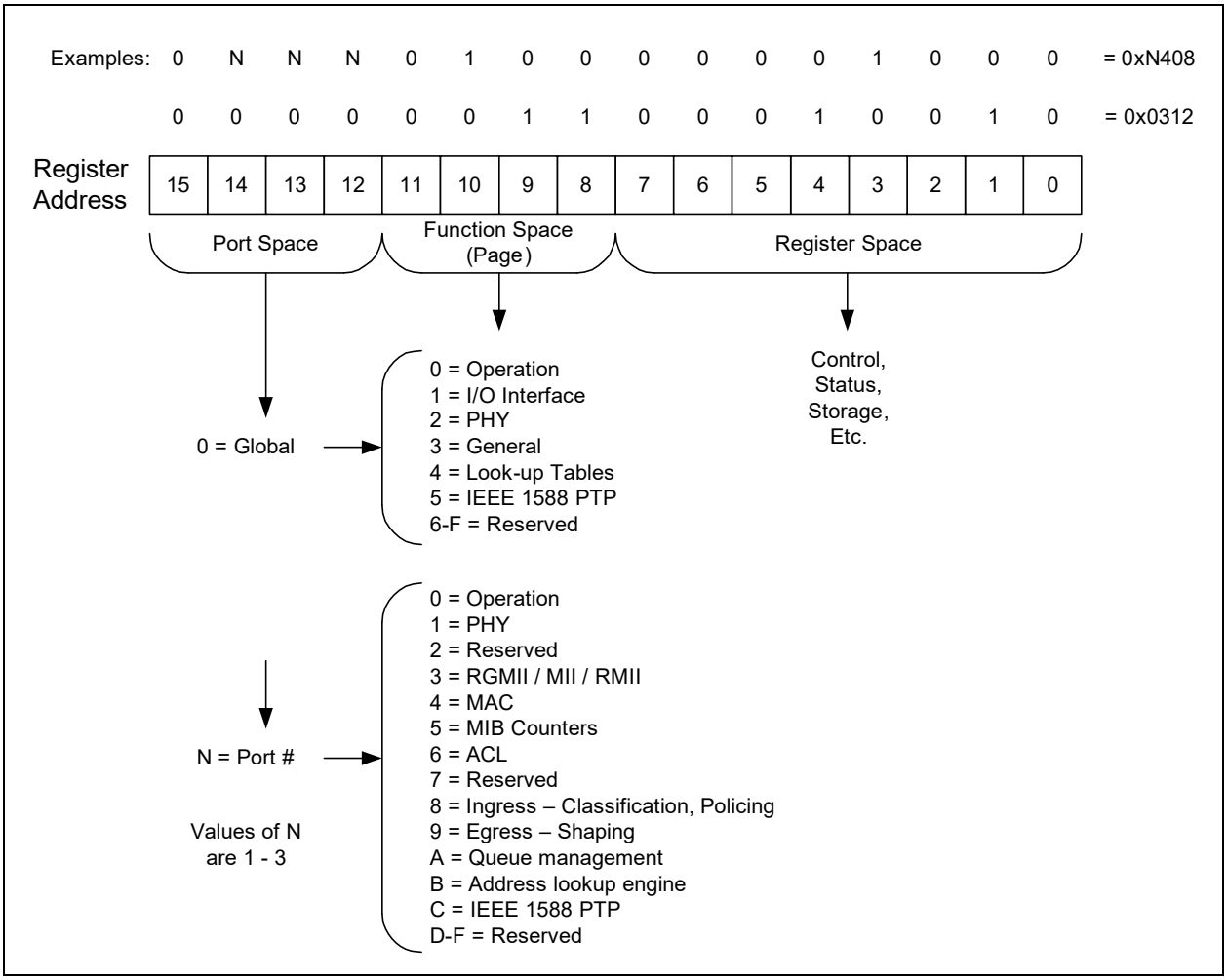
© 2018 Microchip Technology Inc.

5.0 デバイスレジスタ

KSZ9563R はデバイスの機能を管理するためのレジスタを豊富に備えています。これらのレジスタには SPI または I^2C インターフェイスを介してアクセスします。別の方法として、MII インターフェイスを使って PHY レジスタのみにアクセスする事もできます。MII インターフェイスはスイッチレジスタにアクセスできません。

デバイスレジスタのアクセスには 16 ビットアドレスを使います。このアドレスは 3 つの階層的な空間に分かれています (図 5-1 参照)。これらの 3 つの空間を使ってポート / チャンネル (4 ビット)、ポートの機能 (ページ) (4 ビット)、機能のレジスタ (8 ビット) を指定します。個々のポートには 1 ～ 3 の番号が付いています。ポート空間では、値 0 はグローバル レジスタに使います。アドレスのビット 15 は常に 0 です。

図 5-1: レジスタアドレス割り当て



Note: 変数「N」は、デバイスのポート番号 (1 ～ 3) を示すために使います。

レジスタアドレス指定はバイト単位で行うため、管理インターフェイス (SPI、I²C、インバンド) はバイト単位でデータを転送します。レジスタを 16 ビットまたは 32 ビットで示す場合、それは単に分かりやすくするためです。データは常に個々のバイトとして任意の順序で読み書きされます。

マルチバイト レジスタの場合、このデータは最上位バイト (MSB) が最も小さいアドレス、最下位バイト (LSB) が最も大きいアドレスになるように、ビッグ エンディアン フォーマットでアドレス指定されます (図 5-2 参照)。

図 5-2: バイトの順序

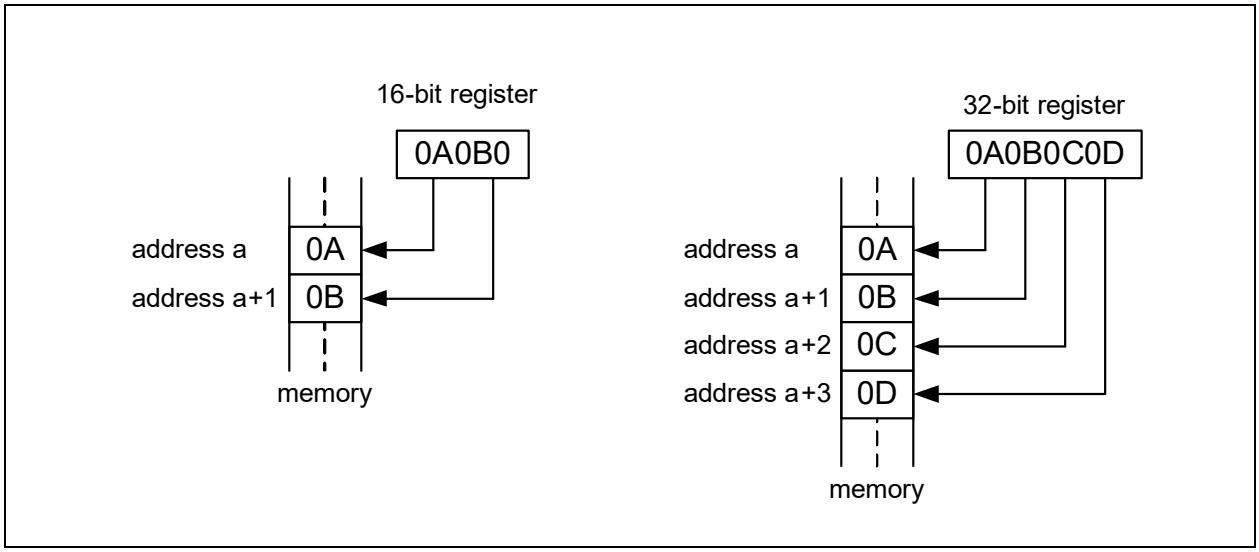


表 5-1 と表 5-2 に、それぞれグローバル レジスタとポートレジスタのアドレスマップを示します。表 1-3、「レジスタの分類」(p. 7) に、レジスタビットの種別の一覧を示します。

本章のその他の部分の構成は以下の通りです。

- グローバル レジスタ
- ポートレジスタ
- 各種のテーブルと MIB カウンタ (間接アクセス)
- MMD (MDIO Manageable Device) レジスタ (間接)

表 5-1: グローバル レジスタのアドレスマップ

アドレス	機能グループ
0x0000 ～ 0x00FF	グローバル動作制御レジスタ (0x0000 ～ 0x00FF)
0x0100 ～ 0x01FF	グローバル I/O 制御レジスタ (0x0100 ～ 0x01FF)
0x0200 ～ 0x02FF	グローバル PHY 制御およびステータス レジスタ (0x0200 ～ 0x02FF)
0x0300 ～ 0x03FF	グローバル スイッチ制御レジスタ (0x0300 ～ 0x03FF)
0x0400 ～ 0x04FF	グローバル スイッチ ルックアップ エンジン (LUE) 制御レジスタ (0x0400 ～ 0x04FF)
0x0500 ～ 0x05FF	グローバル スイッチ PTP 制御レジスタ (0x0500 ～ 0x05FF)
0x0600 ～ 0x0FFF	予約済み

表 5-2: ポート N (1 ～ 3) レジスタ アドレスマップ

アドレス	機能グループ
0xN000 ～ 0xN0FF	ポート N: ポート動作制御レジスタ (0xN000 ～ 0xN0FF)
0xN100 ～ 0xN1FF	ポート N: ポート Ethernet PHY レジスタ (0xN100 ～ 0xN1FF)
0xN200 ～ 0xN2FF	予約済み
0xN300 ～ 0xN3FF	ポート N: ポート RGMII/MII/RMII 制御レジスタ (0xN300 ～ 0xN3FF)

© 2018 Microchip Technology Inc.

表 5-2: ポート N (1 ～ 3) レジスタ アドレスマップ (続き)

アドレス	機能グループ
0xN400 ～ 0xN4FF	ポート N: ポートスイッチ MAC 制御レジスタ (0xN400 ～ 0xN4FF)
0xN500 ～ 0xN5FF	ポート N: ポートスイッチ MIB カウンタレジスタ (0xN500 ～ 0xN5FF)
0xN600 ～ 0xN6FF	ポート N: ポートスイッチ ACL 制御レジスタ (0xN600 ～ 0xN6FF)
0xN700 ～ 0xN7FF	予約済み
0xN800 ～ 0xN8FF	ポート N: ポートスイッチ Ingress 制御レジスタ (0xN800 ～ 0xN8FF)
0xN900 ～ 0xN9FF	ポート N: ポートスイッチ Egress 制御レジスタ (0xN900 ～ 0xN9FF)
0xNA00 ～ 0xNAFF	ポート N: ポートスイッチ キュー管理制御レジスタ (0xNA00 ～ 0xNAFF)
0xNB00 ～ 0xNBFF	ポート N: ポートスイッチ アドレス ルックアップ制御レジスタ (0xNB00 ～ 0xNBFF)
0xNC00 ～ 0xNCFF	ポート N: ポートスイッチ PTP 制御レジスタ (0xNC00 ～ 0xNCFF)
0xND00 ～ 0xNFFF	予約済み

Note: 予約済みのアドレス空間にはいかなる場合も書き込んではいけません。望ましくない動作と予期せぬ結果をもたらす恐れがあります。同一レジスタ内に書き込み可能ビットと予約済みビットを格納するレジスタに書き込む必要がある場合、最初に予約済みビット (RO または R/W) を読み出し、読み出した値と設定可能ビットを OR 演算し、「OR」値を元のレジスタに書き戻します。

5.1 グローバル レジスタ

本セクションでは本デバイスのグローバル レジスタを説明します。本デバイスの全レジスタマップの概要はセクション 5.0、「デバイスレジスタ」を参照してください。本デバイスのポートレジスタの詳細はセクション 5.2、「ポートレジスタ」を参照してください。

5.1.1 グローバル動作制御レジスタ (0x0000 ～ 0x00FF)

5.1.1.1 グローバルチップ ID 0 レジスタ

アドレス : 0x0000 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**固定値**	RO	0x00

5.1.1.2 グローバルチップ ID 1 レジスタ

アドレス : 0x0001 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**チップ ID (MSB)**	RO	0x95

5.1.1.3 グローバルチップ ID 2 レジスタ

アドレス : 0x0002 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**チップ ID (LSB)**	RO	0x63

5.1.1.4 グローバルチップ ID 3 レジスタ

アドレス : 0x0003 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:4	**リビジョン ID**	RO	-
3:1	**予約済み**	RO	-
0	**グローバル ソフトウェア リセット** その他のリセット制御ビットについてはスイッチ動作レジスタを参照してください。 0 = 通常動作 1 = データパスとステートマシンをリセットする。レジスタ値はリセットしない	R/W SC	0b

© 2018 Microchip Technology Inc.

5.1.1.5 PME ピン制御レジスタ

アドレス： 0x0006 サイズ： 8 ビット

ビット	説明	タイプ	既定値
7:2	**予約済み**	RO	-
1	**PME ピン出力イネーブル** 0 = この機能を無効にする 1 = この機能を有効にする	R/W	0b
0	**PME ピン出力極性** 0 = PME をアクティブ Low にする 1 = PME をアクティブ High にする	R/W	0b

5.1.1.6 グローバル割り込みステータス レジスタ

アドレス： 0x0010 ～ 0x0013 サイズ： 32 ビット

このレジスタは、LUE と GPIO トリガおよびタイムスタンプ機能のための最上位の割り込みステータスを示します。これらの割り込みはグローバル割り込みマスク レジスタで有効にします。ポート特有の割り込みについてはポート割り込みステータス レジスタを参照してください。

ビット	説明	タイプ	既定値
31	**ルックアップ エンジン (LUE) 割り込みステータス** LUE 割り込みステータスビットの詳細はアドレス ルックアップ テーブル割り込みレジスタを参照してください。 0 = 割り込みは発生していない 1 = 割り込み要求が発生した	RO	0b
30	**GPIO ピン出力トリガおよびタイムスタンプ ユニット割り込みステータス** この割り込みステータスが、トリガ出力ユニット割り込みとタイムスタンプ ユニット割り込みのどちらのものであるかを判断するには GPIO ステータス モニタ 1 レジスタを参照してください。 PTP Egress フレームのポートベースのタイムスタンプ機能の割り込みステータスについてはポート割り込みステータス レジスタとポート PTP タイムスタンプ割り込みステータス レジスタを参照してください。 0 = 割り込みは発生していない 1 = 割り込み要求が発生した	RO	0b
29:0	**予約済み**	RO	-

5.1.1.7 グローバル割り込みマスクレジスタ

アドレス : 0x0014 ～ 0x0017 サイズ : 32 ビット

このレジスタはグローバル割り込みステータス レジスタの割り込みを有効にします。

ビット	説明	タイプ	既定値
31	**ルックアップ エンジン (LUE) 割り込みマスク** 0 = 割り込みを有効にする 1 = 割り込みを無効にする	R/W	0b
30	**GPIO ピン出力トリガおよびタイムスタンプ ユニット割り込みマスク** 0 = 割り込みを有効にする 1 = 割り込みを無効にする	R/W	0b
29:0	**予約済み**	RO	-

5.1.1.8 グローバルポート割り込みステータス レジスタ

アドレス : 0x0018 ～ 0x001B サイズ : 32 ビット

このレジスタは、個々のポートのための最上位の割り込みステータスを示します。これらの割り込みはグローバルポート割り込みマスクレジスタで有効にします。ポート割り込みステータスの詳細はポート割り込みステータス レジスタを参照してください。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	-
2	**ポート 3 割り込みステータス** 0 = 割り込みは発生していない 1 = 割り込み要求が発生した	RO	0b
1	**ポート 2 割り込みステータス** 0 = 割り込みは発生していない 1 = 割り込み要求が発生した	RO	0b
0	**ポート 1 割り込みステータス** 0 = 割り込みは発生していない 1 = 割り込み要求が発生した	RO	0b

© 2018 Microchip Technology Inc.

5.1.1.9 グローバルポート割り込みマスクレジスタ

アドレス： 0x001C ～ 0x001F サイズ： 32 ビット

このレジスタはグローバルポート割り込みステータス レジスタの割り込みを有効にします。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	-
2	**ポート 3 割り込みマスク** 0 = 割り込みを有効にする 1 = 割り込みを無効にする	R/W	0b
1	**ポート 2 割り込みマスク** 0 = 割り込みを有効にする 1 = 割り込みを無効にする	R/W	0b
0	**ポート 1 割り込みマスク** 0 = 割り込みを有効にする 1 = 割り込みを無効にする	R/W	0b

5.1.2 グローバル I/O 制御レジスタ (0x0100 ～ 0x01FF)

5.1.2.1 シリアル I/O 制御レジスタ

アドレス： 0x0100 サイズ： 8 ビット

ビット	説明	タイプ	既定値
7:3	**予約済み**	R/W	0100_0b
2	**MIIM プリアンブル抑制** この機能は、MIIM (MDIO/MDC) インターフェイスにのみ影響を与えます。SPI または I^2C を使う場合、このビットは無効です。 0 = 通常動作。本スイッチは常に MIIM プリアンブルを要求する 1 = 本スイッチはプリアンブルがなくても MIIM コマンドに応答する	R/W	0b
1	**SPI データ出力エッジ自動選択** 有効な場合、この機能はクロック同期して SPI データを **SDO** に出力するのに使う **SCL** のエッジを自動的に決定します。**SCL** ≥ 約 25 MHz の場合、**SCL** の立ち上がりエッジで **SDO** データをクロック同期します。**SCL** < 約 25 MHz の場合、**SCL** の立ち下がりエッジで **SDO** データをクロック同期します。 0 = 自動機能を無効にする。SDO に使う SCL クロックのエッジをビット 0 で決定する 1 = 自動機能を有効にする。ビット 0 は無視される	R/W	1b
0	**SPI データ出力エッジ選択** ビット 1 が 0 の場合、このビットは SPI データ出力に使うクロックエッジを決定します。ビット 1 が 1 にセットされている場合、このビットは無視されます。 0 = **SCL** の立ち下がりエッジで **SDO** データをクロック同期する 1 = **SCL** の立ち上がりエッジで **SDO** データをクロック同期する	R/W	0b

5.1.2.2 インバンド管理アクセス (IBA) 制御レジスタ

アドレス : 0x0104 ～ 0x0107 サイズ : 32 ビット

このレジスタは、インバンド管理アクセス (IBA) 機能を制御します。

ビット	説明	タイプ	既定値
31	**IBA イネーブル** 初期値は **LED1_1** ピンからストラップ設定で設定されます。 0 = この機能を無効にする 1 = この機能を有効にする	R/W	Note 5-1
30	**IBA 宛先 MAC アドレス一致イネーブル** スイッチ MAC アドレス 0 レジスタ～スイッチ MAC アドレス 5 レジスタの本スイッチの MAC アドレスに対する受信 IBA フレームの宛先 MAC アドレスの一致チェックを有効にするにはこのビットをセットします。一致しないフレームは破棄されます。 このビットをセットしない場合、MAC アドレスはチェックされません。	R/W	1b
29	**IBA リセット** IBA ステートマシンを初期化するにはこのビットをセットします。このビットは自動的にクリアされます。	R/W SC	0b
28:24	**予約済み**	RO	0x00
23:22	**IBA 応答用優先度キュー** IBA 応答フレームのための送信優先度キューを指定します。通常この値は変更しません。	R/W	01b
21:19	**予約済み**	RO	00_0b
18:16	**IBA 通信用ポート** 000 = ポート 1 001 = ポート 2 010 = ポート 3 011 ～ 111 = 予約済み	R/W	010b
15:0	**IBA フレームヘッダ用 TPID (EtherType) 値**	R/W	0x40FE

Note 5-1 このフィールドの既定値は、対応するコンフィグレーション ストラップ値で決まります。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

© 2018 Microchip Technology Inc.

5.1.2.3 I/O ドライブ ストレングス レジスタ

アドレス : 0x010D サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	R/W	0b
6:4	**高速ドライブ ストレングス** RGMII/MII/RMII (**TX_CLK/REFCLKI** を除く) のドライブ ストレングスを制御します。	R/W	110b
3	**予約済み**	R/W	0b
2:0	**低速ドライブ ストレングス** **TX_CLK/REFCLKI**、LED、**PME_N**、**INTRP_N**、**SDO**、**SDI/SDA/MDIO** のドライブ ストレングスを制御します。	R/W	10b

5.1.2.4 インバンド管理アクセス (IBA) 動作ステータス 1 レジスタ

アドレス : 0x0110 ～ 0x0113 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31	**有効な IBA パケット検出** 1 = 有効な IBA パケットを受信した	RO	0b
30	**IBA 応答パケット送信完了** 1 = IBA 応答パケットを送信した このビットは、一致した IBA タグフィールドを持つパケットを受信するとクリアされます。	RO	0b
29	**IBA 実行完了** 1 = 1 つの IBA パケット内の全てのコマンドが完全に実行された このビットは、一致した IBA タグフィールドを持つパケットを受信するとクリアされます。	RO	0b
28:15	**予約済み**	RO	0x0000
14	**IBA MAC アドレス不一致エラー** このビットは IBA_ENABLE(インバンド管理アクセス (IBA) 制御レジスタのビット 30) がセットされている時のみアクティブです。 1 = 不一致の MAC アドレスを持つ (本スイッチの MAC アドレスと等しくない) IBA パケットを受信した このビットは、一致した IBA タグフィールドを持つパケットを受信するとクリアされます。	RO	0b
13	**IBA アクセス フォーマット エラー** 1 = 不正なアクセス フォーマットを持つ (0x9800 と等しくない)IBA パケットを受信した このビットは、一致した IBA タグフィールドを持つパケットを受信するとクリアされます。	RO	0b
12	**IBA アクセスコード エラー** 1 = 未認識のアクセスコードを持つ IBA パケットを受信した (有効なアクセスコードは 0x0001 と 0x0002 です。) このビットは、一致した IBA タグフィールドを持つパケットを受信するとクリアされます。	RO	0b

ビット	説明	タイプ	既定値
11	**IBA アクセスコマンド エラー** 1 = 未認識のコマンドコードを持つ IBA パケットを受信した このビットは、一致した IBA タグフィールドを持つパケットを受信するとクリアされます。	RO	0b
10	**IBA オーバーサイズ パケットエラー** 1 = 規定を上回るサイズの IBA パケットを受信した (IBA パケットの最大サイズは 320 バイト (FCS の前の 8 バイトのゼロと 4 バイトの FCS を含む) です。応答パケットは送信されません。) このビットは、一致した IBA タグフィールドを持つパケットを受信するとクリアされます。	RO	0b
9:7	**予約済み**	RO	000b
6:0	**IBA アクセスコード エラー位置** IBA アクセスコマンド エラー (ビット 11) がセットされている場合、これらのビットは、IBA パケット内の不正なコマンドコードのアドレス位置を示します。	RO	0x000

5.1.2.5 LED オーバーライド レジスタ

アドレス : 0x0120 ～ 0x0123 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:4	**予約済み**	RO	0x000000
3:0	**LED オーバーライド** これらのビットは、**LEDx_0** ピンと **LEDx_1** ピンがそれぞれ LED と GPO のどちらとして機能するかを選択します。このフィールドの LSb は **LED1_0** を表し、以下 **LED1_1**、**LED2_0**、**LED2_1** と順に続きます。GPIO として設定した場合、GPIO 出力は LED 出力レジスタで制御されます。 0 = **LEDx_y** ピンは LED として機能する 1 = **LEDx_y** ピンは GPO として機能する		0000b

5.1.2.6 LED 出力レジスタ

アドレス : 0x0124 ～ 0x0127 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:4	**予約済み**	RO	0x000000
3:0	**GPIO 出力制御** LED オーバーライド レジスタで GPIO として設定した場合、GPIO 出力はこのフィールドで制御されます。このフィールドの LSb は **LED1_0** を表し、以下 **LED1_1**、**LED2_0**、**LED2_1** と順に続きます。 0 = **LEDx_y** ピンは Low を出力する 1 = **LEDx_y** ピンは High を出力する	R/W	0000b

© 2018 Microchip Technology Inc.

5.1.2.7 LED2_0/LED2_1 信号源レジスタ

アドレス : 0x0128 ～ 0x012B サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:4	**予約済み**	RO	0x0000000
3	**LED2_1 信号源** 0 = **LED2_1** は LED/GPIO (LED オーバーライド レジスタで設定) として出力する 1 = **LED2_1** は PTP トリガ 1 を出力する	R/W	0b
2	**LED2_0 信号源** 0 = **LED2_0** は LED/GPIO (LED オーバーライド レジスタで設定) として出力する 1 = **LED2_0** は PTP トリガ 0 を出力する	R/W	0b
1:0	**予約済み**	RO	00b

5.1.3 グローバル PHY 制御およびステータス レジスタ (0x0200 ～ 0x02FF)

5.1.3.1 パワーダウン制御 0 レジスタ

アドレス : 0x0201 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:6	**予約済み**	RO	00b
5	**PLL パワーダウン** 0 = 通常動作 1 = PLL を無効にするこれは、以下のように EDPD モードと組み合わせて使えます。	R/W	0b
4:3	**電源管理モード** 00 = 通常動作 01 = エナジー ディテクト パワーダウン (EDPD) モード 10 = ソフト パワーダウン モード 11 = 無効	R/W	00b
2:0	**予約済み**	RO	000b

5.1.3.2 LED ストラップイン レジスタ

アドレス : 0x0210 ～ 0x0213 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:4	**予約済み**	RO	0x0000000
3:0	**LED ピンのストラップイン値** **[LED2_1, LED2_0, LED1_1, LED1_0]**	RO	Note 5-2

Note 5-2 このフィールドの既定値は、対応するコンフィグレーション ストラップ値で決まります。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

5.1.4 グローバル スイッチ制御レジスタ (0x0300 ～ 0x03FF)

5.1.4.1 スイッチ動作レジスタ

アドレス : 0x0300 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**二重タギング イネーブル** 1 = 二重タギングを有効にする 0 = 二重タギングを無効にする	R/W	0b
6:2	**予約済み**	RO	0x00
1	**ハードウェアのソフトリセット** 1 にセットすると、ストラップイン設定を除く全てのレジスタ設定は既定値にリセットされます。	R/W SC	0b
0	**スイッチ起動** 1 = スイッチ機能を有効にする 0 = スイッチ機能を無効にする (このビットをセットするまでトラフィックは転送されません。)	R/W	Note 5-3

Note 5-3 このフィールドの既定値は、**LED1_0** コンフィグレーション ストラップ値で決まります。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

5.1.4.2 スイッチ MAC アドレス 0 レジスタ

アドレス : 0x0302 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [47:40]** このレジスタは、スイッチ MAC アドレス 1 ～ 5 レジスタと共に、本スイッチの MAC アドレスを定義します。この MAC アドレスは、MAC PAUSE 制御フレームの送信元アドレスとして、また自己アドレス フィルタリングのために使います。	R/W	0x00

5.1.4.3 スイッチ MAC アドレス 1 レジスタ

アドレス : 0x0303 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [39:32]**	R/W	0x10

© 2018 Microchip Technology Inc.

5.1.4.4 スイッチ MAC アドレス 2 レジスタ

アドレス : 0x0304 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [31:24]**	R/W	0xA1

5.1.4.5 スイッチ MAC アドレス 3 レジスタ

アドレス : 0x0305 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [23:16]**	R/W	0xFF

5.1.4.6 スイッチ MAC アドレス 4 レジスタ

アドレス : 0x0306 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [15:8]**	R/W	0xFF

5.1.4.7 スイッチ MAC アドレス 5 レジスタ

アドレス : 0x0307 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [7:0]**	R/W	0xFF

5.1.4.8 スイッチ最大送信単位レジスタ

アドレス : 0x0308 ～ 0x0309 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:14	**予約済み**	R/W	00b
13:0	**最大フレーム長 (MTU)** 最大送信単位 (MTU) を指定します。MTU はフレーム ペイロードの最大サイズです。この最大値を上回るフレームは切り捨てられます。ジャンボフレームのサポートが必要な場合、この値は最大 9000 (= 0x2328) に設定できます。スイッチ MAC 制御 1 レジスタとポート MAC 制御 0 レジスタも参照してください。	R/W	0x07D0

5.1.4.9 スイッチ ISP TPID レジスタ

アドレス : 0x030A ～ 0x030B サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:0	**ISP タグ TPID** タグなし受信フレームの既定値のタグ TPID (EtherType) または二重タギング機能のための ISP フレームタグ TPID です。	R/W	0x9100

5.1.4.10 AVB クレジットベース シェーパー ストラテジ レジスタ

アドレス : 0x030E ～ 0x030F サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:2	**予約済み**	RO	0x0000
1	**シェーピング クレジット計算** 1 = データと「IPG + プリアンブル」の両方のシェーピング クレジットを差し引く 0 = データのみのシェーピング クレジットを差し引く	R/W	0b
0	**ポリシング クレジット計算** 1 = データと「IPG + プリアンブル」の両方のポリシング クレジットを差し引く 0 = データのみのポリシング クレジットを差し引く	R/W	1b

© 2018 Microchip Technology Inc.

5.1.4.11 スイッチ ルックアップ エンジン制御 0 レジスタ

アドレス : 0x0310 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**802.1Q VLAN イネーブル** VLAN 転送およびフィルタリングのマスタイネーブルです。VLAN モードを有効にする前に VLAN テーブルを設定する必要があります。 1 = VLAN モードを有効にする 0 = VLAN モードを無効にする	R/W	0b
6	**無効 VID のドロップ** 1 = 不正な VLAN ID を持つ全ての受信パケットをドロップする 0 = 不正な VLAN ID を持つ受信パケットをホストポートに転送する 未知 VID の転送機能 (未知 VLAN ID 制御レジスタ) は、有効にしている場合、このビットに対して優先される事に注意します。	R/W	1b
5:3	**エージング カウント (AGE COUNT)** このビットは、エージング期間値 (スイッチ ルックアップ エンジン制御 3 レジスタ) と組み合わせて、アドレス ルックアップ テーブルの動的エントリのエージング期間を決定します。動的テーブルエントリが更新されるたびに、この値が AGE COUNT フィールドに使われます。	R/W	10_0b
2	**予約済みマルチキャスト ルックアップ イネーブル** 1 = 予約済みマルチキャスト テーブルを有効にする 0 = 予約済みマルチキャスト テーブルを無効にする	R/W	0b
1:0	**ハッシュ方法 (HASH_OPTION)** エントリを動的ルックアップ テーブルに割り当てるためのハッシュ方法を定義します。 00, 11 = 宛先アドレスの下位 10 ビットを使ってエントリを直接割り当てる 01 = CRC ハッシュ関数を使う 10 = XOR ハッシュ関数を使う 詳細はセクション 4.4.2.1、「アドレス ルックアップ (ALU) テーブル」(p. 26) を参照してください。	R/W	01b

5.1.4.12 スイッチ ルックアップ エンジン制御 1 レジスタ

アドレス : 0x0311 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**ユニキャスト学習ディセーブル** 1 = ユニキャスト アドレス学習を無効にする 0 = ユニキャスト アドレス学習を有効にする	R/W	0b
6	**自己アドレス フィルタリング – グローバル イネーブル** 受信パケットの送信元アドレスをスイッチ MAC アドレス 0 レジスタ～スイッチ MAC アドレス 5 レジスタの MAC アドレスと比較し、一致している場合そのパケットをドロップします。 このビットをセットする事に加え、ポート制御 2 レジスタのポート イネーブルビットをセットする事でも、自己アドレス フィルタリングをポートごとに有効にできます。 1 = ポート イネーブルビット (ポート制御 2 レジスタ) をセットしたポートの自己アドレス フィルタリングをグローバルに有効にする 0 = どのポートでも自己アドレス指定パケットをフィルタリングしない	R/W	0b
5	**アドレス ルックアップ テーブルのフラッシュ** スイッチ ルックアップ エンジン制御2レジスタのフラッシュ方法ビットは、フラッシュの実行対象 (動的エントリ、静的エントリ、両方) を決定します。 1 = アドレス ルックアップ テーブル全体のフラッシュをトリガする(静的アドレステーブルはフラッシュしません。) 0 = 通常動作	R/W SC	0b
4	**MSTP アドレスエントリ (アドレス ルックアップ テーブル) のフラッシュ** スイッチ ルックアップ エンジン制御2レジスタのフラッシュ方法ビットは、フラッシュの実行対象 (動的エントリ、静的エントリ、両方) を決定します。 1 = 一致した MSTP エントリのフラッシュをトリガする 0 = 通常動作	R/W SC	0b
3	**マルチキャスト送信元アドレス フィルタリング** 1 = マルチキャスト送信元アドレスを持つパケットを転送する 0 = マルチキャスト送信元アドレスを持つパケットをドロップする	R/W	1b
2	**エージング イネーブル** 1 = アドレステーブルのエージングを有効にする 0 = アドレステーブルのエージングを無効にする	R/W	1b
1	**高速エージング** 1 = 高速エージングを有効にする 0 = 高速エージングを無効にする	R/W	0b
0	**リンクダウン フラッシュ** 1 = リンクダウンすると、リンクダウンしたポートの全てのエントリをフラッシュする 0 = リンクダウン フラッシュを無効にする	R/W	0b

© 2018 Microchip Technology Inc.

5.1.4.13 スイッチ ルックアップ エンジン制御 2 レジスタ

アドレス： 0x0312 サイズ： 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	R/W	0b
6	**二重タギング マルチキャスト トラップ** 1 = 二重タギングモードが有効な場合、全ての予約済みマルチキャストパケットをホストポートのみに転送する 0 = 通常の転送	R/W	0b
5	**動的エントリの Egress VLAN フィルタリング** Egress VLAN フィルタリングは、VLAN テーブルの転送ポートマップを使って、アドレス検索で求めた転送ポートを制限します。VLAN が有効な場合、この動作モードを推奨します。既定値は、従来のスイッチとの下位互換性のためにのみ 0 となっています。 1 = この機能を有効にする。アドレステーブルの動的エントリの検索を成功させるため、アドレステーブルのポートマップと VLAN テーブルのポートマップの AND 演算で転送ポートを決定する 0 = この機能を無効にする。アドレステーブルの動的エントリの検索を成功させるため、アドレステーブルのみで転送ポートを決定する	R/W	0b
4	**静的エントリの Egress VLAN フィルタリング** Egress VLAN フィルタリングは、VLAN テーブルの転送ポートマップを使って、アドレス検索で求めた転送ポートを制限します。VLAN が有効な場合、この動作モードを推奨します。既定値は、従来のスイッチとの下位互換性のためにのみ 0 となっています。 1 = この機能を有効にする。アドレステーブルの静的エントリの検索を成功させるため、アドレステーブルのポートマップと VLAN テーブルのポートマップの AND 演算で転送ポートを決定する 0 = この機能を無効にする。アドレステーブルの静的エントリの検索を成功させるため、アドレステーブルのみで転送ポートを決定する	R/W	0b
3:2	**フラッシュ方法** スイッチ ルックアップ エンジン制御 1 レジスタのどちらかのフラッシュ動作で、アドレス ルックアップ テーブルのどのエントリをフラッシュするかを決定します。 00 = フラッシュしない、またはフラッシュは完了している 01 = 動的テーブルエントリのみをフラッシュする 10 = 静的テーブルエントリのみをフラッシュする 11 = 静的テーブルエントリと動的テーブルエントリの両方をフラッシュする	R/W	00b
1:0	**MAC アドレス優先度** 00 = パケットの MAC アドレス (MACA) 優先度を宛先アドレス (DA) 検索で決定する 01 = パケットの MACA 優先度を送信元アドレス (SA) 検索で決定する 10 = パケットの MACA 優先度を、DA 検索と SA 検索の優先度の高い方で決定する 11 = パケットの MACA 優先度を、DA 検索と SA 検索の優先度の低い方で決定する	R/W	00b

5.1.4.14 スイッチ ルックアップ エンジン制御 3 レジスタ

アドレス : 0x0313 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**エージング期間** この値は、アドレス ルックアップ テーブルのエントリの AGE COUNT 値と乗算する事で、そのテーブルの動的エントリのエージング期間を決定します。単位は秒です。	R/W	0x4B

5.1.4.15 アドレス ルックアップ テーブル割り込みレジスタ

アドレス : 0x0314 サイズ : 8 ビット

このレジスタは、アドレス ルックアップ テーブルのための詳細な割り込みステータスを示します。これらの割り込みはアドレス ルックアップ テーブルマスク レジスタで有効にします。グローバル割り込みステータス レジスタの LUE 割り込みステータスビットは、このレジスタのステータスビットの論理和です。

ビット	説明	タイプ	既定値
7:3	**予約済み**	RO	0x00
2	**学習失敗割り込みステータス** バケットの全てのエントリは静的であるために、アドレス ルックアップ テーブルのエントリが学習されなかった事を示します。	R/WC	0b
1	**フル直前割り込みステータス** 割り込みは、新規静的エントリを書き込んだ際、アドレス ルックアップ テーブルのバケットがフル直前 (2 つまたは 3 つの有効エントリ) の状態になった事を示します。	R/WC	0b
0	**書き込み失敗割り込みステータス** 割り込みは、アドレス ルックアップ テーブルのバケットがフルになり、書き込みに失敗した事を示します。	R/WC	0b

© 2018 Microchip Technology Inc.

5.1.4.16 アドレス ルックアップ テーブルマスク レジスタ

アドレス : 0x0315 サイズ : 8 ビット

このレジスタはアドレス ルックアップ テーブル割り込みレジスタのアドレス ルックアップ テーブル割り込みをマスクします。

ビット	説明	タイプ	既定値
7:3	**予約済み**	RO	0x00
2	**学習失敗割り込みマスク** 1 = 割り込みを無効にする 0 = 割り込みを有効にする	R/W	1b
1	**フル直前割り込みマスク** 1 = 割り込みを無効にする 0 = 割り込みを有効にする	R/W	1b
0	**書き込み失敗割り込みマスク** 1 = 割り込みを無効にする 0 = 割り込みを有効にする	R/W	1b

5.1.4.17 アドレス ルックアップ テーブルエントリ インデックス 0 レジスタ

アドレス : 0x0316 ～ 0x0317 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:12	**予約済み**	RO	0x0
11:0/ 9:0	**フル直前エントリ インデックス [11:0]** アドレス ルックアップ テーブルに静的エントリを書き込む事に成功したが、テーブルのバケットがフル直前の (書き込む前に 2 つまたは 3 つの静的エントリしか残っていない) 状態である場合、そのエントリのアドレスがここに報告されます。 **書き込み失敗インデックス [9:0]** アドレス ルックアップ テーブルで静的エントリの書き込みに失敗した場合、そのバケットのアドレスがここに報告されます。	RO	0x000

5.1.4.18 アドレス ルックアップ テーブルエントリ インデックス 1 レジスタ

アドレス : 0x0318 ～ 0x0319 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:10	**予約済み**	RO	0000_00
9:0	**学習失敗インデックス** バケットが 4 つの静的エントリを含んでいるためにアドレス ルックアップ テーブルの宛先アドレス学習に失敗した場合、そのバケットのアドレスがここに報告されます。	RO	0x000

5.1.4.19 アドレス ルックアップ テーブルエントリ インデックス 2 レジスタ

アドレス : 0x031A ～ 0x031B サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:10	**予約済み**	RO	0000_00
9:0	**CPU アクセス インデックス** アドレス ルックアップ テーブルに外部から読み書きするたびに、そのアクセスのパケットのアドレスがここに報告されます。	RO	0x000

5.1.4.20 未知ユニキャスト制御レジスタ

アドレス : 0x0320 ～ 0x0323 サイズ : 32 ビット

以下の 3 つのレジスタは、1) 未知ユニキャスト宛先アドレス、2) 未知マルチキャスト宛先アドレス、3) 未知 VLAN ID をそれぞれ持つパケットの転送を制御します。

受信パケットがこれらのカテゴリの複数に該当する場合、優先順位は以下の通りです。

1. 未知 VID
2. 未知ユニキャスト
3. 未知マルチキャスト

ビット	説明	タイプ	既定値
31	**未知ユニキャスト パケット転送** 1 = 以下で指定するポートへの未知のユニキャスト パケットの転送を有効にする 0 = 未知のユニキャスト パケットの転送を無効にする	R/W	0b
30:3	**予約済み**	RO	0x0000000
2	**未知ユニキャスト転送ポート 3** 1 = ポート 3 に未知のユニキャスト パケットを転送する 0 = そのポートに転送しない	R/W	0b
1	**未知ユニキャスト転送ポート 2** 1 = ポート 2 に未知のユニキャスト パケットを転送する 0 = そのポートに転送しない	R/W	0b
0	**未知ユニキャスト転送ポート 1** 1 = ポート 1 に未知のユニキャスト パケットを転送する 0 = そのポートに転送しない	R/W	0b

© 2018 Microchip Technology Inc.

5.1.4.21 未知マルチキャスト制御レジスタ

アドレス : 0x0324 ～ 0x0327 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31	**未知マルチキャスト パケット転送** 1 = 以下で指定するポートへの未知のマルチキャスト パケットの転送を有効にする 0 = 未知のマルチキャスト パケットの転送を無効にする	R/W	0b
30:3	**予約済み**	RO	0x0000000
2	**未知マルチキャスト転送ポート 3** 1 = ポート 3 に未知のマルチキャスト パケットを転送する 0 = そのポートに転送しない	R/W	0b
1	**未知マルチキャスト転送ポート 2** 1 = ポート 2 に未知のマルチキャスト パケットを転送する 0 = そのポートに転送しない	R/W	0b
0	**未知マルチキャスト転送ポート 1** 1 = ポート 1 に未知のマルチキャスト パケットを転送する 0 = そのポートに転送しない	R/W	0b

5.1.4.22 未知 VLAN ID 制御レジスタ

アドレス : 0x0328 ～ 0x032B サイズ : 32 ビット

ビット	説明	タイプ	既定値
31	**未知 VID パケット転送** 1 = 以下で指定するポートへの未知の VLAN ID (VID) パケットの転送を有効にする 0 = 未知の VID パケットの転送を無効にする	R/W	0b
30:3	**予約済み**	RO	0x0000000
2	**未知 VID 転送ポート 3** 1 = ポート 3 に未知の VID パケットを転送する 0 = そのポートに転送しない	R/W	0b
1	**未知 VID 転送ポート 2** 1 = ポート 2 に未知の VID パケットを転送する 0 = そのポートに転送しない	R/W	0b
0	**未知 VID 転送ポート 1** 1 = ポート 1 に未知の VID パケットを転送する 0 = そのポートに転送しない	R/W	0b

5.1.4.23 スイッチ MAC 制御 0 レジスタ

アドレス : 0x0330 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**代替 Back-Off モード** Back-Off モードは半二重モードのみに適用します。スイッチ MAC 制御 1 レジスタの過度なコリジョンによるドロップの防止ビットを有効にする場合、このビットをセットする必要があります。 1 = 代替 Back-Off モードを有効にする 0 = この機能を無効にする	R/W	0b
6:4	**予約済み**	R/W	000b
3	**フレーム長フィールド チェック** これは、EtherType/ 長さフィールドが 1500 未満の場合のみ適用されます。 1 = 実際のパケット長がフレーム長フィールドと一致しない場合、全てのパケットを破棄する 0 = パケット長をチェックしない	R/W	1b
2	**予約済み**	R/W	1b
1	**フロー制御パケットドロップ モード** このビットは、どのフロー制御パケットを転送またはドロップするかを制御します。全てのフロー制御パケットの転送を有効にするには、スイッチ MAC 制御 4 レジスタのビット 0 を参照してください。フロー制御の有効化は PHY オート ネゴシエーション アドバタイズ レジスタ (PHY ポート) と XMII ポート制御 0 レジスタ (MAC ポート) で管理します。 1 = 本スイッチは EtherType = 0x8808 または宛先アドレス (DA) = 01-80-C2-00-00-01 の受信パケットをドロップする 0 = 本スイッチは EtherType = 0x8808 かつ DA = 01-80-C2-00-00-01 の受信パケットをドロップする	R/W	1b
0	**Aggressive Back-Off イネーブル** 半二重バック プレッシャーと一緒に使います。これは IEEE 規格ではありません。 1 = 性能向上のために半二重モード中に Aggressive Back-Off アルゴリズムを有効にする 0 = この機能を無効にする	R/W	0b

© 2018 Microchip Technology Inc.

5.1.4.24 スイッチ MAC 制御 1 レジスタ

アドレス : 0x0331 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	R/W	1b
6	**マルチキャスト ストーム保護ディセーブル** 1 = ブロードキャスト ストーム保護にマルチキャスト パケットを含めない 0 = ブロードキャスト ストーム保護にマルチキャスト パケットを含める	R/W	1b
5	**バック プレッシャー モード** 1 = キャリア検出に基づくバック プレッシャー モードを使う 0 = コリジョンに基づくバック プレッシャー モードを使う (これが推奨モードです。)	R/W	1b
4	**フロー制御およびバック プレッシャー フェアモード** 1 = フェアモードを有効にする (フロー制御された Ingress ポートとフロー制御されていない Ingress ポートが同じ Egress ポートにトラフィックを転送した場合、フロー制御されていない Ingress ポートからのパケットはドロップされる事があります。) 0 = フェアモードを無効にするこの場合、フロー制御されたポートはフロー制御され、フロー制御されていないポートはフロー制御もパケットのドロップもされない	R/W	1b
3	**過度なコリジョンによるドロップの防止** このビットをセットする場合、代替 Back-Off モードビット (スイッチ MAC 制御 0 レジスタのビット 7) もセットする必要があります。 1 = 16 以上のコリジョンが発生しても本スイッチはパケットをドロップしない 0 = 16 以上のコリジョンが発生すると本スイッチはパケットをドロップする	R/W	0b
2	**ジャンボパケット サポート** プログラマブルなパケット ペイロードサイズの制限値は最大 9000 バイトに指定されています (レジスタ 0x0308 ～ 0x0309)。このビットは、このレジスタのビット 1 をオーバーライドします。 1 = ジャンボパケットのサポートを有効にする 0 = この機能を無効にする	R/W	0b
1	**最大有効パケットサイズ チェック ディセーブル** 1 = 最大 2000 バイトのサイズのパケットを受け取る 0 = 標準サイズのパケットのみを受け取る (タグ付きパケット : 最大 1522 バイト、タグなしパケット : 最大 1518 バイト。それより大きいパケットはドロップします。)	R/W	0b
0	**ショートパケット転送** 1 = 32 バイトと 64 バイトの間のサイズのパケットを受け取る 0 = 64 バイト以上の標準サイズのパケットのみを受け取る (それより小さいパケットはドロップします。)	R/W	0b

5.1.4.25 スイッチ MAC 制御 2 レジスタ

アドレス : 0x0332 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:4	**予約済み**	R/W	0x0
3	**NULL VID の置き換え** パケットが NULL(ゼロ)VID と共に受信された場合の挙動を示します。 1 = NULL VID を、ポート既定値タグ 0 レジスタとポート既定値タグ 1 レジスタで定義されたポートの既定値 VID と置き換える 0 = NULL VID を置き換えない	R/W	0b
2:0	**ブロードキャスト ストーム保護レートビット [10:8]** このフィールドのその他のビットはスイッチ MAC 制御 3 レジスタに示します。 この数を 64 倍すると、あらかじめ設定した期間に入力ポートで許容されるパケットデータのバイト数が求まります。この期間は 1000 Mbps ポートで 5 ms、100 Mbps ポートで 50 ms、10 Mbps ポートで 500 ms です。既定値は 1% です。	R/W	000b

5.1.4.26 スイッチ MAC 制御 3 レジスタ

アドレス : 0x0333 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:0	**ブロードキャスト ストーム保護レートビット [7:0]** このフィールドのその他のビットはスイッチMAC制御2レジスタに示します。 この数を 64 倍すると、前もって設定した期間に入力ポートで許容されるパケットデータのバイト数が求まります。この期間は 1000 Mbps ポートで 5 ms、100 Mbps ポートで 50 ms、10 Mbps ポートで 500 ms です。既定値は 1% です。	R/W	0x4A

5.1.4.27 スイッチ MAC 制御 4 レジスタ

アドレス : 0x0334 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:1	**予約済み**	RO	0000_000b
0	**フロー制御パケット転送** 1 = スイッチは 802.3x PAUSE フロー制御フレームを転送する 0 = スイッチは PAUSE フレームをフィルタリングする	R/W	0b

© 2018 Microchip Technology Inc.

5.1.4.28 スイッチ MAC 制御 5 レジスタ

アドレス : 0x0335 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6	**予約済み**	R/W	0b
5:4	**Ingress レート制限期間** 00 = 16 ms 01 = 64 ms 1x = 256 ms	R/W	01b
3	**キューベース Egress レート制限イネーブル** 1 = キューベースの Egress レート制限 0 = ポートベースの Egress レート制限	R/W	0b
2:0	**予約済み**	RO	000b

5.1.4.29 スイッチ MIB 制御レジスタ

アドレス : 0x0336 サイズ : 8 ビット

MIB カウンタはポートごとに備わっています。これらはポート N: ポートスイッチ MIB カウンタレジスタ (0xN500 ～ 0xN5FF) で読み出しおよび制御します。

ビット	説明	タイプ	既定値
7	**MIB カウンタのフラッシュ** 1 = 有効なポートの全ての MIB カウンタをフラッシュする (ポート MIB 制御およびステータス レジスタ参照) 0 = 通常のカウンタ動作	R/W SC	0b
6	**MIB カウンタのフリーズ** 1 = 有効なポートの MIB カウンタをフリーズする (ポート MIB 制御およびステータス レジスタ参照) 0 = 通常のカウンタ動作	R/W	0b
5:0	**予約済み**	RO	00_0000b

5.1.4.30 802.1p 優先度割り当て 0 レジスタ

アドレス : 0x0338 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**タグの PCP フィールドが 0x1 の場合、この値を優先度に使います。**	R/W	001b
3	**予約済み**	RO	0b
2:0	**タグの PCP フィールドが 0x0 の場合、この値を優先度に使います。**	R/W	000b

5.1.4.31 802.1p 優先度割り当て 1 レジスタ

アドレス : 0x0339 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**タグの PCP フィールドが 0x3 の場合、この値を優先度に使います。**	R/W	011b
3	**予約済み**	RO	0b
2:0	**タグの PCP フィールドが 0x2 の場合、この値を優先度に使います。**	R/W	010b

5.1.4.32 802.1p 優先度割り当て 2 レジスタ

アドレス : 0x033A サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**タグの PCP フィールドが 0x5 の場合、この値を優先度に使います。**	R/W	101b
3	**予約済み**	RO	0b
2:0	**タグの PCP フィールドが 0x4 の場合、この値を優先度に使います。**	R/W	100b

5.1.4.33 802.1p 優先度割り当て 3 レジスタ

アドレス : 0x033B サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**タグの PCP フィールドが 0x7 の場合、この値を優先度に使います。**	R/W	111b
3	**予約済み**	RO	0b
2:0	**タグの PCP フィールドが 0x6 の場合、この値を優先度に使います。**	R/W	110b

© 2018 Microchip Technology Inc.

5.1.4.34 IP DiffServ 優先度イネーブル レジスタ

アドレス : 0x033E サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:2	**予約済み**	RO	0000_00b
1	**予約済み**	R/W	0b
0	**DiffServ 優先度再割り当てイネーブル** 1 = DSCP (DiffServ) 優先度を 3 ビット優先度値に再割り当てするのに以下のレジスタを使う 0 = 優先度に DSCP ビット [5:3] を使う	R/W	0b

5.1.4.35 IP DiffServ 優先度割り当て 0 レジスタ

アドレス : 0x0340 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x01 の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x00 の場合、この値を優先度に使います。**	R/W	000b

5.1.4.36 IP DiffServ 優先度割り当て 1 レジスタ

アドレス : 0x0341 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x03 の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x02 の場合、この値を優先度に使います。**	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.37 IP DiffServ 優先度割り当て 2 レジスタ

アドレス : 0x0342 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x05 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x04 の場合、この値を優先度に使います。	R/W	000b

5.1.4.38 IP DiffServ 優先度割り当て 3 レジスタ

アドレス : 0x0343 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x07 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x06 の場合、この値を優先度に使います。	R/W	000b

5.1.4.39 IP DiffServ 優先度割り当て 4 レジスタ

アドレス : 0x0344 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x09 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x08 の場合、この値を優先度に使います。	R/W	000b

5.1.4.40 IP DiffServ 優先度割り当て 5 レジスタ

アドレス : 0x0345 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x0B の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x0A の場合、この値を優先度に使います。	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.41 IP DiffServ 優先度割り当て 6 レジスタ

アドレス : 0x0346 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x0D の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x0C の場合、この値を優先度に使います。	R/W	000b

5.1.4.42 IP DiffServ 優先度割り当て 7 レジスタ

アドレス : 0x0347 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x0F の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x0E の場合、この値を優先度に使います。	R/W	000b

5.1.4.43 IP DiffServ 優先度割り当て 8 レジスタ

アドレス : 0x0348 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x11 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x10 の場合、この値を優先度に使います。	R/W	000b

5.1.4.44 IP DiffServ 優先度割り当て 9 レジスタ

アドレス : 0x0349 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x13 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x12 の場合、この値を優先度に使います。	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.45 IP DiffServ 優先度割り当て 10 レジスタ

アドレス : 0x034A サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x15 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x14 の場合、この値を優先度に使います。	R/W	000b

5.1.4.46 IP DiffServ 優先度割り当て 11 レジスタ

アドレス : 0x034B サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x17 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x16 の場合、この値を優先度に使います。	R/W	000b

5.1.4.47 IP DiffServ 優先度割り当て 12 レジスタ

アドレス : 0x034C サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x19 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x18 の場合、この値を優先度に使います。	R/W	000b

5.1.4.48 IP DiffServ 優先度割り当て 13 レジスタ

アドレス : 0x034D サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x1B の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x1A の場合、この値を優先度に使います。	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.49 IP DiffServ 優先度割り当て 14 レジスタ

アドレス : 0x034E サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x1D の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x1C の場合、この値を優先度に使います。	R/W	000b

5.1.4.50 IP DiffServ 優先度割り当て 15 レジスタ

アドレス : 0x034F サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x1F の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x1E の場合、この値を優先度に使います。	R/W	000b

5.1.4.51 IP DiffServ 優先度割り当て 16 レジスタ

アドレス : 0x0350 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x21 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x20 の場合、この値を優先度に使います。	R/W	000b

5.1.4.52 IP DiffServ 優先度割り当て 17 レジスタ

アドレス : 0x0351 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x23 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x22 の場合、この値を優先度に使います。	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.53 IP DiffServ 優先度割り当て 18 レジスタ

アドレス : 0x0352 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x25 の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x24 の場合、この値を優先度に使います。**	R/W	000b

5.1.4.54 IP DiffServ 優先度割り当て 19 レジスタ

アドレス : 0x0353 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x27 の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x26 の場合、この値を優先度に使います。**	R/W	000b

5.1.4.55 IP DiffServ 優先度割り当て 20 レジスタ

アドレス : 0x0354 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x29 の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x28 の場合、この値を優先度に使います。**	R/W	000b

5.1.4.56 IP DiffServ 優先度割り当て 21 レジスタ

アドレス : 0x0355 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x2B の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x2A の場合、この値を優先度に使います。**	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.57 IP DiffServ 優先度割り当て 22 レジスタ

アドレス : 0x0350 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x2D の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x2C の場合、この値を優先度に使います。	R/W	000b

5.1.4.58 IP DiffServ 優先度割り当て 23 レジスタ

アドレス : 0x0357 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x2F の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x2E の場合、この値を優先度に使います。	R/W	000b

5.1.4.59 IP DiffServ 優先度割り当て 24 レジスタ

アドレス : 0x0358 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x31 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x30 の場合、この値を優先度に使います。	R/W	000b

5.1.4.60 IP DiffServ 優先度割り当て 25 レジスタ

アドレス : 0x0359 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:4	IPv4/IPv6 DSCP フィールドが 0x33 の場合、この値を優先度に使います。	R/W	000b
3	予約済み	RO	0b
2:0	IPv4/IPv6 DSCP フィールドが 0x32 の場合、この値を優先度に使います。	R/W	000b

5.1.4.61 IP DiffServ 優先度割り当て 26 レジスタ

アドレス : 0x035A サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x35 の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x34 の場合、この値を優先度に使います。**	R/W	000b

5.1.4.62 IP DiffServ 優先度割り当て 27 レジスタ

アドレス : 0x035B サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x37 の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x36 の場合、この値を優先度に使います。**	R/W	000b

5.1.4.63 IP DiffServ 優先度割り当て 28 レジスタ

アドレス : 0x035C サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x39 の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x38 の場合、この値を優先度に使います。**	R/W	000b

5.1.4.64 IP DiffServ 優先度割り当て 29 レジスタ

アドレス : 0x035D サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x3B の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x3A の場合、この値を優先度に使います。**	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.65 IP DiffServ 優先度割り当て 30 レジスタ

アドレス : 0x035E サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x3D の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x3C の場合、この値を優先度に使います。**	R/W	000b

5.1.4.66 IP DiffServ 優先度割り当て 31 レジスタ

アドレス : 0x035F サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:4	**IPv4/IPv6 DSCP フィールドが 0x3F の場合、この値を優先度に使います。**	R/W	000b
3	**予約済み**	RO	0b
2:0	**IPv4/IPv6 DSCP フィールドが 0x3E の場合、この値を優先度に使います。**	R/W	000b

5.1.4.67 グローバルポート ミラーリングおよびスヌーピング制御レジスタ

アドレス : 0x0370 サイズ : 8 ビット

このレジスタは、ポートのミラーリングと IGMP および MLD スヌーピングをグローバルに制御するビットを格納しています。ミラーリングには、個々のポートのための追加のレジスタ設定も必要です (ポート N: ポートスイッチ Ingress 制御レジスタ (0xN800 ～ 0xN8FF) 参照)。

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6	**IGMP スヌーピング イネーブル (IPv4)** 1 = IGMP スヌーピングを有効にする (全ての IGMP パケットをホストポートに転送します。) 0 = IGMP スヌーピングを無効にする	R/W	0b
5:4	**予約済み**	RO	00b
3	**MLD スヌーピング方法** 1 = スヌーピング基準 : IPv6 後続ヘッダ = 43、44、50、51、60、または後続ヘッダ = 0 かつホップバイホップ後続ヘッダ = 43、44、50、51、60 0 = スヌーピング基準 : IPv6 後続ヘッダ = 1、58、または後続ヘッダ = 0 かつホップバイホップ後続ヘッダ = 1、58	R/W	0b
2	**MLD スヌーピング イネーブル (IPv6)** 1 = MLD スヌーピングを有効にする (全ての MLD パケットをホストポートに転送します。) 0 = MLD スヌーピングを無効にする	R/W	0b
1	**予約済み**	RO	0b

ビット	説明	タイプ	既定値
0	**スニフモード選択** 1 = スニッフィング フィルタを「Rx AND Tx」にする (送信元ポートと宛先ポートの両方が一致する必要があります。) 0 = スニッフィング フィルタを「Rx OR Tx」にする (送信元ポートまたは宛先ポートが一致する必要があります。このモードは Rx のみのスニッフィングを実装するために使います。)	R/W	0b

5.1.4.68 WRED DiffServ 色割り当てレジスタ

アドレス : 0x0378 サイズ : 8 ビット

ビット	説明	タイプ	既定値
7:6	**予約済み**	RO	00b
5:4	**赤** このフィールドは赤の DiffServ コードポイント (DSCP) 値を指定します。	R/W	11b
3:2	**黄** このフィールドは黄の DSCP 値を指定します。	R/W	10b
1:0	**緑** このフィールドは緑の DSCP 値を指定します。	R/W	01b

5.1.4.69 PTP イベント メッセージ優先度レジスタ

アドレス : 0x037C サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**PTP イベント メッセージ優先度オーバーライド** 0 = PTP イベント メッセージに、パケットの QoS に基づいて優先度を割り当てる 1 = PTP イベント メッセージに、このレジスタの PTP イベント メッセージ優先度フィールドの優先度を強制的に割り当てる	R/W	0b
6:4	**予約済み**	RO	000b
3:0	**PTP イベント メッセージ優先度** このレジスタのビット 7 が 1 の場合、PTP 非イベント メッセージはキューイングによってこの優先度に割り当てられます。	R/W	1111b

© 2018 Microchip Technology Inc.

5.1.4.70 PTP 非イベント メッセージ優先度レジスタ

アドレス : 0x037D サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**PTP 非イベント メッセージ優先度オーバーライド** 0 = PTP 非イベント メッセージに、パケットの QoS に基づいて優先度を割り当てる 1 = PTP 非イベント メッセージに、このレジスタの PTP 非イベント メッセージ優先度フィールドの優先度を強制的に割り当てる	R/W	0b
6:4	**予約済み**	RO	000b
3:0	**PTP 非イベント メッセージ優先度** このレジスタのビット 7 が 1 の場合、PTP 非イベント メッセージは、キューイングによってこの優先度に割り当てられます。	R/W	1111b

5.1.4.71 キュー管理制御 0 レジスタ

アドレス : 0x0390 ～ 0x0393 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:8	**予約済み**	RO	0x000000
7:6	**Priority_2Q** 2 キュー構成を選択している場合、2 キュー優先度は、キューに対するポート優先度割り当てレジスタによる 2 ビットの優先度再生成結果の 2 つのキューへの割り当て方法を決定します。 00 = 優先度 0、1、2 を低優先度キューに割り当てる。優先度 3 を高優先度キューに割り当てる 01 = 未使用 10 = 優先度 0、1 を低優先度キューに割り当てる。優先度 2、3 を高優先度キューに割り当てる 11 = 優先度 0 を低優先度キューに割り当てる。優先度 1、2、3 を高優先度キューに割り当てる	R/W	10b
5:2	**予約済み**	R/W	00_00b
1	**ユニキャスト ポート VLAN メンバーシップの破棄** このビットは、レジスタ 0xNA04 ～ 07 のポート VLAN メンバーシップ機能に適用します。 1 = 全てのフレームは、ポート制御 1 レジスタで定義された転送ポートに限定される 0 = 1 つの宛先ポートに転送するフレームは、ポート制御 1 レジスタで定義された転送ポートに限定されない (ミラーリング有効時、宛先が 1 つのフレームは他のポートにミラーリングするとドロップされます。)	R/W	1b
0	**予約済み**	R/W	0b

5.1.5 グローバル スイッチ ルックアップ エンジン (LUE) 制御レジスタ (0x0400 ～ 0x04FF)

以下のレジスタは VLAN テーブル、アドレス ルックアップ テーブル、静的アドレステーブル、予約済みマルチキャスト アドレステーブルのアクセスに使います。セクション 5.3、「各種のテーブルと MIB カウンタ (間接アクセス)」(p. 177) に、これらのテーブルの構成と、これらのテーブルにアクセスする命令を示します。

5.1.5.1 VLAN テーブルエントリ 0 レジスタ

アドレス : 0x0400 ～ 0x403 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31	**有効 (VALID)** VLAN テーブルのこのフィールドは、テーブルエントリが有効かどうかを指定します。 1 = テーブルエントリは有効である 0 = テーブルエントリは無効である	R/W	0b
30:28	**予約済み**	RO	000b
27	**転送オプション (FORWARD OPTION)** VLAN テーブルのこのフィールドは、転送ポートの決定方法を指定します。 1 = VLAN テーブルのポートマップ (PORT FORWARD フィールド) に転送する 0 = 転送ポートはその他の変数 (例 : ALU ポートマップ、VLAN ポートマップ、これらの組み合わせ、未知ユニキャスト / マルチキャスト機能) で決定する	R/W	0b
26:24	**優先度 (PRIORITY)** VLAN テーブルのこのフィールドは優先度レベルを指定します。	R/W	000b
23:15	**予約済み**	RO	0000_0000_0b
14:12	**MSTP インデックス (MSTP INDEX)** VLAN テーブルのこのフィールドは、マルチ スパニングツリー プロトコルのインデックスを指定します。	R/W	000b
11:7	**予約済み**	RO	0000_0b
6:0	**フィルタ ID (FILTER ID)** VLAN テーブルのこのフィールドはフィルタ ID を指定します。この FID 値を通常宛先アドレスと組み合わせてハッシュ値に変換し、アドレス ルックアップ テーブルに索引付けします。	R/W	000_0000b

Note: VLAN テーブルの詳細はセクション 5.3.4、「VLAN テーブル」(p. 184) を参照してください。

© 2018 Microchip Technology Inc.

5.1.5.2 VLAN テーブルエントリ 1 レジスタ

アドレス : 0x0404 ～ 0x407 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:3	**予約済み**	R/O	0x00000000
2	**ポート 3 アンタグ** VLAN テーブルのこのビットは、ポート 3 に対してタグを外すかどうかを指定します。 1 = このポートの Egress でパケットのタグを外す 0 = このポートの Egress でパケットのタグを外さない	R/W	0b
1	**ポート 2 アンタグ** VLAN テーブルのこのビットは、ポート 2 に対してタグを外すかどうかを指定します。 1 = このポートの Egress でパケットのタグを外す 0 = このポートの Egress でパケットのタグを外さない	R/W	0b
0	**ポート 1 アンタグ** VLAN テーブルのこのビットは、ポート 1 に対してタグを外すかどうかを指定します。 1 = このポートの Egress でパケットのタグを外す 0 = このポートの Egress でパケットのタグを外さない	R/W	0b

Note: VLAN テーブルの詳細はセクション 5.3.4、「VLAN テーブル」(p. 184) を参照してください。

5.1.5.3 VLAN テーブルエントリ 2 レジスタ

アドレス : 0x0408 ～ 0x040B サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:3	**予約済み**	R/O	0x00000000
2	**ポート 3 転送** このフィールドは、ポート 3 に転送するかどうかを指定します。FO ビットがセットされている場合、この方法が適用されます。 1 = このポートの Egress でパケットのタグを外す 0 = このポートの Egress でパケットのタグを外さない	R/W	0b
1	**ポート 2 転送** このフィールドは、ポート 2 に転送するかどうかを指定します。FO ビットがセットされている場合、この方法が適用されます。 1 = このポートの Egress でパケットのタグを外す 0 = このポートの Egress でパケットのタグを外さない	R/W	0b
0	**ポート 1 転送** このフィールドは、ポート 1 に転送するかどうかを指定します。FO ビットがセットされている場合、この方法が適用されます。 1 = このポートの Egress でパケットのタグを外す 0 = このポートの Egress でパケットのタグを外さない	R/W	0b

Note: VLAN テーブルの詳細はセクション 5.3.4、「VLAN テーブル」(p. 184) を参照してください。

5.1.5.4 VLAN テーブル インデックス レジスタ

アドレス : 0x040C ～ 0x040D サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:12	**予約済み**	RO	0x0
11:0	**VLAN インデックス** この値は、以下のレジスタの VLAN テーブル動作と組み合わせて VLAN テーブルをアドレス指定します。	R/W	0x000

Note: VLAN テーブルの詳細はセクション 5.3.4、「VLAN テーブル」(p. 184) を参照してください。

5.1.5.5 VLAN テーブルアクセス制御レジスタ

アドレス : 0x040E サイズ : 8 ビット

ビット	説明	タイプ	既定値
7	**VLAN テーブル動作開始** 1 = 以下に定義した動作を開始する 0 = 動作が終了した	R/W SC	0b
6:2	**予約済み**	RO	000_00b
1:0	**動作 (ACTION)** インデックス レジスタでアドレス指定した VLAN テーブルエントリに対して行う動作を指定します。 00 = 動作なし 01 = 書き込み 10 = 読み出し 11 = 全てのエントリを 0 にクリアする	R/W	00b

Note: VLAN テーブルの詳細はセクション 5.3.4、「VLAN テーブル」(p. 184) を参照してください。

© 2018 Microchip Technology Inc.

5.1.5.6 ALU テーブル インデックス 0 レジスタ

アドレス : 0x0410 ～ 0x0413 サイズ : 32 ビット

ALU テーブル インデックス 0 レジスタと ALU テーブル インデックス 1 レジスタは、ALU テーブルアクセス制御レジスタの動作で指定したアドレス ルックアップ テーブルを検索および読み書きするためのインデックス値を格納しています。ALUテーブルの詳細はセクション5.3.1、「アドレス ルックアップ(ALU)テーブル」(p. 177)を参照してください。

ビット	説明	タイプ	既定値
31	**予約済み**	R/W	0b
30:23	**予約済み**	RO	000_0000_0b
22:16	**FID インデックス [6:0]** アドレス ルックアップ テーブルのハッシュ インデックスを求めるための FID 値です。	R/W	000_0000b
15:0	**MAC インデックス [47:32]** アドレス ルックアップ テーブルのハッシュ インデックスを求めるための MAC アドレスの上位 16 ビットです。	R/W	0x0000

5.1.5.7 ALU テーブル インデックス 1 レジスタ

アドレス : 0x0414 ～ 0x0417 サイズ : 32 ビット

ALU テーブル インデックス 0 レジスタと ALU テーブル インデックス 1 レジスタは、ALU テーブルアクセス制御レジスタの動作で指定したアドレス ルックアップ テーブルを検索および読み書きするためのインデックス値を格納しています。ALUテーブルの詳細はセクション5.3.1、「アドレス ルックアップ(ALU)テーブル」(p. 177)を参照してください。

ビット	説明	タイプ	既定値
31:0	**MAC インデックス [31:0]** アドレス ルックアップ テーブルのハッシュ インデックスを求めるための MAC アドレスの下位 32 ビットです。直接アドレス指定を有効にしている場合、ビット [11:0] を使ってアドレス ルックアップ テーブルに直接索引付けします。	R/W	0x00000000

5.1.5.8 ALU テーブルアクセス制御レジスタ

アドレス : 0x0418 ～ 0x041B サイズ : 32 ビット

このレジスタは、ALU テーブル検索および読み書きのための制御とステータスを提供します。ALU テーブル インデックス 0 レジスタと ALU テーブル インデックス 1 レジスタにはインデックス値を格納し、ALU/ 静的アドレステーブル エントリ 1 レジスタ、ALU/ 静的アドレス / 予約済みマルチキャスト テーブルエントリ 2 レジスタ、ALU/ 静的アドレステーブル エントリ 3 レジスタ、ALU/ 静的アドレステーブル エントリ 4 レジスタにはエントリ値を格納します。ALU テーブルの詳細はセクション 5.3.1、「アドレス ルックアップ (ALU) テーブル」(p. 177) を参照してください。

ビット	説明	タイプ	既定値
31:30	**予約済み**	RO	00b
29:16	**有効数 (VALID_COUNT)** 検索終了後のテーブル内の有効なエントリの総数を示します。	RO	0x0000
15:8	**予約済み**	RO	0x00
7	**開始 / 終了 (START_FINISH)** 1 = 以下に定義した動作を開始する 0 = 動作が終了した	R/W, SC	0b
6	**有効 (VALID)** 検索動作に使います。このビットはレジスタ 0x042F (ALU/静的アドレステーブル エントリ 4 レジスタ) を読み出すとクリアされます。 1 = 次の有効なエントリの準備が完了している 0 = 次の有効なエントリの準備は未完了である	RO	0b
5	**有効エントリまたは検索終了 (VALID_ENTRY_OR_SEARCH_END)** 検索動作に使います。SPI でも I^2C でもなくインバンド管理 (IBA) でレジスタにアクセスする際にさらに使いやすくする事を目的としたものです。ビット 6 とビット 7 を組み合わせています。 1 = 次の有効なエントリの準備が完了したか、検索が終了したかのどちらかを示す 0 = 次の有効なエントリの準備が完了したか、検索が終了したかのどちらでもない	RO	0b
4:3	**予約済み**	R/W	00b
2	**直接 (DIRECT)** 1 = ALU の直接アドレス指定でアクセスする (デバッグ専用) 0 = ハッシュ関数を使ってテーブルに索引付けする (通常の方法、スイッチ ルックアップ エンジン制御 0 レジスタ参照)	R/W	0b
1:0	**動作 (ACTION)** ALU テーブルエントリのアクセスに対して行う動作を指定します。 00 = 動作なし 01 = 書き込み 10 = 読み出し 11 = 検索	R/W	00b

© 2018 Microchip Technology Inc.

5.1.5.9 静的アドレスおよび予約済みマルチキャスト テーブル制御レジスタ

アドレス : 0x041C ～ 0x041F サイズ : 32 ビット

このレジスタを使うと、静的アドレステーブルと予約済みマルチキャスト テーブルの読み書きのための制御と索引 (インデックス) 付けが可能です。ALU/ 静的アドレステーブル エントリ 1 レジスタ、ALU/ 静的アドレス / 予約済みマルチキャスト テーブルエントリ 2 レジスタ、ALU/ 静的アドレステーブル エントリ 3 レジスタ、ALU/ 静的アドレステーブル エントリ 4 レジスタを静的アドレステーブルのエントリ値のために使い、ALU/ 静的アドレス / 予約済みマルチキャスト テーブルエントリ 2 レジスタのみを予約済みマルチキャスト テーブルのエントリ値のために使います。これらのテーブルの詳細はセクション 5.3.2、「静的アドレステーブル」(p. 181) とセクション 5.3.3、「予約済みマルチキャスト アドレステーブル」(p. 183) を参照してください。

ビット	説明	タイプ	既定値
31:22	**予約済み**	RO	0x000
21:16	**テーブル インデックス (TABLE_INDEX)** ビット [21:16] は予約済みマルチキャスト テーブルの索引付けに使います。 ビット [19:16] は静的アドレステーブルの索引付けに使います。	R/W	00_0000b
15:8	**予約済み**	RO	0x00
7	**開始 / 終了 (START_FINISH)** 1 = アクセスを開始する 0 = アクセスが終了した	R/W, SC	0b
6:2	**予約済み**	R/W	000_00b
1	**テーブル選択 (TABLE_SELECT)** アクセスするテーブルを指定します。 1 = 予約済みマルチキャスト テーブルにアクセスする 0 = 静的アドレステーブルにアクセスする	R/W	0b
0	**動作 (ACTION)** テーブルに対して行う動作を指定します。 1 = 読み出し 0 = 書き込み	R/W	0b

5.1.5.10 ALU/ 静的アドレステーブル エントリ 1 レジスタ

アドレス : 0x0420 ～ 0x0423 サイズ : 32 ビット

このレジスタは、アドレス ルックアップ テーブルと静的アドレステーブルへの読み書き動作のためのテーブルエントリ値を格納しています。以下のセクションで定義するように、このレジスタのフィールド定義は、使うテーブルタイプによって異なります。

- ALU テーブルエントリ 1 レジスタ (p. 180)
- 静的アドレステーブル エントリ 1 レジスタ (p. 182)

詳細はセクション 5.3.1、「アドレス ルックアップ (ALU) テーブル」(p. 177) とセクション 5.3.2、「静的アドレステーブル」(p. 181) を参照してください。

5.1.5.11 ALU/ 静的アドレス / 予約済みマルチキャスト テーブルエントリ 2 レジスタ

アドレス : 0x0424 ～ 0x0427 サイズ : 32 ビット

以下のセクションで定義するように、このレジスタのフィールド定義は、使うテーブルタイプによって異なります。

- ALU テーブルエントリ 2 レジスタ (p. 180)
- 静的アドレステーブル エントリ 2 レジスタ (p. 182)
- 予約済みマルチキャスト アドレステーブル エントリ 2 レジスタ (p. 184)

詳細はセクション 5.3.1、「アドレス ルックアップ (ALU) テーブル」(p. 177)、セクション 5.3.2、「静的アドレステーブル」(p. 181)、セクション 5.3.3、「予約済みマルチキャスト アドレステーブル」(p. 183) を参照してください。

5.1.5.12 ALU/ 静的アドレステーブル エントリ 3 レジスタ

アドレス : 0x0428 ～ 0x042B サイズ : 32 ビット

以下のセクションで定義するように、このレジスタのフィールド定義は、使うテーブルタイプによって異なります。

- ALU テーブルエントリ 3 レジスタ (p. 181)
- 静的アドレステーブル エントリ 3 レジスタ (p. 183)

詳細はセクション 5.3.1、「アドレス ルックアップ (ALU) テーブル」(p. 177) とセクション 5.3.2、「静的アドレステーブル」(p. 181) を参照してください。

5.1.5.13 ALU/ 静的アドレステーブル エントリ 4 レジスタ

アドレス : 0x042C ～ 0x042F サイズ : 32 ビット

このレジスタは、アドレス ルックアップ テーブルと静的アドレステーブルへの読み書き動作のためのテーブルエントリ値を格納しています。以下のセクションで定義するように、このレジスタのフィールド定義は、使うテーブルタイプによって異なります。

- ALU テーブルエントリ 4 レジスタ (p. 181)
- 静的アドレステーブル エントリ 4 レジスタ (p. 183)

詳細はセクション 5.3.1、「アドレス ルックアップ (ALU) テーブル」(p. 177) とセクション 5.3.2、「静的アドレステーブル」(p. 181) を参照してください。

© 2018 Microchip Technology Inc.

5.1.6 グローバル スイッチ PTP 制御レジスタ (0x0500 ～ 0x05FF)

5.1.6.1 グローバル PTP クロック制御レジスタ

アドレス : 0x0500 ～ 0x0501 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15	**スイッチ周波数調整無効化** 1 = 本スイッチのタイマ、シェーパー、ポリシング ロジックは、PTP 調整に基づいた周波数の調整を行わない 0 = 本スイッチのタイマ、シェーパー、ポリシング ロジックは、PTP 調整に基づいた周波数の調整を行う	R/W	0b
14:7	**予約済み**	RO	000_0000_0b
6	**PTP クロックのステップ調整** このビットをセットすると、グローバル PTP RTC クロックナノ秒上位ワードレジスタとグローバル PTP RTC クロックナノ秒上位ワードレジスタの時間値が、PTP クロックに対して (ビット 5 の値に基づき) 加算または減算されます。	R/W SC	0b
5	**PTP ステップ方向** PTP ステップ調整モードの方向を制御します。 1 = 時間値を加算する 0 = 時間値を減算する	R/W	0b
4	**PTP クロックの読み出し** このビットをセットすると、現在の PTP クロック値がレジスタ 0x0502 ～ 0x050B にコピーされます。	R/W SC	0b
3	**PTP クロックへの書き込み** このビットをセットすると、レジスタ 0x0502 ～ 0x050B の時間値が PTP クロックに書き込まれます。	R/W SC	0b
2	**PTP クロックの連続調整** 連続調整が有効な場合、グローバル PTP クロックサブナノ秒レート上位ワードレジスタとグローバル PTP クロックサブナノ秒レート下位ワードレジスタの SUB-NS_RATE 値が、PTP クロックに対して 25 MHz クロックサイクルごとに (グローバル PTP クロックサブナノ秒レート上位ワードレジスタの PTP_RATE_DIR ビットに基づき) 加算または減算されます。 1 = 連続調整を有効にする 0 = 連続調整を無効にする	R/W	0b
1	**PTP クロックの有効化** 1 = PTP クロックを有効にする 0 = PTP クロックを無効にする	R/W	0b
0	**PTP クロックのリセット** このビットをセットすると PTP クロックがリセットされます。	R/W SC	0b

5.1.6.2 グローバル PTP RTC クロック位相レジスタ

アドレス : 0x0502 ～ 0x0503 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:3	**予約済み**	RO	0x0000
2:0	**PTP リアルタイム クロック 8 ns 位相** このレジスタは、40 ns 周期の PTP リアルタイム クロックの 8 ns サブサイクル位相のうちの 1 つを示します。 000 = 0 ns (40 ns 周期のうちの 1 番目の 8 ns 位相のリアルタイム クロック) 001 = 8 ns (40 ns 周期のうちの 2 番目の 8 ns 位相のリアルタイム クロック) 010 = 16 ns (40 ns周期のうちの3番目の8 ns位相のリアルタイム クロック) 011 = 24 ns (40 ns周期のうちの4番目の8 ns位相のリアルタイム クロック) 100 = 32 ns (40 ns周期のうちの5番目の8 ns位相のリアルタイム クロック) 101 ～ 111 = 無効	R/W	000b

5.1.6.3 グローバル PTP RTC クロックナノ秒上位ワードレジスタ

アドレス : 0x0504 ～ 0x0505 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:0	**PTP リアルタイム クロックナノ秒 [31:16]** PTP リアルタイム クロックのナノ秒値の上位ワードです。	R/W	0x0000

5.1.6.4 グローバル PTP RTC クロックナノ秒下位ワードレジスタ

アドレス : 0x0506 ～ 0x0507 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:0	PTP リアルタイム クロックナノ秒 [15:0] PTP リアルタイム クロックのナノ秒値の下位ワードです。	R/W	0x0000

5.1.6.5 グローバル PTP RTC クロック秒上位ワードレジスタ

アドレス : 0x0508 ～ 0x0509 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:0	**PTP リアルタイム クロック秒 [31:16]** PTP リアルタイム クロックの秒値の上位ワードです。	R/W	0x0000

© 2018 Microchip Technology Inc.

5.1.6.6 グローバル PTP RTC クロック秒下位ワードレジスタ

アドレス : 0x050A ～ 0x050B サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:0	**PTP リアルタイム クロック秒 [15:0]** PTP リアルタイム クロックの秒値の下位ワードです。	R/W	0x0000

5.1.6.7 グローバル PTP クロックサブナノ秒レート上位ワードレジスタ

アドレス : 0x050C ～ 0x050D サイズ : 16 ビット

ビット	説明	タイプ	既定値
15	**PTP レート方向** PTP クロックの一時調整モードと連続調整モードのレート方向を制御します。 1 = PTP クロックサブナノ秒値 (このレジスタとグローバル PTP クロックサブナノ秒レート下位ワードレジスタ) を、25 MHz クロックサイクルごとに PTP クロックに加算します。 0 = PTP クロックサブナノ秒値を、25 MHz クロックサイクルごとに PTP クロックから減算します。	R/W	0b
14	**PTP 一時調整モード** 1 = 25 MHz クロックサイクルごとの、グローバル PTP クロック一時調整継続時間上位ワードレジスタとグローバル PTP クロック一時調整継続時間下位ワードレジスタで設定した継続時間の、PTP クロックサブナノ秒値 (このレジスタとグローバル PTP クロックサブナノ秒レート下位ワードレジスタ) による PTP クロックの一時的なインクリメントまたはデクリメントを有効にする 0 = PTP クロックの一時調整を停止する	R/W	0b
13:0	**PTP リアルタイム クロックサブナノ秒 [29:16]** PTP リアルタイム クロックのサブナノ秒値の上位ワードです。	R/W	0x0000

5.1.6.8 グローバル PTP クロックサブナノ秒レート下位ワードレジスタ

アドレス : 0x050E ～ 0x050F サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:0	**PTP リアルタイム クロックサブナノ秒 [15:0]** PTP リアルタイム クロックのサブナノ秒値の下位ワードです。連続調整モードと一時調整モードに使います。	R/W	0x0000

5.1.6.9 グローバル PTP クロック一時調整継続時間上位ワードレジスタ

アドレス : 0x0510 ～ 0x0511 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:0	**PTP 一時調整継続時間 [31:16]** PTP クロック一時レート調整の継続時間を 25 MHz クロックサイクル数で設定します。	R/W	0x0000

5.1.6.10 グローバル PTP クロック一時調整継続時間下位ワードレジスタ

アドレス : 0x0512 ～ 0x0513 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:0	**PTP 一時調整継続時間 [15:0]** PTP クロック一時レート調整の継続時間を 25 MHz クロックサイクル数で設定します。	R/W	0x0000

5.1.6.11 グローバル PTP メッセージ コンフィグレーション 1 レジスタ

アドレス : 0x0514 ～ 0x0515 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:8	**予約済み**	RO	0x00
7	**IEEE 802.3AS モード有効化** 1 = この機能を有効にする 0 = この機能を無効にする	R/W	0b
6	**IEEE 1588 PTP モード有効化** 1 = この機能を有効にする 0 = この機能を無効にする	R/W	0b
5	**IEEE 802.3 Ethernet PTP メッセージ検出有効化** 1 = この機能を有効にする 0 = この機能を無効にする	R/W	1b
4	**IPv4/UDP PTP メッセージ検出有効化** 1 = この機能を有効にする 0 = この機能を無効にする	R/W	1b
3	**IPv6/UDP PTP メッセージ検出有効化** 1 = この機能を有効にする 0 = この機能を無効にする	R/W	1b
2	**P2P/E2E 選択** 1 = ピアツーピア (P2P) トランスペアレント クロックモード 0 = エンドツーエンド (E2E) トランスペアレント クロックモード	R/W	0b

© 2018 Microchip Technology Inc.

ビット	説明	タイプ	既定値
1	**マスタ / スレーブ選択** 1 ＝ ホストポートを PTP マスタ オーディナリ クロックにする 0 ＝ ホストポートを PTP スレーブ オーディナリ クロックにする	R/W	0b
0	**1 ステップ /2 ステップ動作選択** 1 = 1 ステップ クロックモード 0 = 2 ステップ クロックモード	R/W	1b

5.1.6.12 グローバル PTP メッセージ コンフィグレーション 2 レジスタ

アドレス : 0x0516 ～ 0x0517 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:13	**予約済み**	RO	000b
12	**ユニキャスト PTP 有効化** 1 = ユニキャスト PTP フレームを認識できる (パケット UDP 宛先ポートが 319 または 320 であり、かつフレームの MAC/IP アドレスが PTP 予約済みアドレスではない場合、そのフレームをユニキャスト PTP フレームとみなし、そのフレームを転送するかどうかを通常のルックアップ テーブルで決定します。) 0 = マルチキャスト PTP フレームのみを認識できる	R/W	1b
11	**代替マスタ有効化** 1 = 代替マスタクロックをサポートする (同一ドメインのアクティブなマスタクロックで、ホスト以外のポートで受信された同一ドメインの Sync/Delay_Req フレームは、ホスト以外のポートに転送されます。) 0 = 代替マスタクロックをサポートしない (同一ドメインのアクティブなマスタクロックで、ホスト以外のポートで受信された同一ドメインの Sync/Delay_Req フレームはホストポートで破棄され、Sync/Delay_Req がその他のドメインの場合、ホスト以外のポートに転送されます。)	R/W	0b
10	**PTP メッセージ優先度 TX キュー** 1 = 全ての PTP メッセージを最優先 TX キューに割り当てる 0 = PTP イベント メッセージのみを最優先 TX キューに割り当てる	R/W	0b
9	**Sync および Follow_Up 関連 PTP メッセージ チェック有効化** 同一のドメイン、sequenceID、sourcePortID を持っている場合、このビットをセットすると、Follow_Up メッセージが Sync メッセージと関連付けられます。ID が一致すると、その PTP フレームはホストポートに転送されます。	R/W	0b
8	**Delay_Req および Delay_Resp 関連 PTP メッセージ チェック有効化** 同一のドメイン、sequenceID、sourcePortID を持っている場合、このビットをセットすると、Delay_Resp メッセージが Delay_Req メッセージと関連付けられます。ID が一致すると、その PTP フレームはホストポートに転送されます。	R/W	0b
7	**Pdelay_Req および Pdelay_Resp 関連 PTP メッセージ チェック有効化** 同一のドメイン、sequenceID、sourcePortID を持っている場合、このビットをセットすると、Pdelay_Resp/Pdelay_Resp_Follow_Up メッセージが Pdelay_Req メッセージと関連付けられます。ID が一致すると、その PTP フレームはホストポートに転送されます。	R/W	0b
6	**予約済み**	R/W	0b

ビット	説明	タイプ	既定値
5	**Sync/Follow_Up および Delay_Req PTP メッセージ ドロップ有効化** BMC (Best Master Clock) が決まっていない場合、このビットをセットすると、本デバイスはこれらの Sync/Follow_Up および Delay_Req PTP メッセージを自動的にドロップします。	R/W	0b
4	**ドメイン フィールド チェック有効化** このビットをセットすると、本デバイスはグローバル PTP ドメインおよびバージョン レジスタの PTP_DOMAIN を使って PTP メッセージのドメイン フィールドを自動的にチェックします。ドメイン フィールドが一致すると、その PTP メッセージをホストポートに転送します。それ以外の場合、その PTP メッセージをドロップします。	R/W	0b
3	**予約済み**	R/W	0b
2	**Egress パケット IPv4/UDP チェックサム計算有効化** 1 = フレームの内容が変わると、本スイッチは 2 バイト チェックサム値を再計算および生成する 0 = チェックサム フィールドをゼロに設定する IPv4/UDP のチェックサムがゼロの場合、このビットの設定に関係なくチェックサムはゼロに維持されます。IPv6/UDP では、チェックサムは常に更新されます。	R/W	1b
1	**予約済み**	R/W	0b
0	**予約済み**	R/W	0b

5.1.6.13 グローバル PTP ドメインおよびバージョン レジスタ

アドレス : 0x0518 ～ 0x0519 サイズ : 16 ビット

ビット	説明	タイプ	既定値
15:12	**予約済み**	RO	0x0
11:8	**PTP バージョン** PTP メッセージのバージョン番号フィールドの値です。受信メッセージのバージョンがこのフィールドの値と一致すると、全ての PTP メッセージが取り込まれます。 受信 PTP メッセージのバージョンがこのフィールドの値と一致しない場合、全ての PTP パケットがドロップされます。	R/W	0x2
7:0	**PTP ドメイン** PTP メッセージのドメイン番号フィールドの値です。ドメインチェック (グローバル PTP メッセージ コンフィグレーション 2 レジスタ、ビット 4) 有効時、受信メッセージのドメイン番号がこのフィールドと一致すると、タイムスタンプ キャプチャが有効になります。ドメインチェック無効時の、ドメイン番号フィールドは無視されます。	R/W	0x00

© 2018 Microchip Technology Inc.

5.1.6.14 グローバル PTP ユニット インデックス レジスタ

アドレス : 0x0520 ～ 0x0523 サイズ : 32 ビット

このレジスタは、PTP レジスタ (アドレスレンジ 0x052C ～ 0x05B3) にアクセスするための GPIO ピン、タイムスタンプユニット、トリガユニットの索引付けに使います。このレジスタで選択する GPIO ピン、タイムスタンプ、トリガユニット が、PTP レジスタをアクセスした際に読み書きされます。

ビット	説明	タイプ	既定値
16	**GPIO インデックス ポインタ (GPIO_PTR_INDEX)** GPIO ピンの制御レジスタを指定します。 1 = ピン GPIO_2 0 = ピン GPIO_1	R/W	0b
8	**タイムスタンプ ユニット インデックス ポインタ (TS_PTR_INDEX)** タイムスタンプのユニット / セットレジスタを指定します。 1 = タイムスタンプ ユニット 1 0 = タイムスタンプ ユニット 0	R/W	0b
7:2	**予約済み**	RO	000000b
1:0	**トリガユニット インデックス ポインタ (TRIGGER_PTR_INDEX)** トリガのユニット / セットレジスタを指定します。 11 = 予約済み 10 = トリガユニット 2 01 = トリガユニット 1 00 = トリガユニット 0	R/W	00b

5.1.6.15 GPIO ステータスモニタ 0 レジスタ

アドレス : 0x0524 ～ 0x0527 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:19	**予約済み**	RO	0x000
18:16	**イベントトリガ出力エラー (TRIGGER_ERROR)** (ビット 18 = トリガユニット 2、ビット 17 = トリガユニット 1、ビット 16 = トリガユニット 0) 1 = トリガ出力ユニット制御 1 レジスタの TRIGGER_NOTIFY ビットを「1」にセットしている際にイベントトリガ時間がシステム時間クロックより前に設定された。ホストへの割り込みを生成する (このビットは、タイムスタンプ制御およびステータス レジスタの TRIGGER_EN ビットを「0」にリセットする事でクリアできます。) 0 = イベントトリガ エラーは発生していない	R/W1C	000b
15:3	**予約済み**	RO	0x000
2:0	**イベントトリガ出力ユニット完了 (TRIGGER_DONE)** (ビット 2 = トリガユニット 2、ビット 1 = トリガユニット 1、ビット 0 = トリガユニット 0) 1 = トリガ出力ユニット制御 1 レジスタの TRIGGER_NOTIFY ビットを「1」にセット (「1」を書き込むとこのビットがクリアされます) している際にイベントトリガ出力ユニットが生成された。ホストへの割り込みを生成する 0 = イベントトリガ出力ユニットは完了していない	R/W1C	000b

5.1.6.16 GPIO ステータスモニタ 1 レジスタ

アドレス : 0x0528 ～ 0x052B サイズ : 32 ビット

このレジスタは、GPIO と一緒に使うトリガ出力ユニットとタイムスタンプ ユニットのための割り込みステータスを示します。グローバル割り込みステータス レジスタの GPIO ピン出力トリガおよびタイムスタンプ ユニット割り込みステータスビットは、このレジスタのステータスビットの論理和です。

ビット	説明	タイプ	既定値
31:19	**予約済み**	RO	0x0000
18:16	**トリガ出力ユニット割り込みステータス** (ビット 18 = トリガユニット 2、ビット 17 = トリガユニット 1、ビット 16 = トリガユニット 0) これらの 3 つのビットは、3 つのトリガ出力ユニットのための割り込みステータスを示します。これらの割り込みは、トリガ出力ユニット制御 1 レジスタの TRIGGER_NOTIFY ビットをセットする事で有効にします。これは各 TOU に対して個々に行います。トリガ出力ユニット ステータスの詳細は GPIO ステータスモニタ 0 レジスタを参照してください。 1 = 割り込みを検出した 0 = 割り込みは発生していない	R/WC	000b
15:2	**予約済み**	RO	0x0000
1:0	**タイムスタンプ ユニット割り込みステータス (GPIO 入力タイムスタンプ専用)** (ビット 1 = タイムスタンプ ユニット 1、ビット 0 = タイムスタンプ ユニット 0) これらの 2 つのビットは、GPIO の 2 つのタイムスタンプ出力ユニットのための割り込みステータスを示します。これらの割り込みは、タイムスタンプ制御およびステータス レジスタのタイムスタンプ ユニット割り込みイネーブルビットで有効にします。これは各 TSU に対して個々に行います。タイムスタンプ割り込みについてはタイムスタンプ ステータスおよび制御レジスタから始まるレジスタを参照してください。 PTP Egress フレームのポートベースのタイムスタンプ機能の割り込みステータスについてはポート割り込みステータス レジスタとポート PTP タイムスタンプ割り込みステータス レジスタを参照してください。 1 = 割り込みを検出した 0 = 割り込みは発生していない	R/WC	00b

© 2018 Microchip Technology Inc.

5.1.6.17 タイムスタンプ制御およびステータス レジスタ

アドレス : 0x052C ～ 0x052F サイズ : 32 ビット

このレジスタの一部は、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値とタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:9	**予約済み**	RO	0x000000
8	**GPIO 出力源選択 (GPIO_OUT_SEL)** 1 = 組み合わせ結果を出力する 0 = フロップ出力から出力する	R/W	0b
7	**GPIO 入力モニタ (GPIO_IN)** このフィールドは、GPIO 入力の現在値を反映します。	R	-
6	**GPIO 出力イネーブル (GPIO_OEN)** 1 = GPIO ピンをトリガ入力として有効にする 0 = GPIO ピンをタイムスタンプ入力として有効にする	R/W	0b
5	**タイムスタンプ ユニット割り込みイネーブル (TS_INT_ENB)** タイムスタンプ ユニット割り込みステータスビットは GPIO ステータスモニタ 1 レジスタ内にあります。 0 = 割り込みを無効にする 1 = 割り込みを有効にする **Note:** このフィールドは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。	R/W	0b
4	**イベントトリガ出力ユニット アクティブ (TRIGGER_ACTIVE)** 1 = イベントトリガ出力ユニットが有効かつアクティブであり、エラーが発生していない 0 = イベントトリガ出力ユニットが終了し、非アクティブ状態である **Note:** このフィールドは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。	R	0b
3	**イベントトリガ出力ユニット イネーブル (TRIGGER_EN)** 1 = 選択したイベントトリガ出力ユニットを有効にする (トリガ出力が生成されると自動的にクリアされます。カスケードモードでは、トリガユニットの先頭のみを有効にします。) 0 = イベントトリガ出力ユニットを無効にする **Note:** このフィールドは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。	R/W	0b
2	**イベントトリガ出力ユニット ソフトウェア リセット (TRIGGER_SW_RESET)** 1 = トリガ出力ユニットを、非アクティブ状態かつ既定値の設定にリセットする (このリセットは連続動作のカスケードモードを停止させ、このトリガユニットに次の動作の準備をさせるのに使えます。) 0 = トリガ出力ユニットを通常動作させる **Note:** このフィールドは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。	R/W	0b
1	**イベント タイムスタンプ入力ユニット イネーブル (TS_ENB)** 1 = 選択したイベント タイムスタンプ入力ユニットを有効にする (このビットに「1」を書き込むと、対応するユニットの TS_EVENT_DET_CNT がクリアされます。) 0 = 選択したイベント タイムスタンプ入力ユニットを無効にする (このビットに「0」を書き込むと、TS_RDY と TS_DET_CNT_OVFL がクリアされます。) **Note:** このフィールドは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。	R/W	0b

ビット	説明	タイプ	既定値
0	**イベント タイムスタンプ入力ユニット ソフトウェア リセット (TS_SW_RESET)** 1 = タイムスタンプ入力ユニットを、非アクティブ状態かつ既定値の設定にリセットする 0 = タイムスタンプ入力ユニットを通常動作させる **Note:** このフィールドは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。	R/W	0b

5.1.6.18 トリガ出力ユニット ターゲット時間ナノ秒レジスタ

アドレス : 0x0530 ～ 0x0533 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:30	**予約済み**	RO	000b
29:0	**トリガターゲット時間 (ns) (TRIGGER_TARGET_TIME_NS)** このフィールドは、グローバル PTP ユニット インデックス レジスタで索引付けされたトリガユニットの PTP イベントトリガ出力ターゲット時間 (ナノ秒単位) を格納しています。	R/W	0x00000000

5.1.6.19 トリガ出力ユニット ターゲット時間秒レジスタ

アドレス : 0x0534 ～ 0x0537 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**トリガターゲット時間 (s) (TRIGGER_TARGET_TIME_S)** このフィールドは、グローバル PTP ユニット インデックス レジスタで索引付けされたトリガユニットの PTP イベントトリガ出力ターゲット時間 (秒単位) を格納しています。	R/W	0x00000000

© 2018 Microchip Technology Inc.

5.1.6.20 トリガ出力ユニット制御 1 レジスタ

アドレス : 0x0538 ～ 0x053B サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**カスケードモードのイベントトリガ出力ユニット有効化 (CASCADE_MODE_ENB)** 1 = カスケードモードのイベントトリガ出力ユニットを有効にする 0 = カスケードモードのイベントトリガ出力ユニットを無効にする	R/W	0b
30	**カスケードモードのイベントトリガ出力ユニット テールユニット インジケータ (CASCADE_MODE_TAIL)** 1 = このイベントトリガ出力ユニットは、カスケードモードのチェーンの最後のユニットである 0 = このイベントトリガ出力ユニットは、カスケードモードのチェーンの最後のユニットではない Note: カスケードモードの全ユニットに対してこのビットを「0」にクリアすると、反復回数が無視され、無限ループになります。無限ループを止めるには、ユニットに対応するタイムスタンプ制御およびステータス レジスタの TRIG_SW_RESET ビットをセットします。	R/W	0b
29:28	**予約済み**	RO	00b
27:26	**カスケードモードのアップストリーム トリガ完了ユニット選択** このフィールドで、カスケードモードの 3 つのアップストリーム トリガ完了入力ユニットのうちの 1 つを選択します。例えば、ユニット 1、2、3(テールユニット) をカスケードモードに設定する場合、ユニット 1 を 0x3 に、ユニット 2 を 0x1 に、ユニット 3 を 0x2 に設定します。	R/W	00b
25	**即座にトリガ (TRIGGER_NOW)** 1 = トリガターゲット時間がシステムクロック時間を下回るとイベント出力を即座にトリガする 0 = トリガターゲット時間の間待機してからイベント出力をトリガする	R/W	0b
24	**トリガ通知 (TRIGGER_NOTIFY)** 1 = TRIG_DONE と TRIG_ERR の両方のステータスとホストへの割り込み (割り込みイネーブルビットをセットしている場合) の報告を有効にする 0 = TRIG_DONE と TRIG_ERR の両方のステータスの報告を無効にする	R/W	0b
23	**トリガエッジ (TRIGGER_EDGE)** 1 = クロックの立ち下がりエッジでトリガを出力する 0 = クロックの立ち上がりエッジでトリガを出力する	R/W	0b

ビット	説明	タイプ	既定値
22:20	**トリガイベント出力信号パターン (TRIGGER_PATTERN)** TRIG_EN = 1 かつトリガターゲット時間がシステム時間に達した際のトリガイベント出力を以下のように選択します。 **000** = 立ち下がりエッジを生成する (既定値の「H」-> 「L」-> 「L」を維持) **001** = 立ち上がりエッジを生成する (既定値の「L」-> 「H」-> 「H」を維持) **010** = 立ち下がりパルスを生成する (既定値の「H」-> 「L」パルス -> 「H」-> 「H」を維持)(パルス幅はトリガ出力ユニット制御 2 レジスタで定義します。) **011** = 立ち上がりパルスを生成する (既定値の「L」-> 「H」パルス -> 「L」-> 「L」を維持)(パルス幅はトリガ出力ユニット制御 2 レジスタで定義します。) **100** = 負の周期信号を生成する (「L」パルス幅はトリガ出力ユニット制御 2 レジスタ、サイクル幅はトリガ出力ユニット制御 3 レジスタとトリガ出力ユニット制御 4 レジスタ、サイクル数はトリガ出力ユニット制御 5 レジスタで定義します。サイクル数が 0 の場合、サイクル幅は無限大です。) **101** = 正の周期信号を生成する (「H」パルス幅はトリガ出力ユニット制御 2 レジスタ、サイクル幅はトリガ出力ユニット制御 3 レジスタとトリガ出力ユニット制御 4 レジスタ、サイクル数はトリガ出力ユニット制御 5 レジスタで定義します。サイクル数が 0 の場合、サイクル幅は無限大です。) **110** = トリガ出力ユニット制御 3 レジスタの 16 ビットパターンから出力信号を生成する。その信号は MSb から順にシフトし循環させる (各ビット幅はトリガ出力ユニット制御 3 レジスタとトリガ出力ユニット制御 4 レジスタ、シフト出力するビットの総数はトリガ出力ユニット制御 5 レジスタで定義します。このレジスタ値が 0 の場合、ビット幅は無限大です。) **111** = 予約済み **Note:** 出力クロックの最大周波数は 12.5 MHz です。	R/W	000b
19:16	**予約済み**	RO	000b
15:0	**トリガ出力反復回数 (TRIGGER_PATTERN_ITERATION)** トリガ出力ユニット制御 3 レジスタで定義する 16 ビット トリガパターンをカスケードモードでテールユニットに出力する反復回数を定義します。例えば、0x0000 は 1 回、0x000F は 16 回です。カスケードモードでテールユニットがない場合、反復回数は無限大です。	R/W	0x0000

5.1.6.21 トリガ出力ユニット制御 2 レジスタ

アドレス : 0x053C ～ 0x053F サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**トリガ出力サイクル幅またはビット幅 (TRIGGER_CYCLE_WIDTH)** 周期信号を生成するためのサイクル幅を定義します。各単位値は 1 ns です。例えば、このレジスタ値が 80 (0x50) の場合、サイクル幅は 80 ns です。	R/W	0x00000000

© 2018 Microchip Technology Inc.

5.1.6.22 トリガ出力ユニット制御 3 レジスタ

アドレス : 0x0540 ～ 0x0543 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:16	**トリガ出力サイクルまたはビット数 (TRIGGER_CYCLE)** 周期信号を生成するための出力サイクル数を定義します。このフィールドが 0 の場合、周期は無限大です。	R/W	0x0000
15:0	**トリガ出力ビットパターン (TRIGGER_BIT_PATTERN)** 周期信号を生成するための出力ビットパターンを定義します。	R/W	0x0000

5.1.6.23 トリガ出力ユニット制御 4 レジスタ

アドレス : 0x0544 ～ 0x0547 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**カスケードモードのトリガ出力反復サイクル時間 (CASCADE_INTERATION_CYCLE_TIME)** カスケードモードの全てのトリガ出力ユニットを順に動作させるための反復サイクル時間を定義します。この時間は現在のトリガターゲット時間に加算され、次のトリガ時間になります。単位値は 1 ns です。例えば、このフィールド値が 800 (0x320) の場合、サイクル時間は 800 ns です。	R/W	0x00000000

5.1.6.24 トリガ出力ユニット制御 5 レジスタ

アドレス : 0x0548 ～ 0x054B サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのトリガユニット インデックス ポインタ (ビット [1:0]) 値で索引付けされます。

このレジスタは、ユニット 2 の PTP イベントトリガ出力 PPS 信号パルス幅とユニット 1 のパス遅延補償を格納しています。

ビット	説明	タイプ	既定値
31:24	**予約済み**	RO	-
23:16	**イベントトリガの PPS パルス幅 (PPS_PULSE_WIDTH)** このフィールドは下から 3 番目のバイト (23:16) であり、トリガ出力パルス幅と併用する事で、最大 124 ms の PPS パルス幅を設定します。	R/W	0x00
15:0	**トリガ出力パルス幅 (TRIGGER_PULSE_WIDTH)** パルスまたは周期信号を生成するためのパルス幅を定義します。各単位値は 8 ns です。例えば、このレジスタ値が 10 (0xA) の場合、パルス幅は 80 ns です。	R/W	0x0000

5.1.6.25 タイムスタンプ ステータスおよび制御レジスタ

アドレス : 0x0550 ～ 0x0553 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:21	**予約済み**	RO	0x00
20:17	**タイムスタンプ入力ユニットの検出イベント数 (TS_EVENT_DET_CNT)** 検出したイベント数 (立ち上がりエッジまたは立ち下がりエッジ) を報告します。シングルモードでは、任意のシングルユニットで最大 15 のイベントを検出できます。パルスまたはエッジは最大 25 MHz まで検出できます。パルス幅は、同一ユニットの連続するタイムスタンプ間の差によって計測できます。	RO	0000b
16	**タイムスタンプ入力ユニットの検出イベント数オーバーフロー (TS_DET_EVENT_CNT_OVERFLOW)** 1 = 検出したイベント (立ち上がりエッジまたは立ち下がりエッジ) の数がオーバーフローした (カスケードモードでは、オーバーフローが発生するとテールユニットのみがこのビットをセットします。オーバーフローが発生しても TS_EVENT_DET_CNT フィールドは 15 を維持します。) 0 = 検出したイベント (立ち上がりエッジまたは立ち下がりエッジ) の数はオーバーフローしていない	RO	0b
15:8	**予約済み**	RO	00000000b
7	**立ち上がりエッジ検出有効化 (TS_RISING_EDGE_ENB)** 1 = 立ち上がりエッジ検出を有効にする 0 = 立ち上がりエッジ検出を無効にする	R/W	0b
6	**立ち下がりエッジ検出有効化 (TS_FALLING_EDGE_ENB)** 1 = 立ち下がりエッジ検出を有効にする 0 = 立ち下がりエッジ検出を無効にする	R/W	0b
5	**カスケードモードのタイムスタンプ入力ユニットイベントのテールユニットインジケータ (TS_CASCADE_MODE_TAIL)** 1 = このイベント タイムスタンプ入力ユニットはカスケードモードのチェーンの最後のユニットである 0 = このイベント タイムスタンプ入力ユニットはカスケードモードのチェーンの最後のユニットではない	R/W	0b
4:2	**予約済み**	RO	00b
1	**カスケードモードのアップストリーム タイムスタンプ完了ユニット選択 (TS_CASCADE_MODE_ENB)** このビットで、カスケードモードのタイムスタンプ完了入力ユニットを選択します。 1 = タイムスタンプ ユニット 1 0 = タイムスタンプ ユニット 0 ヘッドユニットでは、その他のアップストリーム タイムスタンプ ユニットがヘッドユニットに入力されないように、このビットを「0」に設定する必要があります。	R/W	0b
0	**このイベントのカスケードモードのタイムスタンプ入力ユニット有効化 (TS_CASCADE_MODE_ENB)** 1 = このイベントの、カスケードモードのタイムスタンプ入力ユニットを有効にする 0 = このイベントの、カスケードモードのタイムスタンプ入力ユニットを無効にする	R/W	0b

© 2018 Microchip Technology Inc.

5.1.6.26 タイムスタンプ第 1 サンプリング時間ナノ秒レジスタ

アドレス : 0x0554 ～ 0x0557 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**予約済み**	RO	0b
30	**第 1 サンプリング エッジのイベント タイムスタンプ入力表示 (TS_SAMPLE_EDGE_1ST)** 1 = イベント タイムスタンプ入力が立ち上がりエッジ信号である事を示す 0 = イベント タイムスタンプ入力が立ち下がりエッジ信号である事を示す	RO	0b
29:0	**第 1 サンプリング時間 (ナノ秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_NS_1ST)** このフィールドは、タイムスタンプのナノ秒の桁を生成するための第 1 サンプリング時間の下位ワードです。	RO	0x00000000

5.1.6.27 タイムスタンプ第 1 サンプリング時間秒レジスタ

アドレス : 0x0558 ～ 0x055B サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**第 1 サンプリング時間 (秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_S_1ST)** このフィールドは、タイムスタンプの秒の桁を生成するための第 1 サンプリング時間です。	RO	0x00000000

5.1.6.28 タイムスタンプ第 1 サンプリング時間位相レジスタ

アドレス : 0x055C ～ 0x055F サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2:0	**第 1 サンプリング時間 (サブ 8 ns) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_SUB_8NS_1ST)** このレジスタは、タイムスタンプの第 1 サンプリング時間の 8 ns サイクルのうちの 1 つを示します。 000 = 0 ns (25 MHz/40 ns のうちの 1 番目の 8 ns サイクルのサンプリング時間) 001 = 8 ns (25 MHz/40 ns のうちの 2 番目の 8 ns サイクルのサンプリング時間) 101 = 16 ns (25 MHz/40 ns のうちの 3 番目の 8 ns サイクルのサンプリング時間) 011 = 24 ns (25 MHz/40 ns のうちの 4 番目の 8 ns サイクルのサンプリング時間) 100 = 32 ns (25 MHz/40 ns のうちの 5 番目の 8 ns サイクルのサンプリング時間) 101 ～ 111 = 予約済み	RO	000b

5.1.6.29 タイムスタンプ第 2 サンプリング時間ナノ秒レジスタ

アドレス : 0x0560 ～ 0x0563 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**予約済み**	RO	0b
30	**第 2 サンプリング エッジのイベント タイムスタンプ入力表示 (TS_SAMPLE_EDGE_2ND)** 1 = イベント タイムスタンプ入力が立ち上がりエッジ信号である事を示す 0 = イベント タイムスタンプ入力が立ち下がりエッジ信号である事を示す	RO	0b
29:0	**第 2 サンプリング時間 (ナノ秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_NS_2ND)** このフィールドは、タイムスタンプのナノ秒の桁を生成するための第 2 サンプリング時間の下位ワードです。	RO	0x00000000

5.1.6.30 タイムスタンプ第 2 サンプリング時間秒レジスタ

アドレス : 0x0564 ～ 0x0567 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**第 2 サンプリング時間 (秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_S_2ND)** このフィールドは、タイムスタンプの秒の桁を生成するための第 2 サンプリング時間です。	RO	0x00000000

5.1.6.31 タイムスタンプ第 2 サンプリング時間位相レジスタ

アドレス : 0x0568 ～ 0x056F サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2:0	**第 2 サンプリング時間 (サブ 8 ns) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_SUB_8NS_2ND)** このレジスタは、タイムスタンプの第 2 サンプリング時間の 8 ns サイクルのうちの 1 つを示します。 000 = 0 ns (25 MHz/40 ns のうちの 1 番目の 8 ns サイクルのサンプリング時間) 001 = 8 ns (25 MHz/40 ns のうちの 2 番目の 8 ns サイクルのサンプリング時間) 101 = 16 ns (25 MHz/40 ns のうちの 3 番目の 8 ns サイクルのサンプリング時間) 011 = 24 ns (25 MHz/40 ns のうちの 4 番目の 8 ns サイクルのサンプリング時間) 100 = 32 ns (25 MHz/40 ns のうちの 5 番目の 8 ns サイクルのサンプリング時間) 101 ～ 111 = 予約済み	RO	000b

© 2018 Microchip Technology Inc.

5.1.6.32 タイムスタンプ第 3 サンプリング時間ナノ秒レジスタ

アドレス : 0x056C ～ 0x056F サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**予約済み**	RO	0b
30	**第 3 サンプリング エッジのイベント タイムスタンプ入力表示 (TS_SAMPLE_EDGE_3RD)** 1 = イベント タイムスタンプ入力が立ち上がりエッジ信号である事を示す 0 = イベント タイムスタンプ入力が立ち下がりエッジ信号である事を示す	RO	0b
29:0	**第 3 サンプリング時間 (ナノ秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_NS_3RD)** このフィールドは、タイムスタンプのナノ秒の桁を生成するための第 3 サンプリング時間の下位ワードです。	RO	0x00000000

5.1.6.33 タイムスタンプ第 3 サンプリング時間秒レジスタ

アドレス : 0x0570 ～ 0x0573 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**第 3 サンプリング時間 (秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_S_3RD)** このフィールドは、タイムスタンプの秒の桁を生成するための第 3 サンプリング時間です。	RO	0x00000000

5.1.6.34 タイムスタンプ第 3 サンプリング時間位相レジスタ

アドレス : 0x0574 ～ 0x0577 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2:0	**第 3 サンプリング時間 (サブ 8 ns) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_SUB_8NS_3RD)** このレジスタは、タイムスタンプの第 3 サンプリング時間の 8 ns サイクルのうちの 1 つを示します。 000 = 0 ns (25 MHz/40 ns のうちの 1 番目の 8 ns サイクルのサンプリング時間) 001 = 8 ns (25 MHz/40 ns のうちの 2 番目の 8 ns サイクルのサンプリング時間) 101 = 16 ns (25 MHz/40 ns のうちの 3 番目の 8 ns サイクルのサンプリング時間) 011 = 24 ns (25 MHz/40 ns のうちの 4 番目の 8 ns サイクルのサンプリング時間) 100 = 32 ns (25 MHz/40 ns のうちの 5 番目の 8 ns サイクルのサンプリング時間) 101 ～ 111 = 予約済み	RO	000b

5.1.6.35 タイムスタンプ第 4 サンプリング時間ナノ秒レジスタ

アドレス : 0x0578 ～ 0x057B サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**予約済み**	RO	0b
30	**第 4 サンプリング エッジのイベント タイムスタンプ入力表示 (TS_SAMPLE_EDGE_4TH)** 1 = イベント タイムスタンプ入力が立ち上がりエッジ信号である事を示す 0 = イベント タイムスタンプ入力が立ち下がりエッジ信号である事を示す	RO	0b
29:0	**第 4 サンプリング時間 (ナノ秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_NS_4TH)** このフィールドは、タイムスタンプのナノ秒の桁を生成するための第 4 サンプリング時間の下位ワードです。	RO	0x00000000

5.1.6.36 タイムスタンプ第 4 サンプリング時間秒レジスタ

アドレス : 0x057C ～ 0x057F サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**第 4 サンプリング時間 (秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_S_4TH)** このフィールドは、タイムスタンプの秒の桁を生成するための第 4 サンプリング時間です。	RO	0x00000000

5.1.6.37 タイムスタンプ第 4 サンプリング時間位相レジスタ

アドレス : 0x0580 ～ 0x0583 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2:0	**第 4 サンプリング時間 (サブ 8 ns) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_SUB_8NS_4TH)** このレジスタは、タイムスタンプの第 4 サンプリング時間の 8 ns サイクルのうちの 1 つを示します。 000 = 0 ns (25 MHz/40 ns のうちの 1 番目の 8 ns サイクルのサンプリング時間) 001 = 8 ns (25 MHz/40 ns のうちの 2 番目の 8 ns サイクルのサンプリング時間) 101 = 16 ns (25 MHz/40 ns のうちの 3 番目の 8 ns サイクルのサンプリング時間) 011 = 24 ns (25 MHz/40 ns のうちの 4 番目の 8 ns サイクルのサンプリング時間) 100 = 32 ns (25 MHz/40 ns のうちの 5 番目の 8 ns サイクルのサンプリング時間) 101 ～ 111 = 予約済み	RO	000b

© 2018 Microchip Technology Inc.

5.1.6.38 タイムスタンプ第 5 サンプリング時間ナノ秒レジスタ

アドレス : 0x0584 ～ 0x0587 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**予約済み**	RO	0b
30	**第 5 サンプリング エッジのイベント タイムスタンプ入力表示 (TS_SAMPLE_EDGE_5TH)** 1 = イベント タイムスタンプ入力が立ち上がりエッジ信号である事を示す 0 = イベント タイムスタンプ入力が立ち下がりエッジ信号である事を示す	RO	0b
29:0	**第 5 サンプリング時間 (ナノ秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_NS_5TH)** このフィールドは、タイムスタンプのナノ秒の桁を生成するための第 5 サンプリング時間の下位ワードです。	RO	0x00000000

5.1.6.39 タイムスタンプ第 5 サンプリング時間秒レジスタ

アドレス : 0x0588 ～ 0x058B サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**第 5 サンプリング時間 (秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_S_5TH)** このフィールドは、タイムスタンプの秒の桁を生成するための第 5 サンプリング時間です。	RO	0x00000000

5.1.6.40 タイムスタンプ第 5 サンプリング時間位相レジスタ

アドレス : 0x058C ～ 0x058F サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

bit	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2:0	**第 5 サンプリング時間 (サブ 8 ns) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_SUB_8NS_5TH)** このレジスタは、タイムスタンプの第 5 サンプリング時間の 8 ns サイクルのうちの 1 つを示します。 000 = 0 ns (25 MHz/40 ns のうちの 1 番目の 8 ns サイクルのサンプリング時間) 001 = 8 ns (25 MHz/40 ns のうちの 2 番目の 8 ns サイクルのサンプリング時間) 101 = 16 ns (25 MHz/40 ns のうちの 3 番目の 8 ns サイクルのサンプリング時間) 011 = 24 ns (25 MHz/40 ns のうちの 4 番目の 8 ns サイクルのサンプリング時間) 100 = 32 ns (25 MHz/40 ns のうちの 5 番目の 8 ns サイクルのサンプリング時間) 101 ～ 111 = 予約済み	RO	000b

5.1.6.41 タイムスタンプ第 6 サンプリング時間ナノ秒レジスタ

アドレス : 0x0590 ～ 0x0593 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**予約済み**	RO	0b
30	**第 6 サンプリング エッジのイベント タイムスタンプ入力表示 (TS_SAMPLE_EDGE_6TH)** 1 = イベント タイムスタンプ入力が立ち上がりエッジ信号である事を示す 0 = イベント タイムスタンプ入力が立ち下がりエッジ信号である事を示す	RO	0b
29:0	**第 6 サンプリング時間 (ナノ秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_NS_6TH)** このフィールドは、タイムスタンプのナノ秒の桁を生成するための第 6 サンプリング時間の下位ワードです。	RO	0x00000000

5.1.6.42 タイムスタンプ第 6 サンプリング時間秒レジスタ

アドレス : 0x0594 ～ 0x0597 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**第 6 サンプリング時間 (秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_S_6TH)** このフィールドは、タイムスタンプの秒の桁を生成するための第 6 サンプリング時間です。	RO	0x00000000

5.1.6.43 タイムスタンプ第 6 サンプリング時間位相レジスタ

アドレス : 0x0598 ～ 0x059B サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2:0	**第 6 サンプリング時間 (サブ 8 ns) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_SUB_8NS_6TH)** このレジスタは、タイムスタンプの第 6 サンプリング時間の 8 ns サイクルのうちの 1 つを示します。 000 = 0 ns (25 MHz/40 ns のうちの 1 番目の 8 ns サイクルのサンプリング時間) 001 = 8 ns (25 MHz/40 ns のうちの 2 番目の 8 ns サイクルのサンプリング時間) 101 = 16 ns (25 MHz/40 ns のうちの 3 番目の 8 ns サイクルのサンプリング時間) 011 = 24 ns (25 MHz/40 ns のうちの 4 番目の 8 ns サイクルのサンプリング時間) 100 = 32 ns (25 MHz/40 ns のうちの 5 番目の 8 ns サイクルのサンプリング時間) 101 ～ 111 = 予約済み	RO	000b

© 2018 Microchip Technology Inc.

5.1.6.44 タイムスタンプ第 7 サンプリング時間ナノ秒レジスタ

アドレス : 0x059C ～ 0x059F サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**予約済み**	RO	0b
30	**第 7 サンプリング エッジのイベント タイムスタンプ入力表示 (TS_SAMPLE_EDGE_7TH)** 1 = イベント タイムスタンプ入力が立ち上がりエッジ信号である事を示す 0 = イベント タイムスタンプ入力が立ち下がりエッジ信号である事を示す	RO	0b
29:0	**第 7 サンプリング時間 (ナノ秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_NS_7TH)** このフィールドは、タイムスタンプのナノ秒の桁を生成するための第 7 サンプリング時間の下位ワードです。	RO	0x00000000

5.1.6.45 タイムスタンプ第 7 サンプリング時間秒レジスタ

アドレス : 0x05A0 ～ 0x05A3 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**第 7 サンプリング時間 (秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_S_7TH)** このフィールドは、タイムスタンプの秒の桁を生成するための第 7 サンプリング時間です。	RO	0x00000000

5.1.6.46 タイムスタンプ第 7 サンプリング時間位相レジスタ

アドレス : 0x05A4 ～ 0x05A7 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2:0	**第 7 サンプリング時間 (サブ 8 ns) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_SUB_8NS_7TH)** このレジスタは、タイムスタンプの第 7 サンプリング時間の 8 ns サイクルのうちの 1 つを示します。 000 = 0 ns (25 MHz/40 ns のうちの 1 番目の 8 ns サイクルのサンプリング時間) 001 = 8 ns (25 MHz/40 ns のうちの 2 番目の 8 ns サイクルのサンプリング時間) 101 = 16 ns (25 MHz/40 ns のうちの 3 番目の 8 ns サイクルのサンプリング時間) 011 = 24 ns (25 MHz/40 ns のうちの 4 番目の 8 ns サイクルのサンプリング時間) 100 = 32 ns (25 MHz/40 ns のうちの 5 番目の 8 ns サイクルのサンプリング時間) 101 ～ 111 = 予約済み	RO	000b

5.1.6.47 タイムスタンプ第 8 サンプリング時間ナノ秒レジスタ

アドレス : 0x05A8 ～ 0x05AB サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31	**予約済み**	RO	0b
30	**第 8 サンプリング エッジのイベント タイムスタンプ入力表示 (TS_SAMPLE_EDGE_8TH)** 1 = イベント タイムスタンプ入力が立ち上がりエッジ信号である事を示す 0 = イベント タイムスタンプ入力が立ち下がりエッジ信号である事を示す	RO	0b
29:0	**第 8 サンプリング時間 (ナノ秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_NS_8TH)** このフィールドは、タイムスタンプのナノ秒の桁を生成するための第 8 サンプリング時間の下位ワードです。	RO	0x00000000

5.1.6.48 タイムスタンプ第 8 サンプリング時間秒レジスタ

アドレス : 0x05AC ～ 0x05AF サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:0	**第 8 サンプリング時間 (秒) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_S_8TH)** このフィールドは、タイムスタンプの秒の桁を生成するための第 8 サンプリング時間です。	RO	0x00000000

5.1.6.49 タイムスタンプ第 8 サンプリング時間位相レジスタ

アドレス : 0x05B0 ～ 0x05B3 サイズ : 32 ビット

このレジスタは、グローバル PTP ユニット インデックス レジスタのタイムスタンプ ユニット インデックス ポインタ (ビット 8) 値で索引付けされます。

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2:0	**第 8 サンプリング時間 (サブ 8 ns) のイベント タイムスタンプ入力 (TS_SAMPLE_TIME_SUB_8NS_8TH)** このレジスタは、タイムスタンプの第 8 サンプリング時間の 8 ns サイクルのうちの 1 つを示します。 000 = 0 ns (25 MHz/40 ns のうちの 1 番目の 8 ns サイクルのサンプリング時間) 001 = 8 ns (25 MHz/40 ns のうちの 2 番目の 8 ns サイクルのサンプリング時間) 101 = 16 ns (25 MHz/40 ns のうちの 3 番目の 8 ns サイクルのサンプリング時間) 011 = 24 ns (25 MHz/40 ns のうちの 4 番目の 8 ns サイクルのサンプリング時間) 100 = 32 ns (25 MHz/40 ns のうちの 5 番目の 8 ns サイクルのサンプリング時間) 101 ～ 111 = 予約済み	RO	000b

© 2018 Microchip Technology Inc.

5.2 ポートレジスタ

本セクションでは本デバイスのポートレジスタを説明します。全ての設定はポートごとに行います。アドレス フィールド「N」はポート番号を指定します。「N」の有効な値は、普通のレジスタでは 1、2、3、MAC ポート特有のレジスタでは 3、PHY 特有のレジスタでは 1、2 です。

本デバイスの全レジスタマップの概要はセクション 5.0、「デバイスレジスタ」を参照してください。本デバイスのグローバル レジスタの詳細はセクション 5.1、「グローバル レジスタ」を参照してください。

5.2.1 ポート N: ポート動作制御レジスタ (0xN000 ～ 0xN0FF)

5.2.1.1 ポート既定値タグ 0 レジスタ

アドレス : 0xN000 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**ポート既定値 802.1Q タグ [15:8]** ビット [7:5]: 優先度コードポイント (PCP) ビット 4: ドロップ適格インジケータ (DEI) ビット [3:0]: VLAN 識別子 (VID) [11:8]	R/W	0x00

5.2.1.2 ポート既定値タグ 1 レジスタ

アドレス : 0xN001 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**ポート既定値 802.1Q タグ [7:0]** VLAN 識別子 (VID) [7:0]	R/W	0x01

5.2.1.3 ポート AVB SR クラス 1 タグ 0 レジスタ

アドレス : 0xN004 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**SR クラス 1 タグ 0** ポート カスタムタグは以下を格納します。 7 ～ 5: ユーザ優先度ビット 4: CFI ビット 3 ～ 0: SR クラス VID[11:8] 1	R/W	0x60

5.2.1.4 ポート AVB SR クラス 1 タグ 1 レジスタ

アドレス : 0xN005 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**SR クラス 1 タグ 1** ポート カスタムタグは以下を格納します。 7 ～ 0: ポート SR クラス VID[7:0] 1	R/W	0x02

5.2.1.5 ポート AVB SR クラス 2 タグ 0 レジスタ

アドレス : 0xN006 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**SR クラス 2 タグ 0** ポート カスタムタグは以下を格納します。 7 ～ 5: ユーザ優先度ビット 4: CFI ビット 3 ～ 0: SR クラス VID[11:8] 2	R/W	0x40

5.2.1.6 ポート AVB SR クラス 2 タグ 1 レジスタ

アドレス : 0xN007 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**SR クラス 2 タグ 1** ポート カスタムタグは以下を格納します。 7 ～ 0: ポート SR クラス VID[7:0] 2	R/W	0x03

5.2.1.7 ポート AVB SR クラス 1 タイプレジスタ

アドレス : 0xN008 ～ 0xN009 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**SR レイヤタイプ 1**	R/W	0x088B5

© 2018 Microchip Technology Inc.

5.2.1.8 ポート AVB SR クラス 2 タイプレジスタ

アドレス : 0xN00A ～ 0xN00B サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**SR レイヤタイプ 2**	R/W	0x088B5

5.2.1.9 ポート PME_WoL イベントレジスタ

アドレス : 0xN013 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:3	**予約済み**	RO	0000_0b
2	**マジックパケット検出** 検出するにはマジックパケットの宛先アドレスがスイッチ MAC アドレス 0 レジスタ～スイッチ MAC アドレス 5 レジスタのグローバル MAC アドレスと一致する必要があります。 1 = このポートでマジックパケットを検出した 0 = 検出していない	RO/WC	0b
1	**リンクアップ検出** 内蔵 PHY を備えたポートにのみ適用します。 1 = このポートでリンクアップを検出した 0 = 検出していない	RO/WC	0b
0	**エナジー ディテクト** 内蔵 PHY を備えたポートにのみ適用します。 1 = このポートでケーブルからの信号を検出した 0 = 検出していない	RO/WC	0b

5.2.1.10 ポート PME_WoL イネーブル レジスタ

アドレス : 0xN017 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:3	**予約済み**	RO	0000_0b
2	**マジックパケット検出イネーブル** 検出するにはマジックパケットの宛先アドレスがスイッチ MAC アドレス 0 レジスタ～スイッチ MAC アドレス 5 レジスタのグローバル MAC アドレスと一致する必要があります。 1 = このポートでマジックパケットを検出すると PME ピンをアサートする 0 = このポートでマジックパケットを検出しても PME ピンをアサートしない	RO/WC	0b
1	**リンクアップ検出イネーブル** 内蔵 PHY を備えたポートにのみ適用します。 1 = このポートでリンクアップを検出すると PME ピンをアサートする 0 = このポートでリンクアップを検出しても PME ピンをアサートしない	RO/WC	0b
0	**エナジー ディテクト イネーブル** 内蔵 PHY を備えたポートにのみ適用します。 1 = このポートでケーブルからの信号を検出すると PME ピンをアサートする 0 = このポートでケーブルからの信号を検出しても PME ピンをアサートしない	RO/WC	0b

5.2.1.11 ポート割り込みステータス レジスタ

アドレス : 0xN01B サイズ : 8 ビット
ポート N: 1 ～ 3

これらのレジスタは、個々のポートの割り込みステータスを示します。これらの割り込みはポート割り込みマスク レジスタで有効にします。ポートに特有ではない割り込みステータスについてはグローバル割り込みステータス レジスタを参照してください。

ビット	説明	タイプ	既定値
7:3	**予約済み**	RO	0000_00b
2	**PTP 割り込みステータス** PHY ポートにのみ適用します。MAC ポートには適用しません。個々の PTP 割り込みについてはポートPTPタイムスタンプ割り込みステータス レジスタを参照してください。 0 = 割り込みは発生していない 1 = 割り込みを検出した	RO	0b
1	**PHY 割り込みステータス** PHY ポートにのみ適用します。MAC ポートには適用しません。個々の PHY 割り込みについてはポート割り込み制御/ステータス レジスタを参照してください。 0 = 割り込みは発生していない 1 = 割り込みを検出した	RO	0b

© 2018 Microchip Technology Inc.

ビット	説明	タイプ	既定値
0	**ACL 割り込みステータス** ACL テーブルのエントリをカウンタモード向けに設定する事で ACL 割り込みを生成できます。全てのポートは ACL テーブルを備えています。 このビットをクリアするには、ポート割り込みマスクレジスタの ACL 割り込みマスクビットをトグルします。 0 = 割り込みは発生していない 1 = 割り込みを検出した	RO	0b

5.2.1.12 ポート割り込みマスクレジスタ

アドレス : 0xN01F サイズ : 8 ビット
ポート N: 1 ～ 3

このレジスタはポート割り込みステータス レジスタの割り込みを有効にします。

ビット	説明	タイプ	既定値
7:3	**予約済み**	RO	0000_00b
2	**PTP 割り込みイネーブル** PHYポートにのみ適用します。個々のPTP割り込みイネーブルについてはポート PTP タイムスタンプ割り込みイネーブル レジスタを参照してください。 0 = 割り込みを有効にする 1 = 割り込みを無効にする	R/W	0b
1	**PHY 割り込みイネーブル** PHY ポートにのみ適用します。 0 = 割り込みを有効にする 1 = 割り込みを無効にする	R/W	0b
0	**ACL 割り込みイネーブル** 全てのポートに適用します。 0 = 割り込みを有効にする 1 = 割り込みを無効にする	R/W	0b

5.2.1.13 ポート動作制御 0 レジスタ

アドレス : 0xN020 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**ローカル ループバック** 内部スイッチ ファブリックから Egress ポートに向かったデータを、その Egress ポートでループバックさせて内部スイッチ ファブリックに戻します。 1 = ローカル ループバック 0 = 通常動作	R/W	0b
6	**リモート ループバック** ポートの外部ピンで受信したデータを、内部スイッチ ファブリックを通さずにループバックさせて同じポートに転送します。PHY ポートでは、データを RX+/- ピンで受信し TX+/- ピンから送信します。xMII ポートでは、データを TXD ピンで受信し RXD ピンから送信します。 1 = リモート ループバック 0 = 通常動作	R/W	0b
5:3	**予約済み**	RO	000b
2	**テールタグ イネーブル** ポートに対してテールタギングが有効な場合、そのポートが「ホスト」ポートと「CPU」ポートのどちらであるかをこのビットで指定します。テールタギングを複数のポートに対して有効にしてはいけません。 詳細はテールタギングの説明を参照してください。 1 = このポートのテールタギングを有効にする 0 = このポートのテールタギングを無効にする	R/W	0b
1:0	**Egress キュー分割イネーブル** 11 = 予約済み 10 = 4 つの Egress キュー(優先度に基づき Egress キューにパケットを割り当てます。) 01 = 2 つの Egress キュー(優先度に基づき Egress キューにパケットを割り当てます。) 00 = 1 つの Egress キュー (優先度を考慮しません。)	R/W	00b

© 2018 Microchip Technology Inc.

5.2.1.14 ポート動作制御 1 レジスタ

アドレス : 0xN021 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:2	**予約済み**	RO	0000_00b
1:0	**SRP イネーブル (AVB 用)** 00 = ポートの SRP を無効にする 01 = ポートの SRP_1 を有効にする 10 = ポートの SRP_2 を有効にする 11 = 予約済み	R/W	00b

5.2.1.15 ポートステータス レジスタ

アドレス : 0xN030 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:5	**予約済み**	RO	000
4:3	**ポート速度ステータス** PHY 以外のポートでは、これらのビットは XMII ポート制御 1 レジスタのビット 6 と XMII ポート制御 0 レジスタのビット 4 の速度設定を複製します。 PHY ポートでは、これらのビットは実際のリンク速度を示します (この速度は PHY 制御レジスタからも読み出す事ができます)。 00 = 10 Mbps 01 = 100 Mbps 10 = 1000 Mbps	RO	-
2	**ポート全二重 / 半二重ステータス** PHY 以外のポートでは、このビットは XMII ポート制御 0 レジスタのビット 6 の全二重 / 半二重設定を複製します。 PHY ポートでは、このビットは実際のリンクの全二重 / 半二重設定を示します (この設定は PHY 制御レジスタからも読み出す事ができます)。 1 = 全二重 0 = 半二重	RO	1???-
1	**送信フロー制御イネーブル ステータス** PHY 以外のポートでは、このビットは XMII ポート制御 0 レジスタの Tx FC イネーブル (ビット 5) を複製します。 PHY ポートでは、FC が有効な場合 (PHY オート ネゴシエーション アドバタイズ レジスタのビット [11:10])、リンクアップしている場合、オート ネゴシエーションで FC が確立している場合のみこのビットがセットされます。 1 = TX フロー制御を有効にする 0 = この機能を無効にする	RO	-

ビット	説明	タイプ	既定値
0	**受信フロー制御イネーブル ステータス** PHY 以外のポートでは、このビットは XMII ポート制御 0 レジスタの Rx FC イネーブル (ビット 3) を複製します。 PHY ポートでは、FC が有効な場合 (PHY オート ネゴシエーション アドバタイズ レジスタのビット [11:10])、リンクアップしている場合、オート ネゴシエーションで FC が確立している場合のみこのビットはセットされます。 1 = RX フロー制御を有効にする 0 = この機能を無効にする	RO	-

5.2.2 ポート N: ポート Ethernet PHY レジスタ (0xN100 ～ 0xN1FF)

このセクションのレジスタは PHY ポートのみのためのものです。詳細は IEEE802.3 Clause 22.3.4 を参照してください。

5.2.2.1 PHY 基本制御レジスタ

アドレス : 0xN100 ～ 0xN101 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x00

ビット	説明	タイプ	既定値
15	**PHY ソフトウェア リセット** この PHY をリセットするにはこのビットをセットします。レジスタはリセットされません。このビットは自動的にクリアされます。	R/W SC	0b
14	**ローカル ループバック モード** 内部スイッチ ファブリックから Egress ポートに向かったデータを、その Egress ポートでループバックさせて内部スイッチ ファブリックに戻します。 1 = ローカル ループバック モード 0 = 通常動作	R/W	0b
13	**速度選択 (LSb)** オート ネゴシエーション(このレジスタのビット12)が有効な場合、このビットは無視されます。 ビット [6, 13] 11 = 予約済み 10 = 1000 Mbps 01 = 100 Mbps 00 = 10 Mbps	R/W	Note 5-4
12	**オート ネゴシエーション有効化** 1 = オート ネゴシエーションを有効にする 0 = オート ネゴシエーションを無効にする このビットの初期値は、ストラップ設定で決まります。しかし、上書きされる事があります。	R/W	Note 5-4

© 2018 Microchip Technology Inc.

ビット	説明	タイプ	既定値
11	**パワーダウン** 1 = パワーダウン モード 0 = 通常動作 このビットを「1」にセットすると、PHY ステータス レジスタ内でリンクダウン ステータスが更新されなくなる場合があります。ソフトウェアは、PHY ステータス レジスタのリンクステータスに頼らずに、リンクのダウンを検出する必要があります。 このビットが「1」から「0」に変更されると、内部リセットが実行されます。この PHY レジスタへ読み書きアクセスする前に、1 ms 以上待機する必要があります。	R/W	0b
10	**分離** 1 = PHY をスイッチコアから論理的に分離する 0 = 通常動作	R/W	0b
9	**オート ネゴシエーション再起動** オート ネゴシエーションを再起動するにはこのビットをセットします。このビットは自動的にクリアされます。	R/W, SC	0b
8	**半二重 / 全二重モード** オート ネゴシエーション (このレジスタのビット 12) が有効な場合、このビットは無視されます。 1 = 全二重 0 = 半二重	R/W	1b
7	**コリジョンテスト** 1 = COL テストを有効にする 0 = COL テストを無効にする	R/W	0b
6	**速度選択 (MSb)** オート ネゴシエーション(このレジスタのビット12)が有効な場合、このビットは無視されます。 ビット [6, 13] 11 = 予約済み 10 = 1000 Mbps 01 = 100 Mbps 00 = 10 Mbps	R/W	Note 5-4
5:0	**予約済み**	RO	0x00

Note 5-4 このフィールドの既定値は、対応するコンフィグレーション ストラップ値で決まります。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

5.2.2.2 PHY 基本ステータス レジスタ

アドレス : 0xN102 ～ 0xN103 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x01

ビット	説明	タイプ	既定値
15	**100BASE-T4** 0 = PHY は 100BASE-T4 に対応しない	RO	0b
14	**100BASE-TX 全二重** 1 = PHY は 100BASE-TX 全二重に対応する	RO	1b
13	**100BASE-TX 半二重** 1 = PHY は 100BASE-TX 半二重に対応する	RO	1b
12	**10 Mbps 全二重** 1 = PHY は 10 Mbps 全二重に対応する	RO	1b
11	**10 Mbps 半二重** 1 = PHY は 10 Mbps 半二重に対応する	RO	1b
10:9	**予約済み**	RO	00b
8	**拡張ステータス** 1 = PHY 拡張ステータス レジスタは拡張ステータス情報を格納している	RO	1b
7	**予約済み**	RO	0b
6	**MF プリアンブル抑制** 1 = PHY はプリアンブルを抑制した管理フレームを受信する	RO	1b
5	**オート ネゴシエーション完了** 1 = オート ネゴシエーション処理は完了した 0 = オート ネゴシエーション処理は完了していない	RO	-
4	**リモート (遠端) フォルト** 1 = リモートフォルト条件を検出した 0 = リモートフォルト条件を検出していない	RO LH	-
3	**オート ネゴシエーション機能** 1 = PHY はオート ネゴシエーションに対応する	RO	1b
2	**リンクステータス** 1 = リンクアップ 0 = リンクダウン	RO LL	-
1	**ジャバー検出** 1 = ジャバー条件を検出した 0 = ジャバー条件を検出していない	RO LH	-
0	**拡張機能** 1 = 拡張機能レジスタをサポートしている 0 = 基本レジスタ機能のみをサポートしている	RO	0b

© 2018 Microchip Technology Inc.

5.2.2.3 PHY ID 上位レジスタ

アドレス : 0xN104 ～ 0xN105 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x02

ビット	説明	タイプ	既定値
15:0	**PHY 識別子上位ワード**	RO	0x0022

5.2.2.4 PHY ID 下位レジスタ

アドレス : 0xN106 ～ 0xN107 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x03

ビット	説明	タイプ	既定値
15:0	**PHY 識別子下位ワード**	RO	0x1631

5.2.2.5 PHY オート ネゴシエーション アドバタイズ レジスタ

アドレス : 0xN108 ～ 0xN109 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x04

ビット	説明	タイプ	既定値
15	**Next Page** 1 = Next Page に対応する 0 = Next Page に対応しない	R/W	0b
14	予約済み	RO	0b
13	**リモートフォルト** 1 = リモートフォルトに対応する 0 = リモートフォルトに対応しない	R/W	0b
12	**予約済み**	RO	0b
11:10	**PAUSE(フロー制御) 機能** 11 = 対称 PAUSE とローカルデバイスに向かう非対称 PAUSE の両方 10 = リンクパートナーに向かう非対称 PAUSE 01 = 対称 PAUSE 00 = PAUSE なし	R/W	01b
9	**100BASE-T4** 1 = 100BASE-T4 に対応する 0 = 100BASE-T4 に対応しない	RO	0b

ビット	説明	タイプ	既定値
8	**100BASE-TX 全二重** 1 = 100BASE-TX 全二重に対応する 0 = 100BASE-TX 全二重に対応しない	R/W	1b
7	**100BASE-TX 半二重** 1 = 100BASE-TX 半二重に対応する 0 = 100BASE-TX 半二重に対応しない	R/W	1b
6	**10BASE-T 全二重** 1 = 10BASE-T 全二重に対応する 0 = 10BASE-T 全二重に対応しない	R/W	1b
5	**10BASE-T 半二重** 1 = 10BASE-T 半二重に対応する 0 = 10BASE-T 半二重に対応しない	R/W	1b
4:0	**セレクタ フィールド** 00001 = IEEE 802.3	R/W	0x01

5.2.2.6 PHY オート ネゴシエーション リンクパートナー機能レジスタ

アドレス : 0xN10A ～ 0xN10B サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x05

ビット	説明	タイプ	既定値
15	**Next Page** 1 = Next Page に対応する 0 = Next Page に対応しない	RO	-
14	**肯定応答 (ACK)** 1 = パートナーからリンク コードワードを受信した 0 = パートナーからリンク コードワードをまだ受信していない	RO	-
13	**リモートフォルト** 1 = リモートフォルトを検出した 0 = リモートフォルトは発生していない	RO	-
12	**予約済み**	RO	-
11:10	**PAUSE(フロー制御) 機能** 11 = 対称 PAUSE とローカルデバイスに向かう非対称 PAUSE の両方 10 = リンクパートナーに向かう非対称 PAUSE 01 = 対称 PAUSE 00 = PAUSE なし	RO	-
9	**100BASE-T4** 1 = 100BASE-T4 に対応する 0 = 100BASE-T4 に対応しない	RO	-
8	**100BASE-TX 全二重** 1 = 100BASE-TX 全二重に対応する 0 = 100BASE-TX 全二重に対応しない	RO	-

© 2018 Microchip Technology Inc.

ビット	説明	タイプ	既定値
7	**100BASE-TX 半二重** 1 = 100BASE-TX 半二重に対応する 0 = 100BASE-TX 半二重に対応しない	RO	-
6	**10BASE-T 全二重** 1 = 10BASE-T 全二重に対応する 0 = 10BASE-T 全二重に対応しない	RO	-
5	**10BASE-T 半二重** 1 = 10BASE-T 半二重に対応する 0 = 10BASE-T 半二重に対応しない	RO	-
4:0	**セレクタ フィールド** 00001 = IEEE 802.3	RO	-

5.2.2.7 PHY オート ネゴシエーション拡張ステータス レジスタ

アドレス : 0xN10C ～ 0xN10D サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x06

ビット	説明	タイプ	既定値
15:5	**予約済み**	RO	0x000
4	**並列検出フォルト** 1 = 並列検出がフォルトを検出した 0 = 並列検出はフォルトと検出していない	RO LH	-
3	**リンクパートナー Next Page 機能** 1 = リンクパートナーは Next Page に対応する 0 = リンクパートナーは Next Page に対応しない	RO	-
2	**Next Page 機能** 1 = ローカルデバイスは Next Page に対応する 0 = ローカルデバイスは Next Page に対応しない	RO	-
1	**ページ受信** 1 = 新しいページを受信した 0 = 新しいページは受信していない	RO LH	-
0	**リンクパートナー オート ネゴシエーション機能** 1 = リンクパートナーはオート ネゴシエーションに対応する 0 = リンクパートナーはオート ネゴシエーションに対応しない	RO	-

5.2.2.8 PHY オート ネゴシエーション Next Page レジスタ

アドレス : 0xN10E ～ 0xN10F サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x07

ビット	説明	タイプ	既定値
15	**Next Page** 1 = 後続のページがある 0 = これが最後のページである	R/W	0b
14	**予約済み**	RO	0b
13	**メッセージページ** 1 = メッセージページ 0 = 未フォーマットのページ	R/W	1b
12	**ACK 2** 1 = メッセージに従う 0 = メッセージに従わない	R/W	0b
11	**トグル** 1 = 送信されたリンク コードワードの直前の値は論理 1 0 = 送信されたリンク コードワードの直前の値は論理 0	RO	0b
10:0	**メッセージ フィールド**	R/W	0x001

5.2.2.9 PHY オート ネゴシエーション リンクパートナー Next Page 機能レジスタ

アドレス : 0xN110 ～ 0xN111 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x08

ビット	説明	タイプ	既定値
15	**Next Page** 1 = 後続のページがある 0 = これが最後のページである	R/W	-
14	**肯定応答 (ACK)** 1 = リンクワードの受信に成功した 0 = リンクワードの受信に失敗した	RO	-
13	**メッセージページ** 1 = メッセージページ 0 = 未フォーマットのページ	RO	-
12	**ACK 2** 1 = 情報に従う 0 = 情報に従う事はできない	RO	-

© 2018 Microchip Technology Inc.

ビット	説明	タイプ	既定値
11	**トグル** 1 = 送信されたリンク コードワードの直前の値は論理 0 0 = 送信されたリンク コードワードの直前の値は論理 1	RO	-
10:0	**メッセージ フィールド**	RO	-

5.2.2.10 PHY 1000BASE-T 制御レジスタ

アドレス : 0xN112 ～ 0xN113 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x09

ビット	説明	タイプ	既定値
15:13	**トランスミッタのテストモード動作** [15:13] モード [000] 通常動作 [001] テストモード 1 - 送信波形テスト [010] テストモード 2 - マスタモードでの送信ジッタテスト [011] テストモード 3 - スレーブモードでの送信ジッタテスト [100] テストモード 4 - 送信歪みテスト [101] 予約済み、動作は未定義 [110] 予約済み、動作は未定義 [111] 予約済み、動作は未定義 **1000Base-T テストモードを有効にする手順** 1) レジスタ 0xN100 ～ 0xN101 を 0x0140 に設定する事で､オート ネゴシエーションを無効にして 1000 Mbps を選択します。 2) このレジスタのビット [15:13] を 001、010、011、100 のいずれかに設定する事で、1000Base-T テストモードの 1 つを選択します。 上記を設定した後に、選択したテストモードのテスト波形が、4 つの差動ペアのそれぞれに送信されます。リンクパートナーは不要です。	R/W	000b
12	**マスタ / スレーブ手動設定イネーブル** 1 = マスタ / スレーブ手動設定を有効にする 0 = マスタ / スレーブ手動設定を無効にする	R/W	0b
11	**マスタ / スレーブ手動設定値** マスタ / スレーブ手動設定 (ビット 12) が無効の場合、このビットは無視されます。 1 = マスタ / スレーブ ネゴシエーション中に PHY をマスタとして設定する 0 = マスタ / スレーブ ネゴシエーション中に PHY をスレーブとして設定する	R/W	0b
10	**ポートタイプ** このビットは、マスタ / スレーブ手動設定 (ビット 12) が無効の場合にのみ有効です。 1 = マルチポート デバイス (マスタ) として動作する事を示す 0 = シングルポート デバイス (スレーブ) として動作する事を示す	R/W	0b
9	**1000BASE-T 全二重** 1 = PHY は 1000BASE-T 全二重に対応する事を自己宣言する 0 = PHY は 1000BASE-T 全二重に非対応である事を自己宣言する	R/W	1b
8	**1000BASE-T 半二重** 1 = PHY は 1000BASE-T 半二重に対応する事を自己宣言する 0 = PHY は 1000BASE-T 半二重に非対応である事を自己宣言する	R/W	0b

ビット	説明	タイプ	既定値
7:0	**予約済み**	RO	-

5.2.2.11 PHY 1000BASE-T ステータス レジスタ

アドレス : 0xN114 ～ 0xN115 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x0A

ビット	説明	タイプ	既定値
15	**マスタ / スレーブ設定フォルト** 1 = マスタ / スレーブ設定フォルトを検出した 0 = マスタ / スレーブ設定フォルトは検出していない	RO LH SC	0b
14	**マスタ / スレーブ設定判定** 1 = ローカル PHY 設定はマスタへと判定された 0 = ローカル PHY 設定はスレーブへと判定された	RO	-
13	**ローカルレシーバ ステータス** 1 = ローカルレシーバは OK 0 = ローカルレシーバは NG	RO	-
12	**リモートレシーバ ステータス** 1 = リモートレシーバは OK 0 = リモートレシーバは NG	RO	-
11	**リンクパートナー 1000BASE-T 全二重機能** 1 = リンクパートナーは 1000BASE-T 全二重に対応する 0 = リンクパートナーは 1000BASE-T 全二重に対応しない	RO	-
10	**リンクパートナー 1000BASE-T 半二重機能** 1 = リンクパートナーは 1000BASE-T 半二重に対応する 0 = リンクパートナーは 1000BASE-T 半二重に対応しない	RO	-
9:8	**予約済み**	RO	00b
7:0	**アイドルエラー カウント** レシーバがアイドルと PMA_TXMODE.indicate = Send_N を受信している時に検出したエラーの累積数です。 カウンタは、rxerror_status = ERROR のシンボル周期ごとにインクリメントします。	RO SC	0x00

© 2018 Microchip Technology Inc.

5.2.2.12 PHY MMD 設定レジスタ

アドレス : 0xN11A ～ 0xN11B サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x0D

ビット	説明	タイプ	既定値
15:14	**MMD 動作モード** 選択された MMD デバイスアドレス (このレジスタのビット [4:0]) に対し、これらの 2 ビットは以下のレジスタまたはデータ動作の 1 つを選択します。これにより、PHY MMD データレジスタの使い方が決まります。 00 = レジスタ 01 = データ、ポスト インクリメントしない 10 = データ、読み書き時にポスト インクリメントする 11 = データ、書き込み時にのみポスト インクリメントする	R/W	00b
13:5	**予約済み**	R/W	0x000
4:0	**MMD デバイスアドレス**	R/W	0x00

5.2.2.13 PHY MMD データレジスタ

アドレス : 0xN11C ～ 0xN11D サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x0E

ビット	説明	タイプ	既定値
15:0	**MMD R/W インデックス データ** 選択された MMD デバイスアドレス (PHY MMD 設定レジスタ / ビット [4:0]) に対し、 PHY MMD 設定レジスタのビット [15:14] = 00 の場合、このレジスタは MMD デバイスアドレスに対する読み書きレジスタアドレスを格納します。 それ以外の場合、このレジスタは MMD デバイスアドレスと選択されたレジスタアドレスに対する読み書きデータ値を格納します。 データ動作に対するこのレジスタのポスト インクリメント読み書きに関しては、PHY MMD 設定レジスタ / ビット [15:14] も参照してください。	R/W	0x0000

5.2.2.14 PHY 拡張ステータス レジスタ

アドレス : 0xN11E ～ 0xN11F サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x0F

ビット	説明	タイプ	既定値
15	**1000BASE-X 全二重** 1 = PHY は 1000BASE-T 全二重に対応する 0 = PHY は 1000BASE-T 全二重に対応しない	RO	0b
14	**1000BASE-X 半二重** 1 = PHY は 1000BASE-T 半二重に対応する 0 = PHY は 1000BASE-T 半二重に対応しない	RO	0b
13	**1000BASE-T 全二重** 1 = PHY は 1000BASE-T 全二重に対応する 0 = PHY は 1000BASE-T 全二重に対応しない	RO	1b
12	**1000BASE-T 半二重** 1 = PHY は 1000BASE-T 半二重に対応する 0 = PHY は 1000BASE-T 半二重に対応しない	RO	1b
11:0	**予約済み**	RO	–

5.2.2.15 PHY リモート ループバック レジスタ

アドレス : 0xN122 ～ 0xN123 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x11

ビット	説明	タイプ	既定値
15:9	**予約済み**	R/W	0x00
8	**リモート ループバック** ポートの外部ピンで受信したデータを、内部スイッチ ファブリックを通さずにループバックし、同じポートに転送します。PHY ポートでは、データを RX+/- ピンで受信し TX+/- ピンから送信します。xMII ポートでは、データを TXD ピンで受信し RXD ピンから送信します。 1 = リモート ループバック 0 = 通常動作	R/W	0b
7:2	**予約済み**	R/W	1111_01b
1	**予約済み**	R/W RC	0b
0	**予約済み**	RO	0b

© 2018 Microchip Technology Inc.

5.2.2.16 PHY LinkMD レジスタ

アドレス : 0xN124 ～ 0xN125 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x12

ビット	説明	タイプ	既定値
15	**ケーブル診断テストイネーブル** 書き込み値 : 1 = ケーブル診断テストを有効にする (このビットはテスト完了後に自動的にクリアされます。) 0 = ケーブル診断テストを無効にする 読み値 : 1 = ケーブル診断テストは実行中 0 = 有効にされたケーブル診断テストは完了し、ステータス情報の読み出し値は有効	R/W, SC	0b
14	**予約済み**	R/W	0b
13:12	**ケーブル診断テストペア** これらの 2 ビットはテストする差動ペアを選択します。 00 = 差動ペア A 01 = 差動ペア B 10 = 差動ペア C 11 = 差動ペア D	R/W	00b
11:10	**予約済み**	R/W	00b
9:8	**ケーブル診断ステータス** 00 = 正常ケーブル条件 (異常は検出されなかった) 01 = 断線異常が検出された 10 = 短絡異常が検出された 11 = 予約済み	RO	00b
7:0	**予約済み**	RO	0x00

5.2.2.17 PHY デジタル PMA/PCS ステータス レジスタ

アドレス : 0xN126 ～ 0xN127 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x13

ビット	説明	タイプ	既定値
15:2	**予約済み**	RO LH	0x0000
1	**1000BASE-T リンクステータス** 1 = リンクアップ 0 = リンクダウン	RO	-
0	**100BASE-TX リンクステータス** 1 = リンクアップ 0 = リンクダウン	RO	-

5.2.2.18 ポート RXER カウントレジスタ

アドレス : 0xN12A ～ 0xN12B サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x15

ビット	説明	タイプ	既定値
15:0	**RXER カウンタ** 1 つまたは複数のシンボルエラーを持つ受信フレームの数です。	RO RC	0x0000

5.2.2.19 ポート割り込み制御 / ステータス レジスタ

アドレス : 0xN136 ～ 0xN137 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x1B

ビット	説明	タイプ	既定値
15	**ジャバー割り込みイネーブル** 1 = ジャバー割り込みを有効にする 0 = ジャバー割り込みを無効にする	R/W	0b
14	**受信エラー割り込みイネーブル** 1 = 受信エラー割り込みを有効にする 0 = 受信エラー割り込みを無効にする	R/W	0b
13	**ページ受信割り込みイネーブル** 1 = ページ受信割り込みを有効にする 0 = ページ受信割り込みを無効にする	R/W	0b

© 2018 Microchip Technology Inc.

ビット	説明	タイプ	既定値
12	**並列検出異常割り込みイネーブル** 1 = 並列検出異常割り込みを有効にする 0 = 並列検出異常割り込みを無効にする	R/W	0b
11	**リンクパートナー ACK 割り込みイネーブル** 1 = リンクパートナー ACK 割り込みを有効にする 0 = リンクパートナー ACK 割り込みを無効にする	R/W	0b
10	**リンクダウン割り込みイネーブル** 1 = リンクダウン割り込みを有効にする 0 = リンクダウン割り込みを無効にする	R/W	0b
9	**リモート異常割り込みイネーブル** 1 = リモート異常割り込みを有効にする 0 = リモート異常割り込みを無効にする	R/W	0b
8	**リンクアップ割り込みイネーブル** 1 = リンクアップ割り込みを有効にする 0 = リンクアップ割り込みを無効にする	R/W	0b
7	**ジャバー割り込み** 1 = ジャバーが発生した 0 = ジャバーは発生していない	RO RC	0b
6	**受信エラー割り込み** 1 = 受信エラーが発生した 0 = 受信エラーは発生していない	RO RC	0b
5	**ページ受信割り込み** 1 = ページ受信が発生した 0 = ページ受信は発生していない	RO RC	0b
4	**並列検出異常割り込み** 1 = 並列検出異常が発生した 0 = 並列検出異常は発生していない	RO RC	0b
3	**リンクパートナー ACK 割り込み** 1 = リンクパートナー ACK が発生した 0 = リンクパートナー ACK は発生していない	RO RC	0b
2	**リンクダウン割り込み** 1 = リンクダウンが発生した 0 = リンクダウンは発生していない	RO RC	0b
1	**リモート異常割り込み** 1 = リモート異常が発生した 0 = リモート異常は発生していない	RO RC	0b
0	**リンクアップ割り込み** 1 = リンクアップが発生した 0 = リンクアップは発生していない	RO RC	0b

5.2.2.20 PHY Auto MDI/MDI-X レジスタ

アドレス : 0xN138 ～ 0xN139 サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x1C

ビット	説明	タイプ	既定値
15:8	**予約済み**	R/W	0x00
7	**MDI 設定** スワップ OFF ビットが 1 の場合 : 1 = PHY は MDI モードで動作するよう設定される 0 = PHY は MDI-X モードで動作するよう設定される スワップ OFF ビットが 0 の場合、このビットは効果を有しません。	R/W	0b
6	**スワップ OFF** 1 = Auto MDI/MDI-X 機能を無効にする 0 = Auto MDI/MDI-X 機能を有効にする (通常動作)	R/W	0b
5:0	**予約済み**	R/W	0x00

5.2.2.21 PHY 制御レジスタ

アドレス : 0xN13E ～ 0xN13F サイズ : 16 ビット
ポート N: 1 ～ 2

PHY レジスタ 0x1F

ビット	説明	タイプ	既定値
15:12	**予約済み**	R/W	0x0
11:10	**予約済み**	RO LH RC	00b
9	**ジャバー有効化** 1 = ジャバーカウンタを有効にする 0 = ジャバーカウンタを無効にする	R/W	1b
8:7	**予約済み**	R/W	10b
6	**速度ステータス 1000BASE-T** 1 = PHY の最終的な速度ステータスは 1000BASE-T である	RO	-
5	**速度ステータス 100BASE-TX** 1 = PHY の最終的な速度ステータスは 100BASE-TX である	RO	-
4	**速度ステータス 10BASE-T** 1 = PHY の最終的な速度ステータスは 10BASE-T である	RO	-
3	**全二重 / 半二重ステータス** 1 = 全二重 0 = 半二重	RO	-

© 2018 Microchip Technology Inc.

ビット	説明	タイプ	既定値
2	**1000BASE-T マスタ / スレーブ ステータス** 1 = 1000BASE-T マスタモード 0 = 1000BASE-T スレーブモード	RO	-
1	**予約済み**	R/W RC	0b
0	**予約済み**	RO RC	-

5.2.3 ポート N: ポート RGMII/MII/RMII 制御レジスタ (0xN300 ～ 0xN3FF)

5.2.3.1 XMII ポート制御 0 レジスタ

アドレス : 0xN300 サイズ : 8 ビット
ポート N: 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6	**MAC ポート全二重 / 半二重** 1 = ポート MAC インターフェイスは全二重モードで動作する 0 = ポート MAC インターフェイスは半二重モードで動作する	R/W	1b
5	**MAC ポート送信フロー制御イネーブル** 1 = このポートの送信フロー制御を有効にする 0 = このポートの送信フロー制御を無効にする	R/W	0b
4	**MAC ポート速度 10/100** XMII ポート制御 1 レジスタのビット 6 で 1000 Mbps を選択している場合、このビットは無視されます。 XMII ポート制御 1 レジスタのビット 6 が 1 の場合、このビットでポート速度が決まります。 1 = ポートは 100 Mbps で動作する 0 = ポートは 10 Mbps で動作する	R/W	1b
3	**MAC ポート受信フロー制御イネーブル** 1 = このポートの受信フロー制御を有効にする 0 = このポートの受信フロー制御を無効にする	R/W	0b
2:0	**予約済み**	R/W	000b

5.2.3.2 XMII ポート制御 1 レジスタ

アドレス : 0xN301 サイズ : 8 ビット
ポート N: 3

ビット	説明	タイプ	既定値
7	**予約済み**	R/W	-
6	**ポート速度 1000** 1 = XMII ポート制御 0 レジスタのビット 4 の設定に従って、RGMII は 10 または 100 Mbps で動作する 0 = RGMII は 1000 Mbps で動作する	R/W	Note 5-5
5	**予約済み**	R/W	0b
4	**RGMII Ingress 内部遅延 (RGMII_ID_ig)** 1 = Ingress RGMII クロックに最小 1.5 ns の遅延を追加する 0 = 遅延を追加しない	R/W	0b
3	**RGMII Egress 内部遅延 (RGMII_ID_eg)** 1 = Egress RGMII クロックに最小 1.5 ns の遅延を追加する 0 = 遅延を追加しない	R/W	1b
2	**MII/RMII モード** **MII インターフェイス :** 1 = MII インターフェイスは MAC デバイス (受信クロック等) として動作する 0 = MII インターフェイスは PHY デバイス (デバイスクロック等) として動作する **RMII インターフェイス :** 1 = RXC ピンで 50 MHz RMII REFCLK を受信する 0 = RXC ピンから 50 MHz RMII REFCLK を生成する	R/W	Note 5-6
1:0	**ポート インターフェイス タイプ選択** 00 = インターフェイスを MII にする 01 = インターフェイスを RMII にする 10 = インターフェイスを予約済みにする 11 = インターフェイスを RGMII にする	R/W	Note 5-7

Note 5-5 このフィールドの既定値は、**LED2_1** コンフィグレーション ストラップ値で決まります。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

Note 5-6 このフィールドの既定値は、**LED2_0** コンフィグレーション ストラップ値で決まります。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

Note 5-7 このフィールドの既定値は、**RXD[3:2]** コンフィグレーション ストラップ値で決まります。詳細はセクション 3.2.1、「コンフィグレーション ストラップ」(p. 15) を参照してください。

© 2018 Microchip Technology Inc.

5.2.4 ポート N: ポートスイッチ MAC 制御レジスタ (0xN400 ～ 0xN4FF)

5.2.4.1 ポート MAC 制御 0 レジスタ

アドレス : 0xN400 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:4	**予約済み**	RO	0x0
3	**予約済み**	R/W	0b
2	**予約済み**	RO	0b
1	**ブロードキャスト ストーム保護イネーブル** 1 = Ingress トラフィックのブロードキャスト ストーム保護を有効にする 0 = Ingress トラフィックのブロードキャスト ストーム保護を無効にする	R/W	0b
0	**ジャンボパケット イネーブル** 1 = 最大 9000 バイトのパケットサイズのペイロード (ヘッダと CRC を除く) を受け取る 0 = 標準のペイロード制限 (1500 バイト) を適用する	R/W	0b

5.2.4.2 ポート MAC 制御 1 レジスタ

アドレス : 0xN401 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	R/W	0b
6	**予約済み**	RO	0b
5:4	**予約済み**	R/W	00b
3	**バック プレッシャー イネーブル** バック プレッシャーは半二重にのみ使います。全二重は、別途有効にする PAUSE フレームフロー制御を使います。 1 = ポートのバック プレッシャーを有効にする 0 = ポートのバック プレッシャーを無効にする	R/W	0b
2:1	**予約済み**	R/W	00b
0	**全フレーム転送** 不正な (CRC エラー、過大、過小) フレームは通常ドロップされます。この機能を使うと、ミラーリング目的に限ってこれらの不正フレームを転送できます。 このビットは、フロー制御フレームのフィルタリングには影響しません。フロー制御フレームのフィルタリングを無効にするにはスイッチ MAC 制御 4 レジスタを参照してください。 1 = この機能を有効にする 0 = この機能を無効にする	R/W	0b

5.2.4.3 ポート Ingress レートリミット制御レジスタ

アドレス : 0xN403 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6	**ポートまたは優先度ベース Ingress レートリミット** 1 = Ingress レートリミットをポートベースにする 0 = Ingress レートリミットを優先度ベースにする	R/W	0b
5	**Ingress PPS モード** 1 = Ingress レートリミットはパケット数に基づく (PPS モード有効) 0 = Ingress レートリミットはビット数に基づく (PPS モード無効)	R/W	0b
4	**Ingress レートリミット フロー制御イネーブル** この機能を使うには、このポートのフロー制御も有効にする必要があります。PHY 以外のポートについては XMII ポート制御 0 レジスタを、PHY ポートについては PHY オート ネゴシエーション アドバタイズ レジスタを参照してください。 1 = ポートの受信レートが超過するとフロー制御をアサートする 0 = Ingress レートリミットに基づくフロー制御はアサートしない	R/W	0b
3:2	**Ingress 制限モード** これらのビットは、Ingress レートリミットに対してカウントおよび制限するフレームの種類を決定します。 00 = 全てのフレームをカウントおよび制限する 01 = ブロードキャスト、マルチキャスト、フラッディングされたユニキャストの各フレームのみをカウントおよび制限する 10 = ブロードキャストおよびマルチキャスト フレームのみをカウントおよび制限する 11 = ブロードキャスト フレームのみをカウントおよび制限する	R/W	00b
1	**IFG バイトカウント** 1 = 各フレームの最小フレーム間ギャップ (IFG) バイト (フレームあたり 12) を Ingress レートリミット計算に含める 0 = IFG バイトカウントを Ingress レートリミット計算に含めない	R/W	0b
0	**プリアンブル バイトカウント** PPS モードが有効 (ビット 5) の場合、このビットは無効です。 1 = 各フレームのプリアンブル バイト (フレームあたり 8) を Ingress レートリミット計算に含める 0 = プリアンブル バイトカウントを Ingress レートリミット計算に含めない	R/W	0b

© 2018 Microchip Technology Inc.

5.2.4.4 ポート優先度 0 Ingress リミット制御レジスタ

アドレス： 0xN410 サイズ： 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	予約済み	RO	0b
6:0	**優先度 0 フレームの Ingress データレート制限** コード値については表 5-3 を参照してください。 ポート優先度 7 Ingress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

表 5-3: Ingress および Egress レートリミットのためのデータレート選択テーブル

コード	10 Mbps		100 Mbps		1000 Mbps	
7 ビット、10 進数	PPS	BPS	PPS	BPS	PPS	BPS
7d’0	19.2k	10 Mbps	192k	100 Mbps	1.92M	1000 Mbps
7d’1 ～ 7d’10	1.92k * コード	1 Mbps * コード	1.92k * コード	1 Mbps * コード	19.2k * コード	1 Mbps * コード
7d’11 ～ 7d’100	–	10 Mbps	1.92k * コード	1 Mbps * コード	19.2k * コード	10 Mbps * コード
7d’101	64	64 kbps	64	640 kbps	640	640 kbps
7d’102	128	128 kbps	128	1280 kbps	1280	1280 kbps
7d’103	256	192 kbps	256	1920 kbps	2560	1920 kbps
7d’104	384	256 kbps	384	256 kbps	3840	2560 kbps
7d’105	512	320 kbps	512	320 kbps	5120	3200 kbps
7d’106	640	384 kbps	640	384 kbps	6400	3840 kbps
7d’107	768	448 kbps	768	448 kbps	7680	4480 kbps
7d’108	896	512 kbps	896	512 kbps	8960	5120 kbps
7d’109	1024	576 kbps	1024	576 kbps	10,240	5760 kbps
7d’110	1152	640 kbps	1152	640 kbps	11,520	6400 kbps
7d’111	1280	704 kbps	1280	704 kbps	12,800	7040 kbps
7d’112	1408	768 kbps	1408	768 kbps	14,080	7680 kbps
7d’113	1536	832 kbps	1536	832 kbps	15,360	8320 kbps
7d’114	1664	896 kbps	1664	896 kbps	16,640	8960 kbps
7d’115	1792	960 kbps	1792	960 kbps	17,920	9600 kbps

Note: PPS = パケットレート (Packets Per Second)、BPS = ビットレート (Bits Per Second)

5.2.4.5 ポート優先度 1 Ingress リミット制御レジスタ

アドレス : 0xN411 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**優先度 1 フレームの Ingress データレート制限** ポート優先度 7 Ingress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

5.2.4.6 ポート優先度 2 Ingress リミット制御レジスタ

アドレス : 0xN412 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**優先度 2 フレームの Ingress データレート制限** ポート優先度 7 Ingress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

5.2.4.7 ポート優先度 3 Ingress リミット制御レジスタ

アドレス : 0xN413 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**優先度 3 フレームの Ingress データレート制限** ポート優先度 7 Ingress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

© 2018 Microchip Technology Inc.

5.2.4.8 ポート優先度 4 Ingress リミット制御レジスタ

アドレス : 0xN414 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**優先度 4 フレームの Ingress データレート制限** ポート優先度 7 Ingress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

5.2.4.9 ポート優先度 5 Ingress リミット制御レジスタ

アドレス : 0xN415 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**優先度 5 フレームの Ingress データレート制限** ポート優先度 7 Ingress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

5.2.4.10 ポート優先度 6 Ingress リミット制御レジスタ

アドレス : 0xN416 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**優先度 6 フレームの Ingress データレート制限** ポート優先度 7 Ingress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

5.2.4.11 ポート優先度 7 Ingress リミット制御レジスタ

アドレス : 0xN417 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**優先度 7 フレームの Ingress データレート制限**	R/W	0x00

5.2.4.12 ポートキュー 0 Egress リミット制御レジスタ

アドレス : 0xN420 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**キュー 0 フレームの Egress データ レートリミット** スイッチ MAC 制御 5 レジスタのビット 3 で Egress レートリミットを「ポートベース」に設定している場合、このレジスタのみを設定に使います。ポートキュー 1 ～ 3 Egress リミット制御レジスタは、キューベースのレートリミットにのみ使います。 ポートキュー 3 Egress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

5.2.4.13 ポートキュー 1 Egress リミット制御レジスタ

アドレス : 0xN421 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**キュー 1 フレームの Egress データ レートリミット** ポートキュー 3 Egress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

5.2.4.14 ポートキュー 2 Egress リミット制御レジスタ

アドレス : 0xN422 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**キュー 2 フレームの Egress データ レートリミット** ポートキュー 3 Egress リミット制御レジスタに書き込むまで更新されない事に注意します。	R/W	0x00

© 2018 Microchip Technology Inc.

5.2.4.15 ポートキュー 3 Egress リミット制御レジスタ

アドレス : 0xN423 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**キュー 3 フレームの Egress データ レートリミット**	R/W	0x00

5.2.5 ポート N: ポートスイッチ MIB カウンタ レジスタ (0xN500 ～ 0xN5FF)

各ポートは 30 の MIB カウンタを備えています。これらは以下の 2 つの間接レジスタでアクセスします。MIB カウンタは読み出すとクリアされます。詳細はセクション 5.3.6、「MIB (Management Information Base) カウンタ」を参照してください。

Note: スイッチMIB制御レジスタは、MIBカウンタのグローバル制御のための2つの追加ビットを備えています。

5.2.5.1 ポート MIB 制御およびステータス レジスタ

アドレス : 0xN500 ～ 0xN503 サイズ : 32 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
31	**MIB カウンタ オーバーフロー表示** 1 = カウンタがオーバーフローした 0 = カウンタはオーバーフローしていない	RO	0b
30:26	**予約済み**	RO	0x00
25	**MIB 読み出しイネーブル / カウント有効** カウンタ読み出しを初期化するには、このビットを「1」に設定します。カウンタ読み出しが完了し、「MIB カウンタ値」のカウント値が利用可能になると、このビットは自動的に「0」にクリアされます。	R/W SC	0b
24	**MIB フラッシュおよびフリーズ イネーブル** ポートカウンタのフラッシュとフリーズのための関連グローバル MIB 制御ビットについてはスイッチ MIB 制御レジスタを参照してください。 1 = このポートの MIB カウンタのフラッシュおよびフリーズ機能を有効にする 0 = このポートの MIB カウンタのフラッシュおよびフリーズ機能を無効にする	R/W	0b
23:16	**MIB インデックス**	R/W	0x00
15:4	**予約済み**	RO	0x000
3:0	**MIB カウンタ値 [35:32]**	RO	0x0

5.2.5.2 ポート MIB データレジスタ

アドレス : 0xN504 ～ 0xN507 サイズ : 32 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
31:0	**MIB カウンタ値 [31:0]**	RO	0x0000

5.2.6 ポート N: ポートスイッチ ACL 制御レジスタ (0xN600 ～ 0xN6FF)

アクセス制御リスト (ACL) テーブルは各ポートに備わっています。それは以下の 2 つの間接レジスタでアクセスします。詳細はセクション 5.3.5、「アクセス制御リスト (ACL) テーブル」を参照してください。

5.2.6.1 ポート ACL アクセス 0 レジスタ

アドレス : 0xN600 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:4	**予約済み**	RO	0x0
3:0	**FRN (First Rule Number)**	R/W	0x0

5.2.6.2 ポート ACL アクセス 1 レジスタ

アドレス : 0xN601 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:6	**予約済み**	R/W	00b
5:4	**モード (MD)** 00 = 動作を実行しない 01 = レイヤ 2 MAC ヘッダ フィルタリング 10 = レイヤ 3 IP アドレス フィルタリング 11 = レイヤ4 TCPポート番号フィルタリング/IPプロトコル フィルタリング	R/W	00b
3:2	**イネーブル (ENB)**	R/W	00b
1	**送信元 / 宛先 (S/D)** 1 = 送信元 0 = 宛先	R/W	0b
0	**等しい / 等しくない (EQ)** 1 = 比較した値が等しい場合、一致とする 0 = 比較した値が等しくない場合、一致とする	R/W	0b

© 2018 Microchip Technology Inc.

5.2.6.3 ポート ACL アクセス 2 レジスタ

アドレス : 0xN602 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [47:40]**	R/W	0x00

5.2.6.4 ポート ACL アクセス 3 レジスタ

アドレス : 0xN603 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [39:32]**	R/W	0x00

5.2.6.5 ポート ACL アクセス 4 レジスタ

アドレス : 0xN604 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [31:24]**	R/W	0x00

5.2.6.6 ポート ACL アクセス 5 レジスタ

アドレス : 0xN605 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [23:16]**	R/W	0x00

5.2.6.7 ポート ACL アクセス 6 レジスタ

アドレス : 0xN606 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [15:8]**	R/W	0x00

© 2018 Microchip Technology Inc.

5.2.6.8 ポート ACL アクセス 7 レジスタ

アドレス : 0xN607 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**MAC アドレス (MAC ADDRESS) [7:0]**	R/W	0x00

5.2.6.9 ポート ACL アクセス 8 レジスタ

アドレス : 0xN608 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**EtherType (TYPE) [15:8]**	R/W	0x00

5.2.6.10 ポート ACL アクセス 9 レジスタ

アドレス : 0xN609 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**EtherType (TYPE) [7:0]**	R/W	0x00

5.2.6.11 ポート ACL アクセス A レジスタ

アドレス : 0xN60A サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:6	**優先度モード (PM)**	R/W	00b
5:3	**優先度 (P)**	R/W	00_0b
2	**優先度注釈イネーブル (RPE)**	R/W	0b
1:0	**注釈付きの優先度値 (RP) [2:1]** 3 ビット「注釈付きの優先度値」フィールドの上位 2 ビットです。LSb についてはポート ACL アクセス B レジスタを参照してください。	R/W	00b

© 2018 Microchip Technology Inc.

5.2.6.12 ポート ACL アクセス B レジスタ

アドレス : 0xN60B サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**注釈付きの優先度値 (RP) [0]** 3 ビット「注釈付きの優先度値」フィールドの LSb です。上位 2 ビットについてはポート ACL アクセス B レジスタを参照してください。	R/W	0b
6:5	**マップモード (MM)**	R/W	00b
4:0	**予約済み**	R/W	0b

5.2.6.13 ポート ACL アクセス C レジスタ

アドレス : 0xN60C サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**予約済み**	R/W	0x00

5.2.6.14 ポート ACL アクセス D レジスタ

アドレス : 0xN60D サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:3	**予約済み**	R/W	0b
2	**転送ポート 3 (Port 3 Forard Map)** 1 = このポートへの転送を有効にする 0 = このポートに転送しない	R/W	0b
1	**転送ポート 2 (Port 2 Forward Map)** 1 = このポートへの転送を有効にする 0 = このポートに転送しない	R/W	0b
0	**転送ポート 1 (Port 1 Forward Map)** 1 = このポートへの転送を有効にする 0 = このポートに転送しない	R/W	0b

5.2.6.15 ポート ACL アクセス E レジスタ

アドレス : 0xN60E　サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**RuleSet[15:8]**	R/W	0x00

5.2.6.16 ポート ACL アクセス F レジスタ

アドレス : 0xN60F　サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**RuleSet[7:0]**	R/W	0x00

5.2.6.17 ポート ACL バイトイネーブル MSB レジスタ

アドレス : 0xN610　サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**バイトイネーブル [15:8]** ポート ACL バイトイネーブル LSB レジスタに書き込む事で読み書きを開始する場合、各ビットは ACL バイトのうちの 1 つのアクセスを有効にします。 ビット 0 はポート ACL アクセス 7 レジスタに適用します。 ビット 1 はポート ACL アクセス 6 レジスタに適用し、(以下同様) ビット 7 はポート ACL アクセス 0 レジスタに適用します。 1 = 対応するバイトを読み書き用に選択する 0 = 対応するバイトを選択しない	R/W	0x00

© 2018 Microchip Technology Inc.

5.2.6.18 ポート ACL バイトイネーブル LSB レジスタ

アドレス : 0xN611 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:0	**バイトイネーブル [7:0]** ポート ACL バイトイネーブル LSB レジスタに書き込む事で読み書きを開始する場合、各ビットは ACL バイトのうちの 1 つのアクセスを有効にします。 ビット 0 はポート ACL アクセス F レジスタに適用します。 ビット 1 はポート ACL アクセス E レジスタに適用し、(以下同様) ビット 7 はポート ACL アクセス 8 レジスタに適用します。 1 = 対応するバイトを読み書き用に選択する 0 = 対応するバイトを選択しない	R/W	0x00

5.2.6.19 ポート ACL アクセス制御 0 レジスタ

アドレス : 0xN612 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**予約済み**	R/O	0b
6	**書き込みステータス** 1 = 書き込み動作は完了した 0 = 書き込み動作は完了していない	RO	1b
5	**読み出しステータス** 1 = 読み出し動作は完了した 0 = 読み出し動作は完了していない (結果レジスタを読み出す前に、このビットがセットされるまでポーリングし続けます。)	RO	1b
4	**書き込み / 読み出し** 1 = 書き込み 0 = 読み出し	R/W	0b
3:0	**ACL インデックス**	R/W	0x0

5.2.7 ポート N: ポートスイッチ Ingress 制御レジスタ (0xN800 ～ 0xN8FF)

5.2.7.1 ポート ミラーリング制御レジスタ

アドレス : 0xN800 サイズ : 8 ビット
ポート N: 1 ～ 3

このレジスタは、ポート ミラーリングのためのポート制御ビットを格納しています。グローバルポート ミラーリングおよびスヌーピング制御レジスタも適切に設定する必要があります。

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6	**受信スニフ** 1 = このポートで受信する全てのパケットを「監視済みパケット」に指定し、指定済みの「スニファポート」に転送する 0 = 受信監視なし	R/W	0b
5	**送信スニフ** 1 = このポートで送信する全てのパケットを「監視済みパケット」に指定し、指定済みの「スニファポート」に転送する 0 = 送信監視なし	R/W	0b
4:2	**予約済み**	RO	0_00b
1	**スニファポート** 1 = このポートをスニファポートに指定し、監視済みパケットを送信する 0 = スニファポートではない (通常動作)	R/W	0b
0	**予約済み**	RO	0b

5.2.7.2 ポート優先度制御レジスタ

アドレス : 0xN801 サイズ : 8 ビット
ポート N: 1 ～ 3

必要な機能を実現するため、このレジスタでは一度に複数のビットをセットしてはいけません。

ビット	説明	タイプ	既定値
7	**最優先** 1 = 最優先を選択する 0 = 最優先を選択しない	R/W	0b
6	**優先度の OR 演算** 1 = 全ての有効な優先度を OR 演算する 0 = 全ての有効な優先度を OR 演算しない	R/W	0b
5	**予約済み**	RO	0b
4	**MAC アドレス優先度分類** 1 = ポートの Ingress パケットの MAC アドレス優先度分類を有効にする 0 = MAC アドレス分類を無効にする	R/W	0b

© 2018 Microchip Technology Inc.

ビット	説明	タイプ	既定値
3	**VLAN 優先度分類** 1 = ポートの Ingress パケットの VLAN 優先度分類を有効にする 0 = VLAN 分類を無効にする	R/W	0b
2	**802.1p 優先度分類** 1 = ポートの Ingress パケットの 802.1p 優先度分類を有効にする 0 = 802.1p 優先度分類を無効にする	R/W	0b
1	**Diffserv 優先度分類** 1 = ポートの Ingress パケットの Diffserv 優先度分類を有効にする 0 = Diffserv 優先度分類を無効にする	R/W	0b
0	**ACL 優先度分類** 1 = ポートの Ingress パケットの ACL 優先度分類を有効にする 0 = ACL 優先度分類を無効にする	R/W	0b

5.2.7.3 ポート Ingress MAC 制御レジスタ

アドレス : 0xN802 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**ユーザ優先度の上限** 1 = パケットの「ユーザ優先度フィールド」がポート既定値タグレジスタの「ユーザ優先度フィールド」を上回る場合、パケットのユーザ優先度フィールドをポート既定値タグ 0 レジスタのポート既定値タグのユーザ優先度フィールドと置き換える 0 = このポートのユーザ優先度フィールドを置き換えない	R/W	0b
6:5	**予約済み**	RO	0b
4	**タグなしパケットの破棄** ホストポートでは、このビットは 0 のままにする必要があります。 1 = このポートの IEEE 802.1Q タグを持たない全ての Ingress パケットを破棄する 0 = 破棄しない	R/W	0b
3	**タグ付きパケットの破棄** 1 = このポートのIEEE 802.1Qタグを持つ全てのIngressパケットを破棄する 0 = 破棄しない	R/W	0b
2:0	**ポート既定値優先度分類** Diffserv 分類、802.1p 分類、VLAN 分類が無効の場合、または分類に失敗する場合、このポートの Ingress パケットをここで指定する優先度で分類します。取り得る値は 0 ～ 7 です。	R/W	000b

5.2.7.4 ポート認証制御レジスタ

アドレス : 0xN803 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:3	**予約済み**	RO	0000_0b
2	**アクセス制御リスト (ACL) イネーブル** 1 = この機能を有効にする 0 = この機能を無効にする	R/O	0b
1:0	**認証モード** 00 = 転送モード : 認証を無効にする (ACL が有効な場合、ACL ルールを持たない全てのトラフィックを転送します。それ以外の場合、ACL 動作を適用します。) 01 = ブロックモード : 認証を有効にする (ACL が有効な場合、ACL ルールを持たない全てのトラフィックをブロックします。それ以外の場合、ACL 動作を適用します。) 10 = トラップモード : 認証を有効にする (全てのトラフィックをホストポートに転送します。ACL が有効な場合、ACL ルールを持たない全てのトラフィックをブロックします。それ以外の場合、ACL 動作を適用します。) 11 = 予約済み	R/W	00b

5.2.7.5 ポートポインタ レジスタ

アドレス : 0xN804 ～ 0xN807 サイズ : 32 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
31:19	**予約済み**	RO	0x0000
18:16	**ポート インデックス** 3 つのポートの間接割り当て位置を指定するのに使います。	R/W	000b
15:2	**予約済み**	RO	0x0000
1:0	**キューポインタ** 4 つのキューの間接割り当て位置を指定するのに使います。	R/W	00b

© 2018 Microchip Technology Inc.

5.2.7.6 キューに対するポート優先度割り当てレジスタ

アドレス : 0xN808 ～ 0xN80B サイズ : 32 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
31:28	再生成した優先度 7 の優先度 (キュー) 値です。 上位 2 ビットは予約済みです。	R/W	xx11b
27:24	再生成した優先度 6 の優先度 (キュー) 値です。 上位 2 ビットは予約済みです。	R/W	xx11b
23:20	再生成した優先度 5 の優先度 (キュー) 値です。 上位 2 ビットは予約済みです。	R/W	xx10b
19:16	再生成した優先度 4 の優先度 (キュー) 値です。 上位 2 ビットは予約済みです。	R/W	xx10b
15:12	再生成した優先度 3 の優先度 (キュー) 値です。 上位 2 ビットは予約済みです。	R/W	xx01b
11:8	再生成した優先度 2 の優先度 (キュー) 値です。 上位 2 ビットは予約済みです。	R/W	xx01b
7:4	再生成した優先度 1 の優先度 (キュー) 値です。 上位 2 ビットは予約済みです。	R/W	xx00b
3:0	再生成した優先度 0 の優先度 (キュー) 値です。 上位 2 ビットは予約済みです。	R/W	xx00b

5.2.7.7 ポートポリシング制御レジスタ

アドレス : 0xN80C ～ 0xN80F サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
31:12	**予約済み**	RO	0x00000
11	**ドロップされた色** 1 = 色パケット PMON は、その色のドロップされたパケットを保持する 0 = 色パケット PMON は、その色の全てのパケットを保持する	R/W	0b
10	**全てをドロップ** 1 = PM WRED で最大しきい値を上回っている限り、全てのパケットをドロップする 0 = WRED_PM_PROB_MULTIPLIER に基づいてパケットをドロップする	R/W	0b
9:8	**パケットタイプ** ポート インデックスで指定したポートのキューポインタからの接続のために読み出す PMON パケットタイプです。 11 = WRED_PMON は、読み出し中の赤パケット数を保持する 10 = WRED_PMON は、読み出し中の黄パケット数を保持する 01 = WRED_PMON は、読み出し中の緑パケット数を保持する 00 = WRED_PMON は、読み出し中にドロップされたパケット数を保持する	R/W	00b
7	**ポートベースのポリシング** 1 = ポリシングをポートおよびキューごとに行う 0 = ポリシングをキューごとのみで行う (ポート インデックス = 0 は、各キューに対して集合 CIR、PIR を設定するのに使います。)	R/W	0b
6:5	**NONDSCP_COLOR** 色認識のための非 IP フレームの色です。	R/W	01b
4	**色マーカイネーブル** 1 = DSCP 色マーカを有効にする 0 = DSCP 色マーカを無効にする	R/W	0b
3	**色再割り当てイネーブル** 1 = DSCP 色再割り当てを有効にし、色認識する 0 = DSCP 色再割り当てを無効にし、DSCP 色を使う	R/W	0b
2	**SRP のドロップ** 1 = WRED が有効な間、SRP パケットのドロップを許可する 0 = WRED が有効でも、SRP パケットのドロップを許可しない	R/W	0b
1	**ポリシングモード** ポリシングが有効な場合、このビットはそのキューにポリシングモードを設定します。 1 = 色を認識しない 0 = Color-Aware モード	R/W	0b
0	**ポリシング イネーブル** 1 = ポリシングと WRED を有効にする 0 = ポリシングと WRED を無効にする	R/W	0b

© 2018 Microchip Technology Inc.

5.2.8 ポート N: ポートスイッチ Egress 制御レジスタ (0xN900 ～ 0xN9FF)

5.2.8.1 ポート送信キュー インデックス レジスタ

アドレス : 0xN900 ～ 0xN903 サイズ : 32 ビット
ポート N: 1 ～ 3

このレジスタは、後続の複数のレジスタにアクセスする際に使うインデックス値を保持します。このレジスタは、アドレス 0xN903 のビット [7:0] で 8 ビットレジスタとしてアクセスできます。

ビット	説明	タイプ	既定値
31:2	**予約済み**	RO	0x00000000
1:0	**キュー インデックス** 次のキューのコンフィグレーション レジスタのキュー番号を示します。	R/W	00

5.2.8.2 ポート送信キュー PVID レジスタ

アドレス : 0xN904 ～ 0x907 サイズ : 32 ビット
ポート N: 1 ～ 3

このレジスタは、アドレス 0xN903 のビット [7:0] で 8 ビットレジスタとしてアクセスできます。

ビット	説明	タイプ	既定値
31:1	**予約済み**	RO	0x00000000
0	**ポート VID の置き換え** 1 = ゼロ以外の VLAN ID を持つ Egress パケットの場合、その VID を、ポート既定値タグ 0 レジスタとポート既定値タグ 1 レジスタのポートの既定値 VID と置き換える (二重タギングが有効な場合、ISP タグの ID を置き換えます。) 0 = VID を置き換えない	R/W	0b

5.2.8.3 ポート送信キュー制御 0 レジスタ

アドレス : 0xN914 サイズ : 8 ビット
ポート N: 1 ～ 3

このレジスタは索引付けされます。設定はキューおよびポートごとに適用します。このレジスタにアクセスする前にポート送信キュー インデックス レジスタのターゲットキュー番号を指定します。

ビット	説明	タイプ	既定値
7:6	**スケジューラ モード** 2 つまたは 4 つの送信キューを有効にする場合、Egress のスケジューリング方法を設定します。 00 = 絶対優先 (キュー 3 の全てのパケットは、それより小さい番号のキューのパケットの前に送信します。キュー 2 の全てのパケットは、それより小さい番号のキューのパケットの前に送信します (以下同様)。) 10 = 重み付きラウンドロビン (WRR)(キューで索引付けされたポート送信キュー制御 1 レジスタの重み付けの値に従って、次のキューを処理する前に、制限された数のパケットをキューから送信します。全てのキューを順番に処理します。) 01、11 = 予約済み	R/W	10b
5:4	**シェーパーモード** 使用する Egress トラフィック シェーパーを決定します。 00 = シェーピングしない 01 = AVB 向け IEEE 802.1Qav で定義されたクレジットベース シェーパー (CBS) 10 = 予約済み 11 = 予約済み	R/W	00b
3:0	**予約済み**	RO	0000b

5.2.8.4 ポート送信キュー制御 1 レジスタ

アドレス : 0xN915 サイズ : 8 ビット
ポート N: 1 ～ 3

このレジスタは索引付けされます。設定は、キューおよびポートごとに適用します。このレジスタをアクセスする前にポート送信キュー インデックス レジスタのターゲットキュー番号を指定します。

ビット	説明	タイプ	既定値
7	**予約済み**	RO	0b
6:0	**WRR スケジューリングのキューの重み** 重み付きラウンドロビン (WRR) スケジューリングの間、この値は、次のキューを処理する前に特定のキューから送信できるパケット数を指定します。ポートを 1 つの Egress キューに設定している場合、これらの値は関係ありません。どのキューにも 0 を割り当ててはいけません。 例えば 4 キュー構成の場合、各キューの重みの値は 8(キュー 3)、4(キュー 2)、2(キュー 1)、1(キュー 0) です。	R/W	0000001

© 2018 Microchip Technology Inc.

5.2.8.5 ポート送信クレジット シェーパー制御 0 レジスタ

アドレス : 0xN916 ～ 0xN917 サイズ : 16 ビット
ポート N: 1 ～ 3

このレジスタは索引付けされます。設定は、キューおよびポートごとに適用します。このレジスタをアクセスする前にポート送信キュー インデックス レジスタのターゲットキュー番号を指定します。

ビット	説明	タイプ	既定値
15:0	**ポートキュー クレジット上位ウォーターマーク** シェーパー クレジット上位ウォーターマーク (バイト単位) です。	R/W	0x0534

5.2.8.6 ポート送信クレジット シェーパー制御 1 レジスタ

アドレス : 0xN918 ～ 0xN919 サイズ : 16 ビット
ポート N: 1 ～ 3

このレジスタは索引付けされます。設定は、キューおよびポートごとに適用します。このレジスタをアクセスする前にポート送信キュー インデックス レジスタのターゲットキュー番号を指定します。

ビット	説明	タイプ	既定値
15:0	**ポートキュー クレジット下位ウォーターマーク** シェーパー クレジット下位ウォーターマーク (バイト単位) です。	R/W	0x05F2

5.2.8.7 ポート送信クレジット シェーパー制御 2 レジスタ

アドレス : 0xN91A ～ 0xN91B サイズ : 16 ビット
ポート N: 1 ～ 3

このレジスタは索引付けされます。設定は、キューおよびポートごとに適用します。このレジスタをアクセスする前にポート送信キュー インデックス レジスタのターゲットキュー番号を指定します。

ビット	説明	タイプ	既定値
15:0	**ポートキュー クレジット インクリメント** シェーパー クレジットの増分 (12.5%) です。	R/W	0x2000

5.2.9 ポート N: ポートスイッチ キュー管理制御レジスタ (0xNA00 ～ 0xNAFF)

5.2.9.1 ポート制御 0 レジスタ

アドレス : 0xNA00 ～ 0xNA03 サイズ : 32 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
32:0	**TBD**		

5.2.9.2 ポート制御 1 レジスタ

アドレス : 0xNA04 ～ 0xNA03 サイズ : 32 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
31:3	**予約済み**	RO	0x0000000
2	**ポート 3 VLAN メンバーシップ** この機能は VLAN タグも VLAN テーブルも利用せず、タグベースの VLAN 機能とは無関係です。キュー管理制御 0 レジスタのビット 1 も参照してください。 1 = このポートにフレームを転送する 0 = このポートにフレームを転送しない	RO	0b
1	**ポート 2 VLAN メンバーシップ** この機能は VLAN タグも VLAN テーブルも利用せず、タグベースの VLAN 機能とは無関係です。キュー管理制御 0 レジスタのビット 1 も参照してください。 1 = このポートにフレームを転送する 0 = このポートにフレームを転送しない	RO	0b
0	**ポート 1 VLAN メンバーシップ** この機能は VLAN タグも VLAN テーブルも利用せず、タグベースの VLAN 機能とは無関係です。キュー管理制御 0 レジスタのビット 1 も参照してください。 1 = このポートにフレームを転送する 0 = このポートにフレームを転送しない	RO	0b

© 2018 Microchip Technology Inc.

5.2.10 ポート N: ポートスイッチ アドレス ルックアップ制御レジスタ (0xNB00 ～ 0xNBFF)

5.2.10.1 ポート制御 2 レジスタ

アドレス : 0xNB00 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7	**NULL VID ルックアップ イネーブル** VID = 0 のタグ付きパケットの処理方法です。 1 = 標準以外の動作。VID = 0 を使った VLAN テーブル ルックアップ 0 = 標準の動作。1 = ポートの既定値 VID(ポート既定値タグ 0 レジスタとポート既定値タグ 1 レジスタ) を使った VLAN テーブル ルックアップ	R/W	0b
6	**Ingress VLAN フィルタリング** 1 = VLAN テーブルの VID ポート メンバーシップが Ingress ポートを含まないパケットを破棄する 0 = Ingress のフィルタリングはしない	R/W	0b
5	**PVID 不一致パケットの破棄** 1 = VID が Ingress ポートの既定値 VID と一致しないパケットを破棄する 0 = VID を、ポートの既定値 VID と比較しない	R/W	0b
4	**MAC ベース 802.1X イネーブル** 1 = ルックアップ エンジンでの MAC ベース 802.1X 認証を有効にする 0 = ACL(有効な場合) のみを使って MAC ベース認証を実行する	R/W	0b
3	**自己アドレス フィルタリング – ポートイネーブル** 受信パケットの送信元アドレスをスイッチ MAC アドレス 0 レジスタ～スイッチ MAC アドレス 5 レジスタの MAC アドレスと比較し、一致があるとそのパケットをドロップします。 自己アドレス フィルタリングを有効にするには、ポート イネーブルビットとグローバル イネーブルビット (スイッチ ルックアップ エンジン制御 1 レジスタ) の両方をセットする必要があります。 1 = このポートの自己アドレス フィルタリングを有効にする 0 = このポートの自己アドレス フィルタリングを無効にする	R/W	0b
2	**予約済み**	RO	0b
1	**予約済み**	R/W	0b
0	**予約済み**	RO	0b

5.2.10.2 ポート MSTP ポインタレジスタ

アドレス : 0xNB01 サイズ : 8 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
7:3	**予約済み**	R/W	0000_0b
2:0	**MSTP ポインタ** 8 つの MSTP のいずれかを指定します。このポインタは、ポート MSTP ステートレジスタを読み書きする際の索引として使います。	R/W	000b

5.2.10.3 ポート MSTP ステートレジスタ

アドレス : 0xNB04 サイズ : 8 ビット
ポート N: 1 ～ 3

8 つの MSTP が存在するため、このレジスタを読み書きする際、ポート MSTP ポインタレジスタの MSTP ポインタを索引として使って特定の MSTP を選択します。

ビット	説明	タイプ	既定値
7:3	**予約済み**	RO	0000_0b
2	**ポート送信イネーブル** 1 = このポートでのパケット送信を有効にする 0 = このポートでのパケット送信を無効にする	R/W	1b
1	**ポート受信イネーブル** 1 = このポートでのパケット受信を有効にする 0 = このポートでのパケット受信を無効にする	R/W	1b
0	**ポート学習ディセーブル** 1 = このポートでのスイッチアドレス学習を無効にする 0 = このポートでのスイッチアドレス学習を有効にする	R/W	0b

5.2.11 ポート N: ポートスイッチ PTP 制御レジスタ (0xNC00 ～ 0xNCFF)

5.2.11.1 ポート PTP 受信レイテンシ レジスタ

アドレス : 0xNC00 ～ 0xNC01 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**PTP ポート N RX レイテンシ (ナノ秒) (PTP_RX_LATENCY[15:0])** このフィールドを使って、ポート N 配線から RX タイムスタンプ参照点までの固定の受信遅延値を設定します。既定値は 415 ns です。	R/W	0x019F

© 2018 Microchip Technology Inc.

5.2.11.2 ポート PTP 送信レイテンシ レジスタ

アドレス : 0xNC02 ～ 0xNC03 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**PTP ポート N TX レイテンシ (ナノ秒) (PTP_TX_LATENCY[15:0])** このフィールドを使って、ポート N TX タイムスタンプから配線までの固定の送信遅延値を設定します。既定値は 45 ns です。	R/W	0x002D

5.2.11.3 ポート PTP 非対称補正レジスタ

アドレス : 0xNC04 ～ 0xNC05 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15	**PTP ポート N 非対称補正符号ビット (PTP_ASYM_COR_SIGN)** 1 = このレジスタの PTP_ASM_COR フィールドの値は負である 0 = このレジスタの PTP_ASM_COR フィールドの値は正である	R/W	0b
14:0	**PTP ポート N 非対称補正 (ナノ秒) (PTP_ASYM_COR)** このフィールドを使って、Ingress の Sync と Pdelay_Resp の補正フィールドに加算するための、または Egress の Delay_Req と Pdelay_Req の補正フィールドから減算するための固定の非対称値を設定します。	R/W	0x0000

5.2.11.4 ポート PTP Egress 要求および遅延タイムスタンプ上位ワードレジスタ

アドレス : 0xNC08 ～ 0xNC09 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**PTP ポート N Egress Pdelay_Req および Delay_Req タイムスタンプ (ナノ秒) (XDLY_REQ_TS[31:16])** このフィールドは、ポート N Egress の Pdelay_Req および Delay_Req フレームのタイムスタンプ上位ワード値 (ナノ秒) を格納しています。	RO	0x0000

5.2.11.5 ポート PTP Egress 要求および遅延タイムスタンプ下位ワードレジスタ

アドレス : 0xNC0A ～ 0xNC0B サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**PTP ポート N Egress Pdelay_Req および Delay_Req タイムスタンプ (ナノ秒) (XDLY_REQ_TS[15:0])** このフィールドは、ポート N Egress の Pdelay_Req および Delay_Req フレームのタイムスタンプ下位ワード値 (ナノ秒) を格納しています。	RO	0x0000

5.2.11.6 ポート PTP Egress Sync タイムスタンプ上位ワードレジスタ

アドレス : 0xNC0C ～ 0xNC0D サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**PTP ポート N Egress Sync タイムスタンプ (ナノ秒) (SYNC_TS[31:16])** このフィールドは、ポート N Egress の Sync フレームのタイムスタンプ上位ワード値 (ナノ秒) を格納しています。	RO	0x0000

5.2.11.7 ポート PTP Egress Sync タイムスタンプ下位ワードレジスタ

アドレス : 0xNC0E ～ 0xNC0F サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**PTP ポート N Egress Sync タイムスタンプ (ナノ秒) (SYNC_TS[15:16])** このフィールドは、ポート N Egress の Sync フレームのタイムスタンプ下位ワード値 (ナノ秒) を格納しています。	RO	0x0000

5.2.11.8 ポート PTP Egress PDelay_Resp タイムスタンプ上位ワードレジスタ

アドレス : 0xNC10 ～ 0xNC11 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**PTP ポート N Egress Pdelay_Resp タイムスタンプ (ナノ秒) (PDLY_TS[31:16])** このフィールドは、ポート N Egress の Pdelay_Resp フレームのタイムスタンプ上位ワード値 (ナノ秒) を格納しています。	RO	0x0000

5.2.11.9 ポート PTP Egress PDelay_Resp タイムスタンプ下位ワードレジスタ

アドレス : 0xNC12 ～ 0xNC13 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15:0	**PTP ポート N Egress Pdelay_Resp タイムスタンプ (ナノ秒) (PDLY_TS[15:0])** このフィールドは、ポート N Egress の Pdelay_Resp フレームのタイムスタンプ下位ワード値 (ナノ秒) を格納しています。	RO	0x0000

© 2018 Microchip Technology Inc.

5.2.11.10 ポート PTP タイムスタンプ割り込みステータス レジスタ

アドレス : 0xNC14 ～ 0xNC15 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15	**ポート N Egress Sync フレーム タイムスタンプ割り込みステータス (TS_SYNC_INT_STATUS)** このビットが 1 にセットされている場合、Sync フレーム向けにポート N から Egress タイムスタンプが得られる事を示します。 このビットは、このレジスタのその他のビットと論理的に OR 演算され、その出力はポート割り込みステータス レジスタのPTP割り込みステータスビットに示されます。	R/W1C	0b
14	**ポート N Egress Pdelay_Req および Delay_Req フレーム タイムスタンプ割り込みステータス (TS_PDLY_REQ_INT_STATUS)** このビットが 1 にセットされている場合、Pdelay_Req および Delay_Req フレーム向けにポート N から Egress タイムスタンプが得られる事を示します。 このビットは、このレジスタのその他のビットと論理的に OR 演算され、その出力はポート割り込みステータス レジスタのPTP割り込みステータスビットに示されます。	R/W1C	0b
13	**ポート N Egress Pdelay_Resp フレーム タイムスタンプ割り込みステータス (TS_PDLY_RESP_INT_STATUS)** このビットが 1 にセットされている場合、Pdelay_Resp フレーム向けにポート N から Egress タイムスタンプが得られる事を示します。 このビットは、このレジスタのその他のビットと論理的に OR 演算され、その出力はポート割り込みステータス レジスタのPTP割り込みステータスビットに示されます。	R/W1C	0b
12:0	**予約済み**	RO	0x000

5.2.11.11 ポート PTP タイムスタンプ割り込みイネーブル レジスタ

アドレス : 0xNC16 ～ 0xNC17 サイズ : 16 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
15	**ポート N Egress Sync フレーム タイムスタンプ割り込みイネーブル (TS_SYNC_INT_ENB)** このビットを 1 にセットすると、Sync フレーム向けにポート N からの Egress タイムスタンプ割り込みが有効になります。 このビットは、このレジスタのその他のビットと論理的に OR 演算され、その出力はポート割り込みマスクレジスタの PTP 割り込みイネーブルビットに示されます。	R/W	0b
14	**ポート N Egress Pdelay_Req および Delay_Req フレーム タイムスタンプ割り込みイネーブル (TS_PDLY_REQ_INT_ENB)** このビットを 1 にセットすると、Pdelay_Req および Delay_Req フレーム向けにポート N からの Egress タイムスタンプ割り込みが有効になります。 このビットは、このレジスタのその他のビットと論理的に OR 演算され、その出力はポート割り込みマスクレジスタの PTP 割り込みイネーブルビットに示されます。	R/W	0b
13	**ポート N Egress Pdelay_Resp フレーム タイムスタンプ割り込みイネーブル (TS_PDLY_RESP_INT_ENB)** このビットを 1 にセットすると、Pdelay_Resp フレーム向けにポート N からの Egress タイムスタンプ割り込みが有効になります。 このビットは、このレジスタのその他のビットと論理的に OR 演算され、その出力はポート割り込みマスクレジスタの PTP 割り込みイネーブルビットに示されます。	R/W	0b
12:0	**予約済み**	RO	0x000

5.2.11.12 ポート PTP リンク遅延レジスタ

アドレス : 0xNC18 ～ 0xNC1B サイズ : 32 ビット
ポート N: 1 ～ 3

ビット	説明	タイプ	既定値
31:0	**PTP ポート N リンク遅延 (ナノ秒)** このレジスタを使って、ポート N とリンクパートナー ポートの間のリンク遅延値を設定します。	R/W	0x0000_0000

© 2018 Microchip Technology Inc.

5.3 各種のテーブルと MIB カウンタ (間接アクセス)

間接アドレスとデータレジスタを使って、以下の各種のテーブルとカウンタにアクセスします。

- アドレス ルックアップ (ALU) テーブル
- 静的アドレステーブル
- 予約済みマルチキャスト アドレステーブル
- VLAN テーブル
- アクセス制御リスト (ACL) テーブル
- MIB (Management Information Base) カウンタ

5.3.1 アドレス ルックアップ (ALU) テーブル

アドレス ルックアップ テーブルは、MAC アドレス検索に使う 3 つのテーブルのうちの最大のものです。このテーブルは、MAC アドレスの動的エントリと静的エントリの両方をサポートしています。宛先アドレス (DA) 検索に対応して、全てのテーブルを検索し、転送するパケットを決定します。送信元アドレス (SA) 検索に対応して、この ALU テーブルのみを検索し、動的エントリのエージング、マイグレーション、学習を実行します。

静的アドレスエントリを静的アドレステーブルに書き込む事を推奨します。静的アドレステーブルがフルになると、追加の静的アドレスエントリが ALU テーブルに書き込まれます。静的エントリはエージング処理されません。

この ALU テーブルと静的アドレステーブルのどちらの静的 DA 検索の結果も、動的 DA 検索の結果に優先します。

この ALU テーブルは、1K バケットを備えた合計 4K エントリの 4 way アソシエティブ メモリです。通常動作では、MAC アドレス (と任意で FID) はハッシュ値に変換され、10 ビット索引が生成されます。この 10 ビット索引は最大 4 エントリのバケットを指定します。しかし、各バケット内のエントリを個別にアドレス指定する事はできません。バケットが格納する有効なエントリが 3 つ以下の場合、新規エントリがバケットに追加されます。4 つの有効なエントリでバケットがフルになると、新規エントリは、最後に使われてから最も長い時間使われていない動的エントリを上書きします。

バケットが 2 つまたは 3 つの静的エントリを格納している場合、そのバケットに静的エントリを追加すると、フル直前割り込みが生成されます (アドレス ルックアップ テーブル割り込みレジスタ、グローバル割り込みステータス レジスタ参照)。割り込みが生成されると、アドレス ルックアップ テーブルエントリ インデックス 0 レジスタのビット [11:0] を読み出すために、新規静的エントリの 12 ビットの絶対アドレスが使えるようになります。

4 つの静的エントリでバケットがフルになると、追加の静的エントリを書き込もうとしても失敗し、書き込み失敗割り込みが生成されます。割り込みが生成されると、アドレス ルックアップ テーブルエントリ インデックス 0 レジスタのビット [9:0] を読み出すために、フルバケットの 10 ビットの索引が使えるようになります。

バケットに 4 つの静的エントリが格納されても、動的エントリは学習されません。その場合、学習失敗割り込みが生成されます。割り込みが生成されると、アドレス ルックアップ テーブルエントリ インデックス 1 レジスタのビット [9:0] を読み出すために、フルバケットの 10 ビットの索引が使えるようになります。

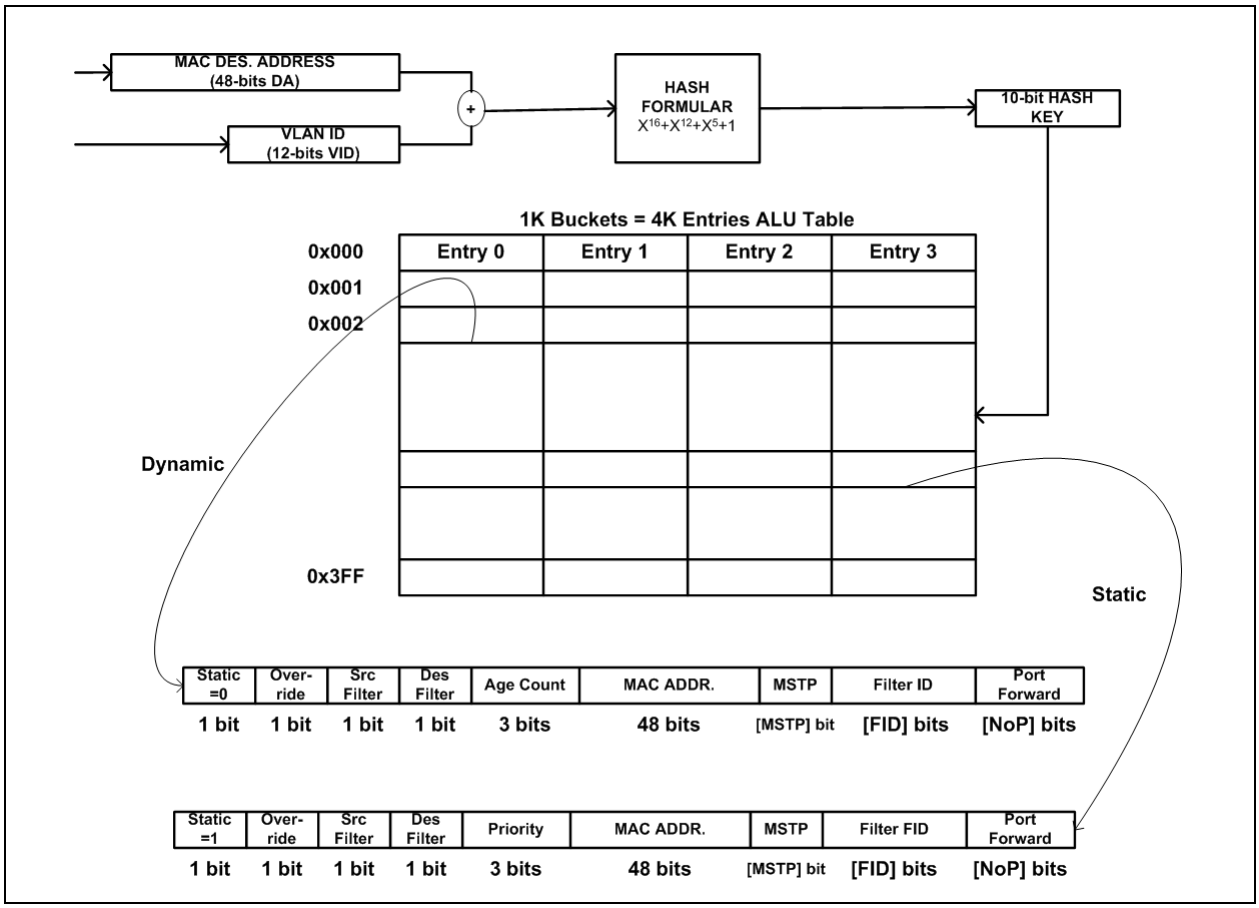
このテーブルには、ALU テーブルレジスタを使って間接的にアクセスします。

- ALU テーブル インデックス 0 レジスタ
- ALU テーブル インデックス 1 レジスタ
- ALU テーブルアクセス制御レジスタ
- ALU テーブルエントリ 1 レジスタ
- ALU テーブルエントリ 2 レジスタ
- ALU テーブルエントリ 3 レジスタ
- ALU テーブルエントリ 4 レジスタ

全ての静的および動的エントリが読み出し可能ですが、書き込みは静的エントリのみ可能です。テーブルエントリの大部分はハードウェア アドレス学習によって自動的に生成され、かつそのテーブルは 4 way アソシエティブであるため、メモリアクセスの方法には以下の 3 種類があります。

1. MAC アドレスによる検索 : Ingress パケットの転送検索に使うものと同じハッシュタグ検索回路を使います。このハッシュタグ アルゴリズムは、スイッチ ルックアップ エンジン制御 0 レジスタのハッシュ方法 (HASH_OPTION) ビットで指定します。これは通常、静的エントリを書き込む方法です (読み書き)。
2. 直接アドレス指定 (読み書き)
3. シーケンシャル検索 : 全ての有効なエントリを返します (読み出しのみ)。

図 5-3: アドレス ルックアップ テーブルの設定



5.3.1.1 アドレス ルックアップ テーブルの読み出し動作

1. ALU テーブル インデックス 0 レジスタと ALU テーブル インデックス 1 レジスタに索引を書き込む。
   a) MAC アドレスをハッシュ索引化機能に使います。これは、このテーブルの通常のアクセス機構です。
   b) VLAN が有効な場合、FID も必要です。
   c) テーブルを直接アドレス指定する場合、MAC アドレス フィールドのビット [11:0] に 12 ビットの索引が書き込まれます。
2. ALU テーブルアクセス制御レジスタに書き込む。
   a) ACTION フィールドを 10 に設定して読み出し動作を指示します。
   b) DIRECT ビットでアドレス指定方法を選択します。
   c) START_FINISH ビットをセットして動作を開始します。
3. ALU テーブルアクセス制御レジスタの読み出し / ポーリングを行う。
   a) START_FINISH ビットが 0 に遷移して動作が完了した事を示します。
   b) START_FINISH が 0 になると、VALID ビットは有効なエントリが見つかったかどうかを示します。VALID ビットが「0」の場合、ステップ 4 に進む必要はありません。
   c) VALID_ENTRY_OR_SEARCH_END ビットは、START_FINISH ビットと VALID ビットの集合体です。複数のビットのポーリングが実用的でない場合、インバンド管理 (IBA) でレジスタにアクセスする際に使う事を目的としたものです。
4. ALU テーブルエントリ 1 レジスタ、ALU テーブルエントリ 2 レジスタ、ALU テーブルエントリ 3 レジスタ、ALU テーブルエントリ 4 レジスタから戻ったテーブルエントリの内容を読み出す (有効なエントリが戻らない場合、これらのレジスタはオール 0 になります)。

© 2018 Microchip Technology Inc.

5.3.1.2 アドレス ルックアップ テーブルの検索動作

アドレス ルックアップ テーブルにアクセスする 2 番目の方法は、検索動作によるものです。テーブル全体を順次検索し、有効なエントリを全て明らかにします。無効アドレスエントリをスキップする事でテーブル全体を効率的に検索できます。ALU テーブルアクセス制御レジスタの START_FINISH ビットをセットするとテーブルの先頭から検索が始まります。このビットは、検索が完了するとクリアされます。検索が始まると ALU テーブルアクセス制御レジスタの VALID ビットはクリアされます。VALID ビットは、見つかった有効エントリが ALU テーブル エントリレジスタ (0x0420 ～ 0x042F) 内で利用できるかどうかを示します。最後の ALU テーブル エントリレジスタ (ALU テーブルエントリ 4 レジスタ) を読み出した後、自動的にアドレステーブル内の次の有効エントリの検索を続行します。テーブル内の全ての有効エントリが戻るまで、START_FINISH ビットはセットされたままです。この検索は ALU テーブルアクセス制御レジスタの START_FINISH ビットを 0 にクリアする事でいつでも停止できます。

1. ALU テーブルアクセス制御レジスタに書き込む。
   a) ACTION フィールドを 11 に設定して検索動作を指示します。
   b) START_FINISH ビットをセットして動作を開始します。
2. VALID ビットがセットされるまでポーリングします。
   a) SPI でも I^2C でもなくインバンド管理 (IBA) でレジスタにアクセスする場合、代わりに VALID_ENTRY_OR_SEARCH_END をポーリングします。このビットは High に遷移する事で、新規有効エントリの戻りまたは検索の完了を示します。
3. ALU テーブルエントリ 1 レジスタ、ALU テーブルエントリ 2 レジスタ、ALU テーブルエントリ 3 レジスタ、ALU テーブルエントリ 4 レジスタから、この順序でエントリを読み出す。
   a) 検索が終了し、読み出す有効エントリが他にない場合、これらのレジスタはオール 0 を戻します。その場合、ステップ 5 に進みます。
4. START_FINISH = 0 の場合、ステップ 5 に進む。それ以外の場合、ステップ 2 に進む。
5. VALID_COUNT を読み出し、有効エントリ数を確認する。

5.3.1.3 アドレス ルックアップ テーブルの書き込み動作

1. 読み出し動作を実行し、現在のエントリの内容を取得する (その値は ALU テーブルエントリ 1 レジスタ、ALU テーブルエントリ 2 レジスタ、ALU テーブルエントリ 3 レジスタ、ALU テーブルエントリ 4 レジスタに保存されます)。
2. 必要に応じて現在のエントリを変更する。エントリがエージング処理されないように STATIC ビットをセットする。
3. ALU テーブルアクセス制御レジスタに書き込む。
   a) ACTION フィールドを 01 に設定して書き込み動作を指示します。
   b) DIRECT ビットでアドレス指定方法を選択します。
   c) START_FINISH ビットをセットして動作を開始します。

5.3.1.4 ALU テーブルエントリ 1 レジスタ

アドレス : 0x0420 ～ 0x0423 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31	**静的 (STATIC)** 1 = エントリは静的であり、ホストプロセッサによって更新される。エージング処理されない 0 = エントリは動的に学習され、エージング処理される	R/W	0b
30	**SRC フィルタ** 1 = 送信元アドレス学習中に送信元アドレスが一致すると、パケットをドロップする 0 = 送信元アドレスが一致してもドロップしない	R/W	0b
29	**DES フィルタ** 1 = 検索中に宛先アドレスが一致すると、パケットをドロップする 0 = 宛先が一致してもドロップしない	R/W	0b
28:26	**優先度 (PRIORITY)** (静的エントリ用) エージング カウント (AGE COUNT) (動的エントリ用) >0 = 前回のエージング プロセス以来、エントリはアクセスまたは学習された (エントリが学習またはアクセスされるたびに既定値がリロードされます。エージング プロセスの間、この値はデクリメントされます。) 0 = 前回のエージング プロセス以来、エントリはアクセスも学習もされていない (エントリが静的でない場合、そのエントリは無効です。)	R/W	0_00b
25:3	**予約済み**	RO	0x000000
2:0	**MSTP** 一致のための MSTP (Multiple Spanning Tree Protocol) グループ ID です。	R/W	000b

5.3.1.5 ALU テーブルエントリ 2 レジスタ

アドレス : 0x0424 ～ 0x0427 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31	**オーバーライド (OVERRIDE)** 1 = ポートのステートのオーバーライドを有効にする 0 = 有効にしない	R/W	0b
30:3	**予約済み**	RO	0x000000
2	**ポート 3 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b
1	**ポート 2 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b
0	**ポート 1 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b

© 2018 Microchip Technology Inc.

5.3.1.6 ALU テーブルエントリ 3 レジスタ

アドレス : 0x0428 ～ 0x042B サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:23	**予約済み**	RO	0x000
22:16	**フィルタ ID (FILTER ID)** 一致のための VLAN グループ ID です。	R/W	000_0000
15:0	**MAC アドレス (MAC ADDRESS) [47:32]**	R/W	0x0000

5.3.1.7 ALU テーブルエントリ 4 レジスタ

アドレス : 0x042C ～ 0x042F サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:0	**MAC アドレス (MAC ADDRESS) [31:0]**	R/W	0x00000000

5.3.2 静的アドレステーブル

静的アドレステーブルは、MAC アドレス検索に使う 3 つのテーブルのうちの 1 つです。このテーブルは最大 16 の静的アドレスエントリを格納できます。それにより、主に動的エントリのために使われるアドレス ルックアップ テーブルに書き込む静的エントリ数を最小化します。宛先アドレス (DA) 検索に対応して、全てのテーブルを検索して転送するパケットを決定します。このテーブル内のエントリはホストプロセッサによって書き込まれ、エージング処理されません。

このテーブルとアドレス ルックアップ テーブルのどちらの静的 DA 検索の結果も、動的 DA 検索の結果に優先します。

静的アドレステーブルは 16 のエントリを格納しており、間接的にアクセスされます。静的アドレスおよび予約済みマルチキャスト テーブル制御レジスタは索引付けと読み出し / 書き込み制御に使います。以下のレジスタはデータフィールドに使います。

- 静的アドレステーブル エントリ 1 レジスタ
- 静的アドレステーブル エントリ 2 レジスタ
- 静的アドレステーブル エントリ 3 レジスタ
- 静的アドレステーブル エントリ 4 レジスタ

5.3.2.1 静的アドレステーブルの書き込み動作

1. テーブルエントリの内容を静的アドレステーブル エントリ 1 レジスタ、静的アドレステーブル エントリ 2 レジスタ、静的アドレステーブル エントリ 3 レジスタ、静的アドレステーブル エントリ 4 レジスタに書き込む。
2. 静的アドレスおよび予約済みマルチキャスト テーブル制御レジスタに書き込む。
   a) 4 ビットのインデックス値で TABLE_INDEX フィールドを書き込みます。
   b) TABLE_SELECT ビットを 0 にクリアして静的アドレステーブルを選択します。
   c) ACTION ビットを 0 にクリアして書き込み動作を指示します。
   d) START_FINISH ビットを 1 にセットして動作を開始します。
3. 動作が完了すると START_FINISH ビットは自動的にクリアされる。

5.3.2.2 静的アドレステーブルの読み出し動作

1. 静的アドレスおよび予約済みマルチキャスト テーブル制御レジスタに書き込む。
   a) 4 ビットのインデックス値で TABLE_INDEX フィールドを書き込みます。
   b) TABLE_SELECT ビットを 0 にクリアして静的アドレステーブルを選択します。
   c) ACTION ビットを 1 にセットして読み出し動作を指示します。

d) START_FINISH ビットを 1 にセットして動作を開始します。

2. 動作が完了すると START_FINISH ビットは自動的にクリアされる。
   a) 静的アドレステーブル エントリ 1 レジスタ、静的アドレステーブル エントリ 2 レジスタ、静的アドレステーブル エントリ 3 レジスタ、静的アドレステーブル エントリ 4 レジスタから索引付けされたエントリの内容を読み出します。

5.3.2.3 静的アドレステーブル エントリ 1 レジスタ

アドレス : 0x0420 ～ 0x0423 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31	**有効 (VALID)** 1 = エントリは有効である 0 = エントリは無効である	R/W	0b
30	**SRC フィルタ** 1 = 送信元アドレス学習中に送信元アドレスが一致すると、パケットをドロップする 0 = 送信元アドレスが一致してもドロップしない	R/W	0b
29	**DES フィルタ** 1 = 検索中に宛先アドレスが一致すると、パケットをドロップする 0 = 宛先が一致してもドロップしない	R/W	0b
28:26	**優先度 (PRIORITY)**	R/W	0_00b
25:3	**予約済み**	RO	0x000000
2:0	**MSTP** 一致のための MSTP (Multiple Spanning Tree Protocol) グループ ID です。	R/W	000b

5.3.2.4 静的アドレステーブル エントリ 2 レジスタ

アドレス : 0x0424 ～ 0x0427 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31	**オーバーライド (OVERRIDE)** 1 = ポートステートのオーバーライドを有効にする 0 = 有効にしない	R/W	0b
30	**FID 使用 (USE FID)** 一致のためのマルチキャスト パケットに FID を使います。	R/W	0b
29:3	**予約済み**	RO	0x000000
2	**ポート 3 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b
1	**ポート 2 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b
0	**ポート 1 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b

© 2018 Microchip Technology Inc.

5.3.2.5 静的アドレステーブル エントリ 3 レジスタ

アドレス : 0x0428 ～ 0x042B サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:23	**予約済み**	RO	0x000
22:16	**フィルタ ID (FILTER ID)** 一致のための VLAN グループ ID です。	R/W	000_0000b
15:0	**MAC アドレス (MAC ADDRESS) [47:32]**	R/W	0x0000

5.3.2.6 静的アドレステーブル エントリ 4 レジスタ

アドレス : 0x042C ～ 0x042F サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:0	**MAC アドレス (MAC ADDRESS) [31:0]**	R/W	0x00000000

5.3.3 予約済みマルチキャスト アドレステーブル

予約済みマルチキャスト アドレステーブルは、48 の特定のマルチキャスト アドレスに対する転送ポートを決定します。このテーブルはマルチキャスト アドレスの下位 6 ビットでアドレス指定されます。このテーブルは転送するデバイスポートを示すビット (PORT FORWARD フィールド) を格納しています。このテーブルは、表 4-6 の第 1 列のグループ番号ではアドレス指定されません。48 のアドレスは 8 つの固定グループに分類されており、1 つのアドレスの転送ポートを変更すると、同じグループのその他の全てのアドレスも同様に変更される事に注意する必要があります。

予約済みマルチキャスト テーブルは、静的アドレステーブルと同じ方法、同じ間接アクセスレジスタを使ってアクセスします。静的アドレスおよび予約済みマルチキャスト テーブル制御レジスタは索引付けと読み出し / 書き込み制御に使い、予約済みマルチキャスト アドレステーブル エントリ 2 レジスタはデータフィールドに使います。

5.3.3.1 予約済みマルチキャスト テーブルの書き込み動作

1. 予約済みマルチキャスト アドレステーブル エントリ 2 レジスタに PORT FORWARD 値を書き込む。
2. 静的アドレスおよび予約済みマルチキャスト テーブル制御レジスタに書き込む。
   a) 6 ビットのインデックス値で TABLE_INDEX フィールドを書き込みます。
   b) TABLE_SELECT ビットを 1 にセットして予約済みマルチキャスト テーブルを選択します。
   c) ACTION ビットを 0 にクリアして書き込み動作を指示します。
   d) START_FINISH ビットを 1 にセットして動作を開始します。
3. 動作が完了すると START_FINISH ビットは自動的にクリアされる。

5.3.3.2 予約済みマルチキャスト テーブルの読み出し動作

1. 静的アドレスおよび予約済みマルチキャスト テーブル制御レジスタに書き込む。
   a) 6 ビットのインデックス値で TABLE_INDEX フィールドを書き込みます。
   b) TABLE_SELECT ビットを 1 にセットして予約済みマルチキャスト テーブルを選択します。
   c) ACTION ビットを 1 にセットして読み出し動作を指示します。
   d) START_FINISH ビットを 1 にセットして動作を開始します。
2. 動作が完了すると START_FINISH ビットは自動的にクリアされる。
   a) 予約済みマルチキャスト アドレステーブル エントリ 2 レジスタから索引付けされたエントリの内容を読み出します。

5.3.3.3 予約済みマルチキャスト アドレステーブル エントリ 2 レジスタ

アドレス : 0x0424 ～ 0x0427 サイズ : 32 ビット

ビット	説明	タイプ	既定値
31:30	**予約済み**	R/W	00b
29:3	**予約済み**	RO	0x000000
2	**ポート 3 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b
1	**ポート 2 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b
0	**ポート 1 転送** 1 = このポートに転送する 0 = このポートに転送しない	R/W	0b

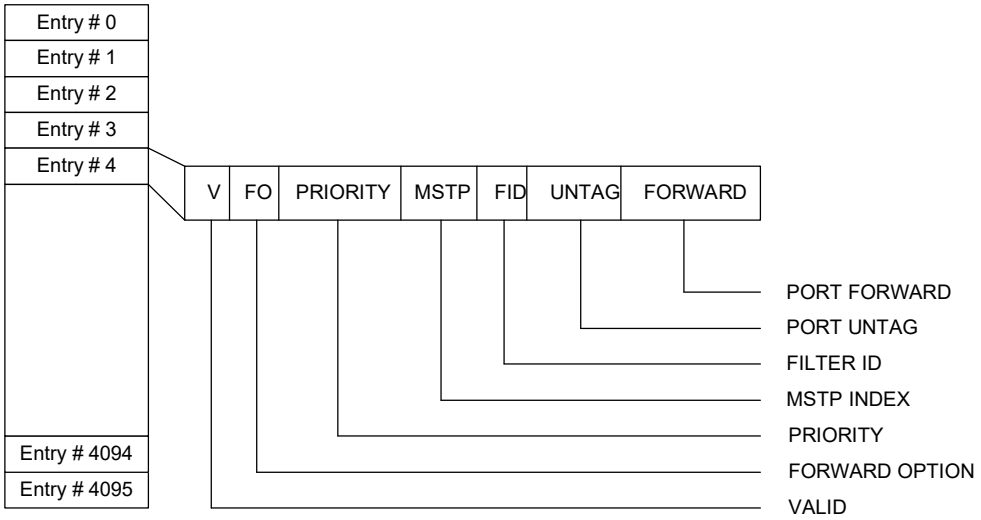
5.3.4 VLAN テーブル

内部 VLAN テーブルは VLAN 検索に使います。802.1Q VLAN モードが有効 (スイッチ ルックアップ エンジン制御 0 レジスタ) な場合、このテーブルを使って Ingress パケットに関連する VLAN 情報を取得します。このテーブルは 4096 のエントリ (VLAN ごとに 1 つ) を保持します。802.1Q VLAN を有効にする前にこのテーブルを設定する必要があります。VLAN テーブルは、以下の間接レジスタを使って一度に 1 つのエントリをアクセスします。

- VLAN テーブルエントリ 0 レジスタ
- VLAN テーブルエントリ 1 レジスタ
- VLAN テーブルエントリ 2 レジスタ
- VLAN テーブル インデックス レジスタ
- VLAN テーブルアクセス制御レジスタ

図 5-4 と表 5-4 に、このテーブルのデータフィールドを示します。

図 5-4: VLAN テーブルの構成



© 2018 Microchip Technology Inc.

表 5-4: VLAN テーブルのデータフィールド

フィールド	サイズ (ビット)	説明
有効 (VALID)	1	1 の場合、テーブルエントリが有効である事を示します。
転送オプション (FORWARD OPTION)	1	1 の場合、VLAN ポートテーブル (PORT FORWARD フィールド) に転送します。 0 の場合、詳細は表 4-8、「VLAN 転送」を参照してください。
優先度 (PRIORITY)	3	この VID の優先度値です。
MSTP インデックス (MSTP INDEX)	3	MSTP (Multiple Spanning Tree Protocol) の索引です。
フィルタ ID (FILTER ID)	7	フィルタ ID 値です。この値を宛先アドレスと組み合わせてハッシュ値に変換し、アドレス ルックアップ テーブルに索引付けします。
ポートアンタグ (PORT UNTAG)	7 (1 ビット / ポート)	1 の場合、その Egress ポートでタグを外します。 0 の場合、タグを外しません。 Note: ポート 1 は LSb、次はポート 2 です (以降同様)。ビット 4 ～ 7 は予約済みです。
ポート転送 (PORT FORWARD)	7 (1 ビット / ポート)	VLAN のポート メンバーシップ リストです。ポート 1 に対応する LSb をはじめとして、各ポートに 1 ビットが割り当てられています。 ビット値が 1 の場合、対応するポートが、その VID のポート メンバーシップ リストに含まれている事を示します。 0 の場合、そのポートは含まれていません。 Note: ポート 1 は LSb、次はポート 2 です (以降同様)。ビット 4 ～ 7 は予約済みです。

5.3.4.1 VLAN テーブル書き込み動作

1. 図 5-4 と表 5-4 に示すように、データフィールドを設定するために VLAN テーブルエントリ 0 レジスタ、VLAN テーブルエントリ 1 レジスタ、VLAN テーブルエントリ 2 レジスタに書き込む。
2. VLAN テーブル インデックス レジスタの VLAN インデックス値を書き込む (VLAN インデックス値は、テーブルエントリを選択するための 12 ビットの索引 (アドレス) です。この値は、検索中にテーブルに索引付けする VID と等価です)。
3. VLAN テーブルアクセス制御レジスタを設定して書き込み動作を指定し、「VLAN テーブル動作開始」(ビット 7) をセットする。動作が完了するとビット 7 は自動的にクリアされる。

5.3.4.2 VLAN テーブル読み出し動作

1. VLAN テーブル インデックス レジスタの VLAN インデックス値を書き込み、4k テーブルエントリの 1 つを選択する。
2. VLAN テーブルアクセス制御レジスタを設定して読み出し動作を指定し、「VLAN テーブル動作開始」(ビット 7) をセットする。動作が完了するとビット 7 は自動的にクリアされる。
3. VLAN テーブルエントリ 0 レジスタ、VLAN テーブルエントリ 1 レジスタ、VLAN テーブルエントリ 2 レジスタを読み出し、VLAN テーブルからの読み出し結果を取り出す。

5.3.5 アクセス制御リスト (ACL) テーブル

ACL フィルタリングは各ポートに個別に実装されています。ACL テーブルは、ポート N: ポートスイッチ ACL 制御レジスタ (0xN600 ～ 0xN6FF) を使ってアクセスします。各 ACL テーブルの 16 のエントリは、インデックス レジスタで間接的にアドレス指定します。

表 5-5 に、ACL テーブルエントリの各種フィールドのデータレジスタへの割り当て方法を示します。ポート ACL バイトイネーブル MSB レジスタとポート ACL バイトイネーブル LSB レジスタを使うと、バイトの任意の組み合わせの読み書きが可能です。これは一致ルール、動作ルール、プロセス フィールドを別々に書き込む場合に便利です。これらのバイトイネーブル レジスタは 16 ビット長であり、16 のデータレジスタ (ポート ACL アクセス 0 レジスタ～ポート ACL アクセス F レジスタ) に対応しています。イネーブルビットは、以下のように逆の順序で適用される事に注意します。

ビット 0 はポート ACL アクセス F レジスタ

ビット 1 はポート ACL アクセス E レジスタ

…

ビット 14 はポート ACL アクセス 1 レジスタ

ビット 15 はポート ACL アクセス 0 レジスタ

また、ポート ACL アクセス C レジスタは未使用で、バイト イネーブルビット 3 はドントケアです。

表 5-5: ACL フィールド レジスタの割り当て

レジスタ	ビット	MD = 01 ENB = 00 カウントモード	MD = 01 ENB ≠ 00	MD = 10	MD = 11
0xN600	7:4	予約済み			
	3:0	プロセス フィールド : FRN[3:0]			
0xN601	7:6	予約済み			
	5:4	MD[1:0]			
	3:2	ENB[1:0]			
	1	S/D			
	0	EQ			
0xN602	7:0	MAC ADDRESS[47:0]		IP ADDRESS[31:0]	MAX PORT[15:0]
0xN603	7:0				
0xN604	7:0				MIN PORT[15:0]
0xN605	7:0				
0xN606	7:3			IP MASK[31:0]	予約済み
	2:1				PC[1:0]
	0				PRO[7:0]
0xN607	7:1				
	0				FME
0xN608	7:0	TYPE[15:0]			FMSK[7:0]
0xN609	7:0				FLAG[7:0]
0xN60A	7:6	COUNT[10:3]	動作 (ACTION) ルール : PM[1:0]		
	5:3		動作 (ACTION) ルール : P[2:0]		
	2		動作 (ACTION) ルール : RPE		
	1:0		動作 (ACTION) ルール : RP[2:1]		
0xN60B	7	COUNT[2:0]	動作 (ACTION) フィールド : RP[0]		
	6:5		動作 (ACTION) フィールド : MM[1:0]		
	4:0	予約済み			
0xN60C	7:0	予約済み			
0xN60D	7	予約済み			
	6	TU	動作 (ACTION) フィールド : FORWARD[6:0]		
	5	CA			
	4:0	予約済み			
0xN60E	7:0		プロセス フィールド : RuleSet[15:8]		
0xN60F	7:0		プロセス フィールド : RuleSet[7:0]		

5.3.5.1 ACL テーブルの読み出し

1. ACL インデックス フィールドのテーブルエントリ番号 (0 ～ 15) をポート ACL アクセス制御 0 レジスタに書き込み、「書き込み/読み出し」(ビット4)を0にクリアする(ビット4に1を書き込むと読み出し動作を開始します)。
2. ポート ACL アクセス制御 0 レジスタの「読み出しステータス」ビットをポーリングし、読み出し動作が完了したかどうかを調べる。
3. 動作が完了すると、ポートACLアクセス0レジスタ～ポートACLアクセスFレジスタからデータを取得できる。

© 2018 Microchip Technology Inc.

5.3.5.2 ACL テーブルの書き込み

1. ポート ACL アクセス 0 レジスタ～ポート ACL アクセス F レジスタに ACL テーブルエントリ値を書き込む。
2. ポート ACL バイトイネーブル MSB レジスタとポート ACL バイトイネーブル LSB レジスタに書き込み、ACL テーブルに書き込むレジスタ (ポート ACL アクセス 0 レジスタ～ポート ACL アクセス F レジスタ) を選択する。
3. ACL インデックス フィールドのテーブルエントリ番号をポート ACL アクセス制御 0 レジスタに書き込み、「書き込み / 読み出し」(ビット 4) を 1 にセットする (ビット 4 に 1 を書き込むと書き込み動作を開始します)。
4. ポート ACL アクセス制御 0 レジスタの「書き込みステータス」ビットをポーリングし、動作が完了したかどうかを調べる。

5.3.6 MIB (Management Information Base) カウンタ

各ポートは 36 の MIB カウンタを備えています。これらのカウンタは、ネットワーク管理のため、Ingress および Egress トラフィックとイベントに関する各種統計を集めます。これらには、ポート MIB 制御およびステータス レジスタとポート MIB データレジスタを使って間接的にアクセスします。スイッチ MIB 制御レジスタは、MIB カウンタのグローバル フラッシュ / フリーズ制御を備えています。

表 5-6: MIB カウンタ

MIB インデックス	MIB カウンタ	サイズ (ビット)	説明
0x00	RxHiPriorityByte	30	RX 高優先度オクテット カウント (不良パケットを含む)
0x01	RxUndersizePkt	30	RX アンダーサイズ パケット (CRC は有効)
0x02	RxFragments	30	RX フラグメント パケット (CRC が無効、シンボルエラーまたはアラインメント エラー)
0x03	RxOversize	30	RX オーバーサイズ パケット (CRC は有効、1536 または 1522 バイトを超えるパケット)
0x04	RxJabbers	30	CRC エラー、アラインメント エラー、シンボルエラーのいずれかを含む 1522 バイトより長い RX パケット (上限は最大パケットサイズの設定によって異なる)、または 1916 バイトより長いの RX パケット
0x05	RxSymbolError	30	プリアンブルとパケットサイズは正しいが無効なデータシンボルを含む RX パケット
0x06	RxCRCerror	30	サイズが 64 ～ 1522 バイトの、バイト数が整数である CRC が無効な RX パケット (上限は最大パケットサイズの設定によって異なる)
0x07	RxAlighmentError	30	サイズが 64 ～ 1522 バイトの、バイト数が整数でない CRC が無効な RX パケット (上限は最大パケットサイズの設定によって異なる)
0x08	RxControl8808Pkts	30	EtherType フィールドの値で 0x8808 を受信した MAC 制御フレーム
0x09	RxPausePkts	30	受信した PAUSE フレーム (PAUSE は EtherType (0x8808)、DA 制御オペコード (0x0001)、データ長 (最小 64 バイト)、有効な CRC によって定義される)
0x0A	RxBroadcast	30	有効な RX ブロードキャスト パケット (無効なブロードキャスト パケットまたは有効なマルチキャスト パケットを含まない)
0x0B	RxMulticast	30	有効な RX マルチキャスト パケット (MAC 制御フレーム、無効なマルチキャスト パケット、有効なブロードキャスト パケットを含まない)
0x0C	RxUnicast	30	有効な RX ユニキャスト パケット
0x0D	Rx64Octets	30	長さが 64 バイトの RX パケット (不良パケットを含む)
0x0E	Rx65to127Octets	30	長さが 65 ～ 127 バイトの RX パケット (不良パケットを含む)
0x0F	Rx128to255Octets	30	長さが 128 ～ 255 バイトの RX パケット (不良パケットを含む)
0x10	Rx256to511Octets	30	長さが 256 ～ 511 バイトの RX パケット (不良パケットを含む)
0x11	Rx512to2023Octets	30	長さが 512 ～ 1023 バイトの RX パケット (不良パケットを含む)
0x12	Rx1024to1522Octets	30	長さが 1024 ～ 1522 バイトの RX パケット (不良パケットを含む)
0x13	Rx1523to2000Octets	30	長さが 1523 ～ 2000 バイトの RX パケット (不良パケットを含む)
0x14	Rx2001+Octets	30	長さが 2001 バイト～上限の RX パケット (不良パケットを含む)

© 2018 Microchip Technology Inc.

表 5-6: MIB カウンタ (続き)

MIB インデックス	MIB カウンタ	サイズ (ビット)	説明
0x15	TxHiPriorityByte	30	有効な TX 高優先度オクテットの数 (PAUSE パケットを含む)
0x16	TxLateCollision	30	パケットの送信から 512 ビット時間が過ぎた後で検出されたコリジョン
0x17	TxPausePkts	30	送信した PAUSE フレーム (PAUSE は EtherType (0x8808)、DA 制御オペコード (0x0001)、データ長 (最小 64 バイト)、有効な CRC によって定義される)
0x18	TxBroadcastPkts	30	有効な TX ブロードキャスト パケット (無効なブロードキャスト パケット、有効なマルチキャスト パケットを含まない)
0x19	TxMulticastPkts	30	有効な TX マルチキャスト パケット (MAC 制御フレーム、無効なマルチキャスト パケット、有効なブロードキャスト パケットを含まない)
0x1A	TxUnicastPkts	30	有効な TX ユニキャスト パケット
0x1B	TxDeferred	30	媒体がビジーであるために最初の送信試行が遅延したTXパケット
0x1C	TxTotalCollision	30	TX 総コリジョン (半二重のみ)
0x1D	TxExcessiveCollision	30	過剰なコリジョンによる送信失敗
0x1E	TxSingleCollision	30	コリジョンが 1 回でも発生すると送信が禁止される条件下で、送信に成功したフレーム
0x1F	TxMultipleCollision	30	コリジョンが複数回発生すると送信が禁止される条件下で、送信に成功したフレーム
0x80	RxByteCnt	36	RX バイトカウント
0x81	TxByteCnt	36	TX バイトカウント
0x82	RxDropPackets	30	リソース不足のために破棄された RX パケットの数
0x83	TXDropPackets	30	リソース不足のために破棄された TX パケットの数

5.3.6.1 MIB カウンタ読み出し動作

MIB カウンタを読み出すには間接アクセスレジスタを使います。ポート MIB 制御およびステータス レジスタとポート MIB データ レジスタを使って、各ポートに対してレジスタを個別にアクセスできます。全ての MIB カウンタは読み出すとクリアされます。カウンタの読み出し手順は以下の通りです。

1. ポート MIB 制御およびステータス レジスタのビット [23:16] に MIB インデックスを書き込む。
2. ポート MIB 制御およびステータス レジスタのビット 25 の「MIB 読み出しイネーブル」をセットする (この手順と直前の手順は一緒に行う事ができます)。
3. ポート MIB 制御およびステータス レジスタのビット 25 の「MIB 読み出しイネーブル / カウント有効」を読み出す (「0」の値は、読み出しが完了し、かつカウントが有効である事を示します)。
4. ポート MIB データ レジスタからカウント値を読み出す (36 ビットカウンタの場合、ポート MIB 制御およびステータス レジスタからカウンタビット [35:32] が読み出されます)。ポート MIB 制御およびステータス レジスタにはカウンタ オーバーフロー ビットもあります。

© 2018 Microchip Technology Inc.

5.3.6.2 MIB カウンタフリーズおよびフラッシュ機能

カウンタのフリーズおよびフラッシュ機能はポートごとに利用できます。カウンタのフリーズとフラッシュは、スイッチ MIB 制御レジスタの適切なビットを設定する事で開始されます。フリーズまたはフラッシュ機能は、この機能を有効にした全てのポートに適用されます。任意のポートのフラッシュとフリーズを有効にするには、ポート MIB 制御およびステータス レジスタのビット 24 をセットします。

以下の手順は、フラッシュとフリーズを使って全てのポートの 1 秒間の MIB 統計を収集する方法の一例を示します。

1. 全てのポート N に対してポート MIB 制御およびステータス レジスタのビット 24 の「MIB フラッシュおよびフリーズ イネーブル」ビットをセットする。
2. スイッチ MIB 制御レジスタに 0x40 を書き込み、全ての有効なポートの MIB カウンタをフリーズする。
3. スイッチ MIB 制御レジスタに 0xC0 を書き込み、全ての有効なポートの MIB カウンタをクリアする (カウンタのフリーズも継続する)。
4. 1 秒間の初めに、スイッチ MIB 制御レジスタに 0x00 を書き込みカウンタを有効にする。
5. 1 秒間の終わりに、スイッチ MIB 制御レジスタに 0x40 を書き込みカウンタをフリーズする。
6. 各ポートについてカウント値を読み出す。

5.4 MMD (MDIO Manageable Device) レジスタ (間接)

MMD レジスタは、最大 32 個の MMD デバイスアドレスへの間接読み書きアクセスを提供します。IEEE 802.3 仕様書の Clause 22 の定義に従い、各デバイスは最大 65,536 個の 16 ビットレジスタをサポートしています。しかし、KSZ9563R はレジスタのごく一部の機能だけを使います。アクセスできる MMD デバイスアドレスと、それらに関連付けられたレジスタアドレスの一覧は表 5-7、「MMD 関連のレジスタマップ」を参照してください。サポートする MMD レジスタの詳細は、以下のサブセクションで説明します。

以下の 2 つの標準ポートレジスタは、間接 MMD レジスタへアクセスするためのポータルレジスタとして機能します。

- PHY MMD 設定レジスタ
- PHY MMD データレジスタ

表 5-7: MMD 関連のレジスタマップ

デバイスアドレス (16 進数)	レジスタアドレス (16 進数)	説明
2h	00h	MMD LED モードレジスタ
7h	3Ch	MMD EEE アドバタイズメント レジスタ

例 : MMD レジスタの書き込み

MMD - デバイスアドレス 2h/ レジスタ 00h に 0010h を書き込む事により、シングル LED モードを有効にします。

1. PHY MMD 設定レジスタに 0002h を書き込む // MMD – デバイスアドレス 2h 向けにレジスタアドレスを設定する
2. PHY MMD データレジスタに 0000h を書き込む // MMD – デバイスアドレス 2h のレジスタ 00h を選択する
3. PHY MMD 設定レジスタに 4002h を書き込む // MMD – デバイスアドレス 2h/ レジスタ 00h のレジスタデータを選択する
4. PHY MMD データレジスタに 0010h を書き込む // MMD – デバイスアドレス 2h/ レジスタ 00h に値 0010h を書き込む

例 : MMD レジスタ読み出し

MMD - デバイスアドレス 2h/ レジスタ 11h ～ 13h から LED モードステータスを読み出します。

1. PHY MMD 設定レジスタに 0002h を書き込む // MMD – デバイスアドレス 2h 向けにレジスタアドレスを設定する
2. PHY MMD データレジスタに 0000h を書き込む // MMD – デバイスアドレス 2h のレジスタ 00h を選択する
3. PHY MMD 設定レジスタに 4002h を書き込む // MMD – デバイスアドレス 2h/ レジスタ 00h のレジスタデータを選択する
4. PHY MMD データレジスタを読み出す // MMD – デバイスアドレス 2h/ レジスタ 00h 内のデータを読み出す

5.4.1 MMD LED モードレジスタ

MMD アドレス : 0x02　　サイズ : 16 ビット
レジスタ : 0x00

ビット	説明	タイプ	既定値
15:5	**予約済み**	RO	0x000
4	**LED モード** 1 = シングル LED モード 0 = Tri-Color デュアル LED モード	R/W	0b
3:0	**予約済み**	RO	0001b

5.4.2 MMD 1000Base-T EEE WakeTx タイマレジスタ

MMD アドレス : 0x03　　サイズ : 16 ビット
レジスタ : 0x0E

ビット	説明	タイプ	既定値
15:0	**1000BASE-T PMA-EEE 送信リフレッシュ WakeTx タイマ最大値** 0x0025 = 1.47 ～ 1.48 µs 0x0021 = <1.40 µs (IEEE 802.3az 仕様を満たします。) 既定値では、リフレッシュ時間はわずかに仕様範囲外になります。仕様を満たすには、値 0x0021 に設定します。 その他の値は全て予約済みです。	R/W	0x0025

5.4.3 MMD EEE アドバタイズメント レジスタ

MMD アドレス : 0x07　　サイズ : 16 ビット
レジスタ : 0x3C

ビット	説明	タイプ	既定値
15:3	**予約済み**	RO	0x000
2	**1000BASE-T EEE イネーブル** 1 = 1000 Mbps EEE に対応する 0 = 1000 Mbps EEE に対応しない	R/W	1b
1	**100BASE-T EEE イネーブル** 1 = 100 Mbps EEE に対応する 0 = 100 Mbps EEE に対応しない	R/W	1b
0	**予約済み**	RO	0b

© 2018 Microchip Technology Inc.

6.0 動作特性

6.1 絶対最大定格 *

電源電圧 (**AVDDL**、**DVDDL**) . . . . . -0.5 ～ +1.8 V
電源電圧 (**AVDDH**、**VDDIO**) . . . . . -0.5 ～ +5.0 V
入力電圧 (全入力) . . . . . –0.5 ～ +5.0 V
出力電圧 (全出力) . . . . . –0.5 ～ +5.0 V
I/O ピンの最大シンク / ソース電流 . . . . . 50 mA
ピン温度 (はんだ付け 10 秒) . . . . . +260 ℃
保管温度 (T_S) . . . . . -55 ～ +150 ℃
最高接合部温度 (T_J) . . . . . +125 ℃
ESD 耐量 . . . . . +/-6 kV (HBM)

* ここに記載した「絶対最大定格」を超える条件は、デバイスに恒久的な損傷を生じさせる可能性があります。これはストレス定格です。絶対最大定格条件を超えて長期間曝露させるとデバイスの信頼性に影響する可能性があります。セクション 6.2、「動作条件 **」、セクション 6.3、「電気的特性」、その他本仕様書の関連セクションに示す条件外でのデバイス運用は想定していません。

6.2 動作条件 **

電源電圧 (**AVDDL**、**DVDDL**) . . . . . +1.14 ～ +1.26 V
電源電圧 (**AVDDH** @ 3.3 V) . . . . . +3.135 ～ +3.465 V
電源電圧 (**AVDDH** @ 2.5 V) . . . . . +2.375 ～ +2.625 V
電源電圧 (**VDDIO** @ 3.3 V) . . . . . +3.135 ～ +3.465 V
電源電圧 (**VDDIO** @ 2.5 V) . . . . . +2.375 ～ +2.625 V
電源電圧 (**VDDIO** @ 1.8 V) . . . . . +1.71 ～ +1.89 V
動作周囲温度、無風状態 (T_A) . . . . . Note 6-1
接合部 - 大気間熱抵抗 (Θ_{JT}) (Note 6-2) . . . . . 22 ℃ /W
接合部 - ケース表面間熱抵抗 (Ψ_{JT}) (Note 6-2) . . . . . 0.1 ℃ /W
接合部 - ケース間熱抵抗 (Θ_{JC}) . . . . . 1.3 ℃ /W

Note 6-1 0 ～ +70 ℃ (商業用)、-40 ～ +85 ℃ (産業用)

Note 6-2 Ψ_{JT} と Θ_{JA} は風速が 0 m/s の場合の値です。

** このセクションに記載したレンジ内でのみデバイスの正常な動作を保証します。

6.3 電気的特性

T_A = 25 ℃

表 6-1: 電気的特性

記号	パラメータ	条件	Min.	Typ.	Max.	単位
消費電流 - 1000 Mbps 動作						
I_{DD_AH}	**AVDDH** 消費電流	**AVDDH** @ 2.5 V, **VDDIO** @ 3.3 V ポート 1 ～ 2 は 1000BASE-T ポート 3 は RGMII (1000 Mbps) 全ポート使用率 100%		140		mA
I_{DD_IO}	**VDDIO** 消費電流			35		mA
I_{DD_CA}	**AVDDL** 消費電流			190		mA
I_{DD_CD}	**DVDDL** 消費電流			250		mA
消費電流 - 1000/100 Mbps 混在動作						
I_{DD_AH}	**AVDDH** 消費電流	**AVDDH** @ 2.5 V, **VDDIO** @ 3.3 V ポート 1 ～ 2 は 100BASE-TX ポート 3 は RGMII (1000 Mbps) 全ポート使用率 100%		60		mA
I_{DD_IO}	**VDDIO** 消費電流			35		mA
I_{DD_CA}	**AVDDL** 消費電流			60		mA
I_{DD_CD}	**DVDDL** 消費電流			125		mA
消費電流 - 100 Mbps 動作						
I_{DD_AH}	**AVDDH** 消費電流	**AVDDH** @ 2.5 V, **VDDIO** @ 3.3 V ポート 1 ～ 2 は 100BASE-TX ポート 3 は MII (100 Mbps) 全ポート使用率 100%		60		mA
I_{DD_IO}	**VDDIO** 消費電流			15		mA
I_{DD_CA}	**AVDDL** 消費電流			60		mA
I_{DD_CD}	**DVDDL** 消費電流			125		mA
消費電流 - 10 Mbps 動作						
I_{DD_AH}	**AVDDH** 消費電流	**AVDDH** @ 2.5 V, **VDDIO** @ 3.3 V ポート 1 ～ 2 は 10BASE-Te ポート 3 は MII (10 Mbps) 全ポート使用率 100%		55		mA
I_{DD_IO}	**VDDIO** 消費電流			7		mA
I_{DD_CA}	**AVDDL** 消費電流			20		mA
I_{DD_CD}	**DVDDL** 消費電流			45		mA
消費電流 - 電源管理 - エナジー ディテクトモード						
I_{DD_AH}	**AVDDH** 消費電流	**AVDDH** @ 2.5 V, **VDDIO** @ 3.3 V		15		mA
I_{DD_IO}	**VDDIO** 消費電流			15		mA
I_{DD_CA}	**AVDDL** 消費電流			15		mA
I_{DD_CD}	**DVDDL** 消費電流			50		mA

© 2018 Microchip Technology Inc.

表 6-1: 電気的特性 (続き)

記号	パラメータ	条件	Min.	Typ.	Max.	単位
消費電流 - 電源管理 - ソフト パワーダウン モード						
I_{DD_AH}	**AVDDH** 消費電流	**AVDDH** @ 2.5 V, **VDDIO** @ 3.3 V		2		mA
I_{DD_IO}	**VDDIO** 消費電流			8		mA
I_{DD_CA}	**AVDDL** 消費電流			0.5		mA
I_{DD_CD}	**DVDDL** 消費電流			4		mA
I タイプ CMOS 入力バッファ (VDDIO = 3.3/2.5/1.8 V)						
V_{IH}	入力 High 電圧		2.1/1.7/1.3			V
V_{IL}	入力 Low 電圧				0.9/0.9/0.6	V
I_{IN}	入力電流	V_{IN} = **GND** ～ **VDDIO**	-10		10	µA
O8 タイプ CMOS 出力バッファ (VDDIO = 3.3/2.5/1.8 V)						
V_{OH}	出力 High 電圧	I_{OH} = 8/8/6 mA	2.4/1.9/1.5			V
V_{OL}	出力 Low 電圧	I_{OL} = 8/8/6 mA			0.4/0.4/0.2	V
I_{OZ}	出力トライステート リーク電流	V_{IN} = **GND** ～ **VDDIO**			10	µA
O24 タイプ CMOS 出力バッファ (VDDIO = 3.3/2.5/1.8 V)						
V_{OH}	出力 High 電圧	I_{OH} = 24/24/14 mA	2.4/1.9/1.5			V
V_{OL}	出力 Low 電圧	I_{OL} = 24/24/14 mA			0.4/0.4/0.2	V
I_{OZ}	出力トライステート リーク電流	V_{IN} = **GND** ～ **VDDIO**			10	µA
I/O ピン内部プルアップ / プルダウン実効抵抗						
R1.8PU	I/O ピン実効プルアップ抵抗	**VDDIO** = 1.8 V		125		kΩ
R1.8PD	I/O ピン実効プルダウン抵抗			97		kΩ
R2.5PU	I/O ピン実効プルアップ抵抗	**VDDIO** = 2.5 V		58		kΩ
R2.5PD	I/O ピン実効プルダウン抵抗			51		kΩ
R3.3PU	I/O ピン実効プルアップ抵抗	**VDDIO** = 3.3 V		38		kΩ
R3.3PD	I/O ピン実効プルダウン抵抗			39		kΩ
100BASE-TX 送信 (1:1 トランスの後段を差動にて計測)						
V_O	ピーク差動出力	差動出力に 100 Ω 終端抵抗	±0.95		±1.05	V
V_{imb}	出力電圧不均衡	差動出力に 100 Ω 終端抵抗			2	%
t_r , t_f	立ち上がり / 立ち下がり時間		3		5	ns
	立ち上がり / 立ち下がり不均衡		0		0.5	ns
	デューティ サイクル歪み				±0.25	ns
	オーバーシュート				5	%

表 6-1: 電気的特性 (続き)

記号	パラメータ	条件	Min.	Typ.	Max.	単位
V_{SET}	ISET の参照電圧 (6.04 kΩ (精度 1%) 抵抗使用)			1.21		V
	出力ジッタ	ピークツーピーク		0.7	1.4	ns
10BASE-T 受信						
V_{sq}	スケルチしきい値	5 MHz 矩形波		400		mV
10BASE-T 送信 (1:1 トランスの後段を差動にて計測)						
V_p	ピーク差動出力電圧	差動出力に 100 Ω 終端抵抗	2.2	2.5	2.8	V
	追加ジッタ	差動出力に 100 Ω 終端抵抗 (ピークツーピーク)		1.8	3.5	ns
t_r , t_f	立ち上がり / 立ち下がり時間			25		ns

© 2018 Microchip Technology Inc.

6.4 タイミング仕様

このセクションではデバイスの各種タイミング仕様を示します。

Note: I²C インターフェイス タイミングは NXP 社の『I²C-Bus Specification』(UM10204、Rev. 6) (高速モードと低速モード) に準拠しています。詳細は『I²C-Bus Specification』を参照してください。

6.4.1 RGMII タイミング

図 6-1 に、RGMII のタイミング要件を示します。

図 6-1: RGMII タイミング

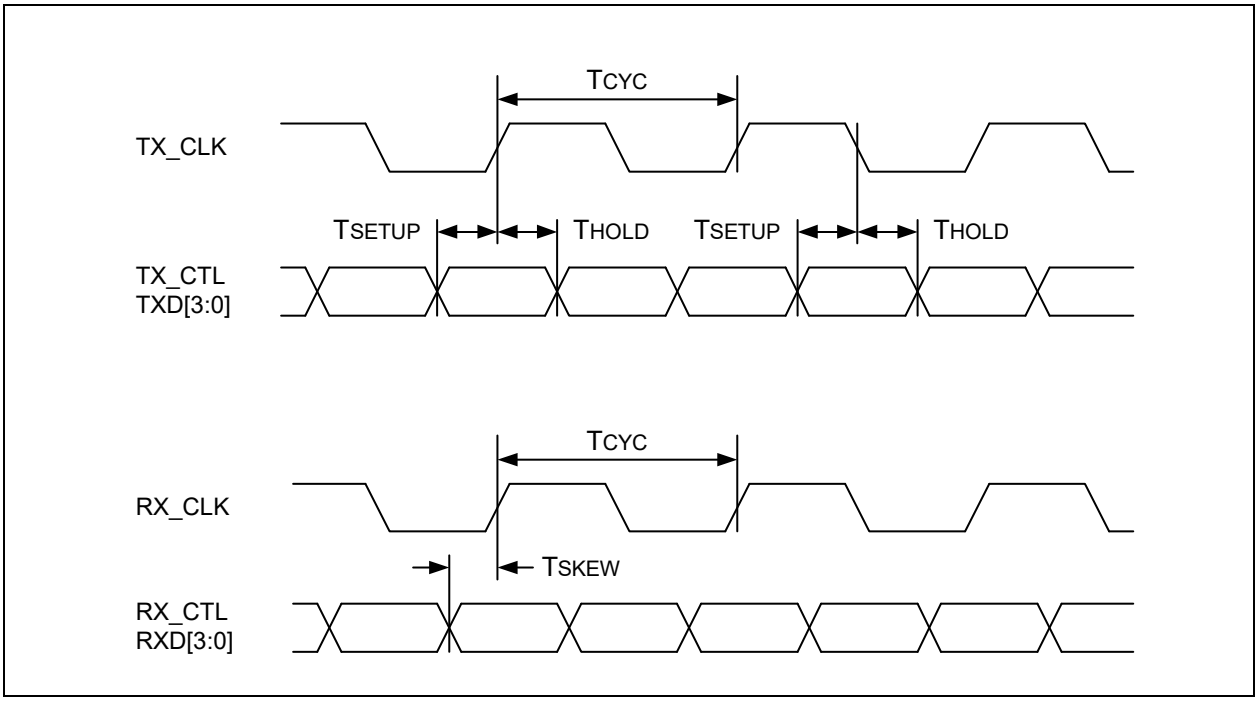


表 6-2: RGMII タイミング値

記号	説明	Min.	Typ.	Max.	単位
T_{SETUP}	データ - クロック間入力セットアップ (Note 6-3)	1.1			ns
T_{HOLD}	データ - クロック間入力ホールド (Note 6-3)	0.9			ns
T_{SKEW}	データ - クロック間出力スキュー (Note 6-4)	1.2	2.0		ns
T_{CYC}	クロックサイクル周期 (Note 6-5)	7.2	8	8.8	ns
Duty_G	1000 Mbps のデューティ サイクル	45	50	55	%
Duty_T	10/100 Mbps のデューティ サイクル	40	50	60	%
T_r / T_f	立ち上がり / 立ち下がり時間 (20 ～ 80%)			Note 6-6	ns

Note 6-3 入力データと入力クロックの間のスキューがない(または十分ではない)場合、XMIIポート制御1レジスタの RGMII Ingress 内部遅延ビットをセットする事で TX_CLK ピンに内部遅延を追加できます。この機能を使うと、セットアップ時間要件が公称 1.3 ns 減少し、ホールド時間要件が公称 1.3 ns 増加します。

Note 6-4 RGMII インターフェイスは RGMII 仕様バージョン 2.0 に準拠しています。この仕様は、駆動デバイスが出力クロックを出力データに対して遅延させる事を規定しています。これが T_{SKEW} パラメータです。このスキューは、XMII ポート制御 1 レジスタの RGMII Egress 内部遅延ビットをクリアする事で無効にできます。通常、これは推奨しません。

Note 6-5 10 Mbps と 100 Mbps に対して、T_{CYC} はそれぞれ 400 ns +/- 40 ns と 40 ns +/- 4 ns にスケーリングします。

Note 6-6 **VDDIO** = 3.3 V/2.5 V の場合は 0.75 ns、**VDDIO** = 1.8 V の場合は 1.5 ns です。

6.4.2 MII のタイミング

6.4.2.1 MAC モードの MII 出力タイミング

図 6-2 に、KSZ9563R を MAC モードで動作させている際の、PHY またはその他のデバイスへの KSZ9563R の書き込み動作を示します。

図 6-2: MAC モードの MII 出力タイミング

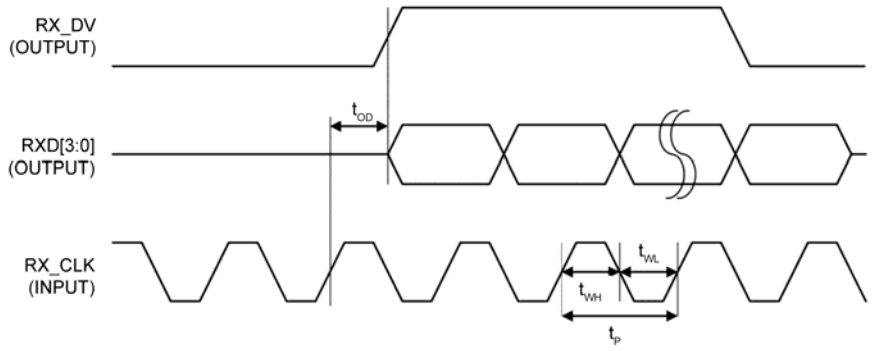


表 6-3: MAC モードの MII 出力タイミング値

記号	説明	Min.	Typ.	Max.	単位
t_P (100BASE-TX / 10BASE-T)	**RX_CLK** 周期		40/400		ns
t_{WL} (100BASE-TX / 10BASE-T)	**RX_CLK** Low パルス幅		20/200		ns
t_{WH} (100BASE-TX / 10BASE-T)	**RX_CLK** High パルス幅		20/200		ns
t_{OD}	**RX_CLK** 立ち上がりエッジからの **RX_DV**、**RXD[3:0]** 出力遅延		16		ns

© 2018 Microchip Technology Inc.

6.4.2.2 MAC モードの MII 入力タイミング

図 6-3 に、KSZ9563R を MAC モードで動作させている際の、PHY またはその他のデバイスからの KSZ9563R の読み出し動作を示します。

図 6-3: MAC モードの MII 入力タイミング

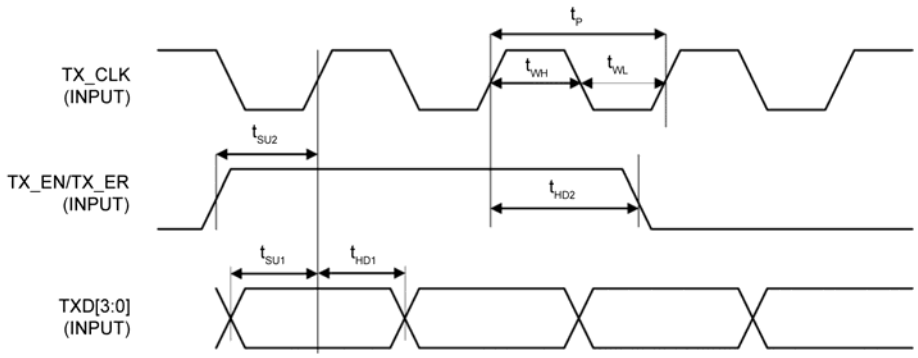


表 6-4: MAC モードの MII 入力タイミング値

記号	説明	Min.	Typ.	Max.	単位
t_P (100BASE-TX / 10BASE-T)	TX_CLK 周期		40/400		ns
t_{WL} (100BASE-TX / 10BASE-T)	TX_CLK Low パルス幅		20/200		ns
t_{WH} (100BASE-TX / 10BASE-T)	TX_CLK High パルス幅		20/200		ns
t_{SU1}	TX_CLK 立ち上がりエッジまでの TXD[3:0] セットアップ時間	10			ns
t_{SU2}	TX_CLK 立ち上がりエッジまでの TX_EN、TX_ER セットアップ時間	10			ns
t_{HD1}	TX_CLK 立ち上がりエッジからの TXD[3:0] ホールド時間	10			ns
t_{HD2}	TX_CLK 立ち上がりエッジからの TX_EN、TX_ER ホールド時間	10			ns

6.4.2.3 PHY モードの MII 出力タイミング

図 6-4: PHY モードの MII 出力タイミング

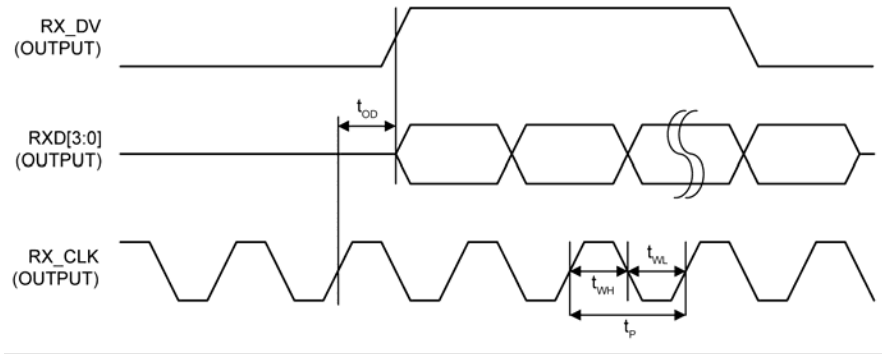


表 6-5: PHY モードの MII 出力タイミング値

記号	説明	Min.	Typ.	Max.	単位
t_P (100BASE-TX / 10BASE-T)	**RX_CLK** 周期		40/400		ns
t_{WL} (100BASE-TX / 10BASE-T)	**RX_CLK** Low パルス幅		20/200		ns
t_{WH} (100BASE-TX / 10BASE-T)	**RX_CLK** High パルス幅		20/200		ns
t_{OD}	**RX_CLK** 立ち上がりエッジからの **RX_DV**、**RXD[3:0]** 出力遅延		20		ns

© 2018 Microchip Technology Inc.

6.4.2.4 PHY モードの MII 入力タイミング

図 6-5: PHY モードの MII 入力タイミング

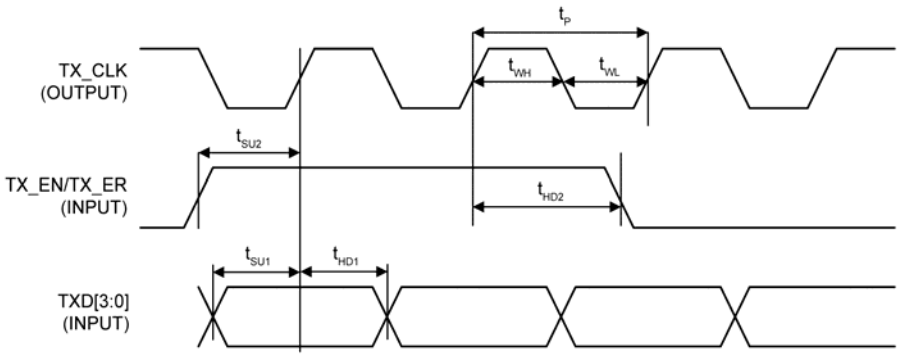


表 6-6: PHY モードの MII 入力タイミング値

記号	説明	Min.	Typ.	Max.	単位
t_P (100BASE-TX / 10BASE-T)	**TX_CLK** 周期		40/400		ns
t_{WL} (100BASE-TX / 10BASE-T)	**TX_CLK** Low パルス幅		20/200		ns
t_{WH} (100BASE-TX / 10BASE-T)	**TX_CLK** High パルス幅		20/200		ns
t_{SU1}	**TX_CLK** 立ち上がりエッジまでの **TXD[3:0]** セットアップ時間	10			ns
t_{SU2}	**TX_CLK** 立ち上がりエッジまでの **TX_EN**、**TX_ER** セットアップ時間	10			ns
t_{HD1}	**TX_CLK** 立ち上がりエッジからの **TXD[3:0]** ホールド時間	0			ns
t_{HD2}	**TX_CLK** 立ち上がりエッジからの **TX_EN**、**TX_ER** ホールド時間	0			ns

6.4.3 RMII タイミング

図 6-6 と図 6-7 に、RMII のタイミング要件を示します。

図 6-6: RMII 送信タイミング

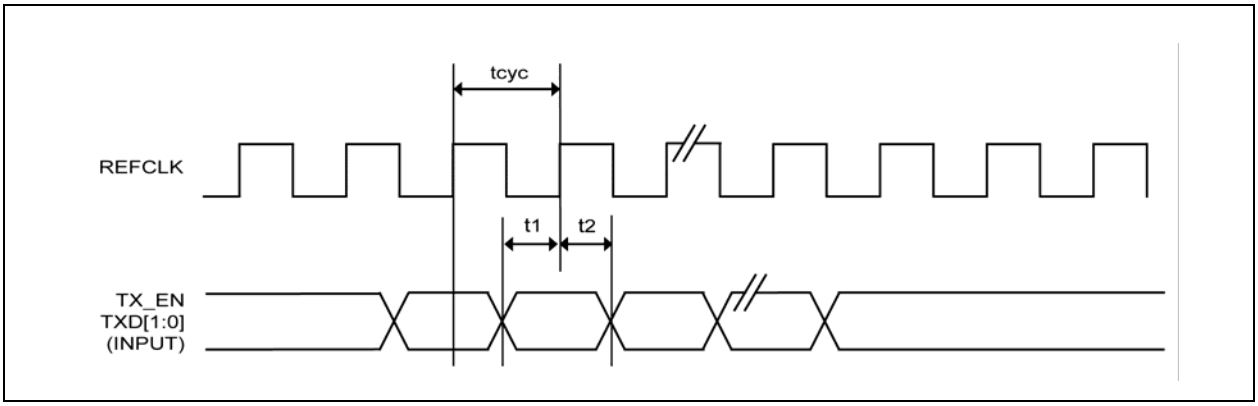


図 6-7: RMII 受信タイミング

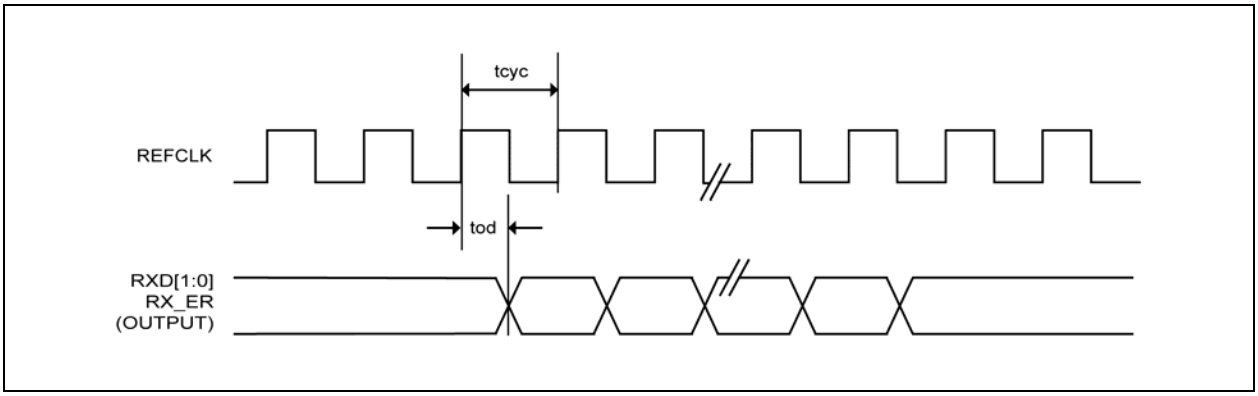


表 6-7: RMII タイミング値

記号	説明	Min.	Typ.	Max.	単位
t_{cyc}	クロックサイクル		20		ns
t_1	セットアップ時間	4			ns
t_2	ホールド時間	2			ns
t_{od}	出力遅延	7	9	13	ns

© 2018 Microchip Technology Inc.

6.4.4 MIIM タイミング

図 6-8 に、MIIM のタイミング要件を示します。

図 6-8: MIIM タイミング

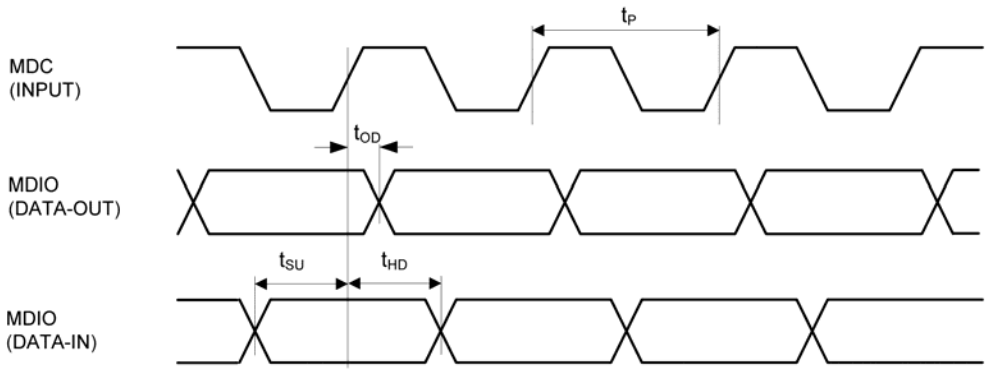


表 6-8: MIIM タイミング値

記号	説明	Min.	Typ.	Max.	単位
t_P	MDC 周期		400		ns
t_{OD}	出力遅延		200		ns
t_{SU}	MDC 立ち上がりエッジまでの MDIO セットアップ時間	10			ns
t_{HD}	MDC 立ち上がりエッジからの MDIO ホールド時間	5			ns

6.4.5 SPI タイミング

図 6-9 と図 6-10 に、SPI のタイミング要件を示します。

図 6-9: SPI データ入力タイミング

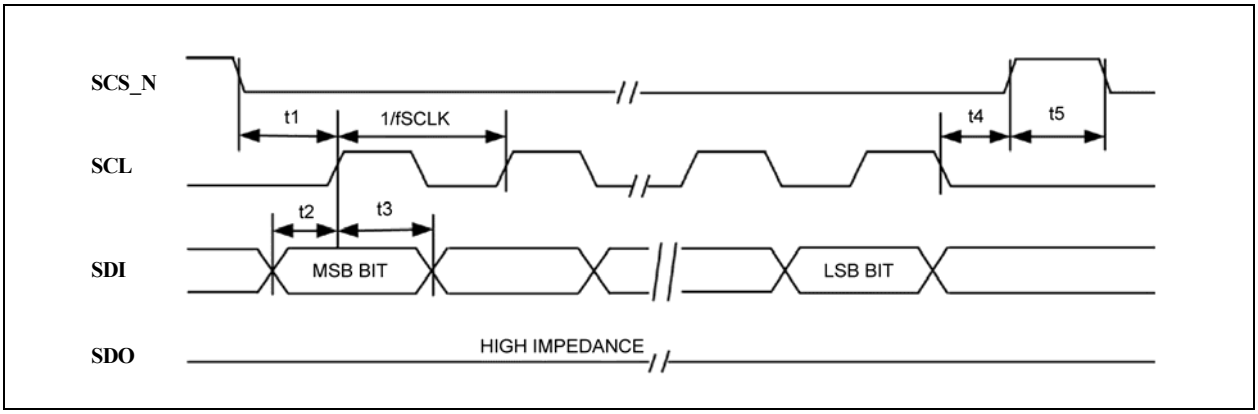


図 6-10: SPI データ出力タイミング

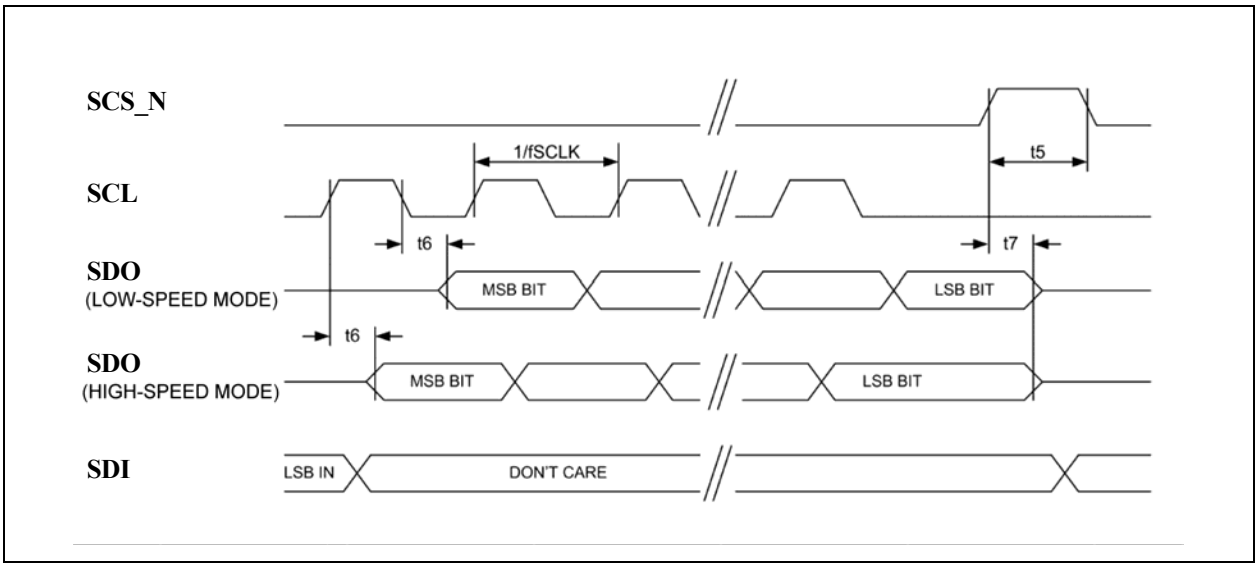


表 6-9: SPI タイミング値

記号	説明	Min.	Typ.	Max.	単位
f_{SCLK}	SCL クロック周波数			50	MHz
t_1	SCS_N アクティブ セットアップ時間	8			ns
t_2	SDI データ入力セットアップ時間	3			ns
t_3	SDI データ入力ホールド時間	3			ns
t_4	SCS_N アクティブ ホールド時間	8			ns
t_5	SCS_N ディセーブル High 時間	8			ns
t_6	SCL 立ち下がりエッジから SDO データ出力有効までの時間	2		9	ns
t_7	SCS_N 非アクティブから SDO データ入力有効までの時間	1			ns

© 2018 Microchip Technology Inc.

6.4.6 オート ネゴシエーション タイミング

図 6-11 に、オート ネゴシエーションのタイミング要件を示します。

図 6-11: オート ネゴシエーション タイミング

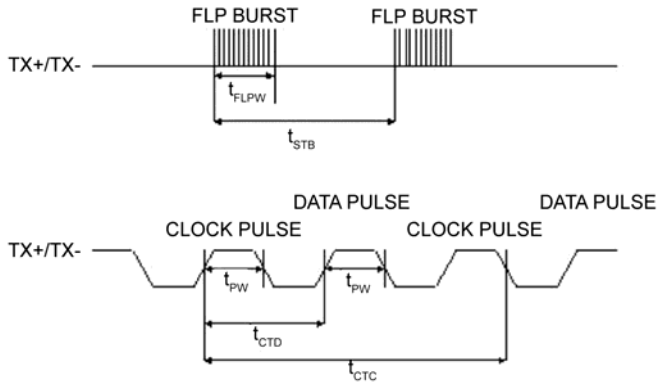


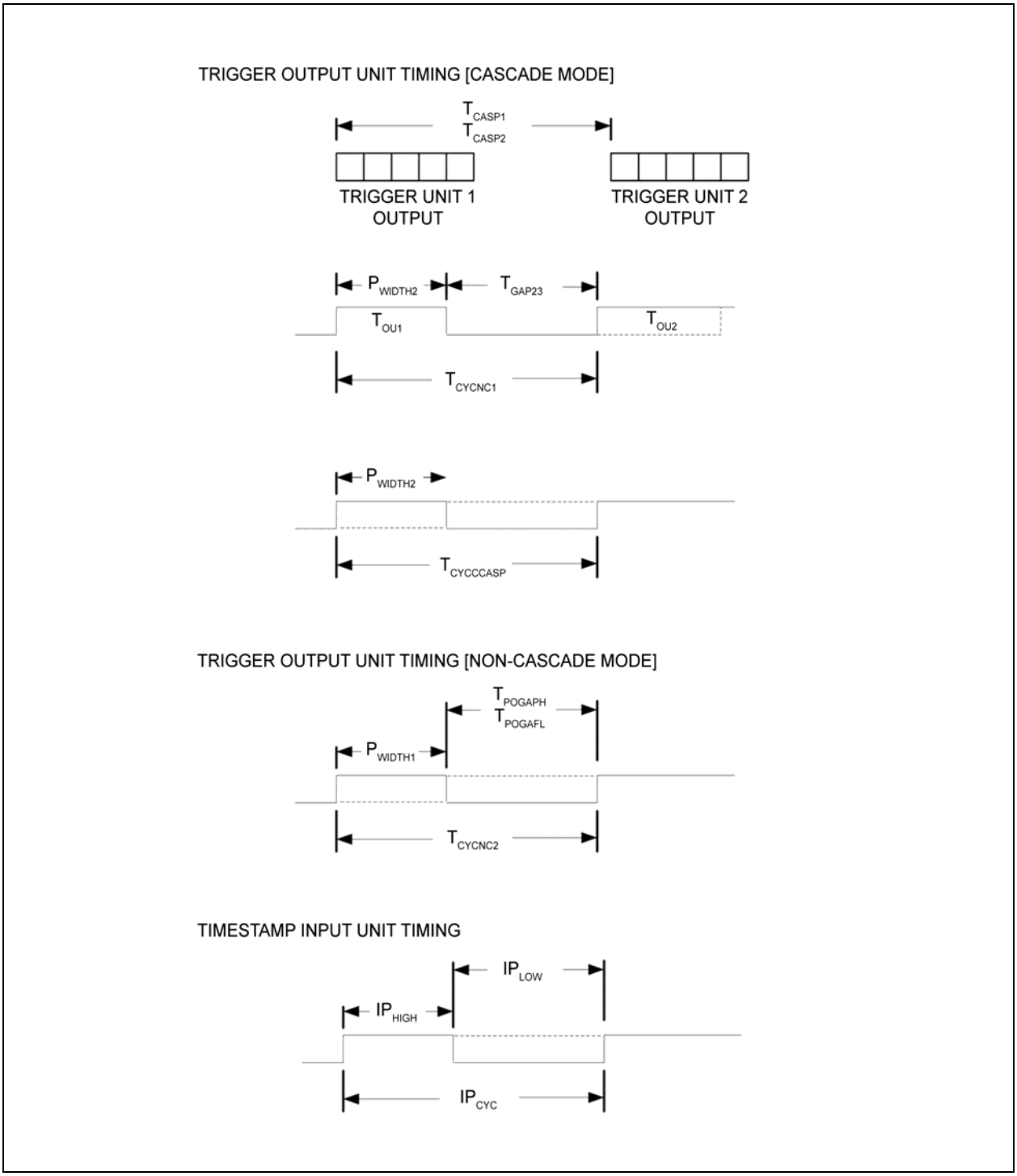
表 6-10: オート ネゴシエーション タイミング値

記号	説明	Min.	Typ.	Max.	単位
t_{BTB}	FLP バーストから次の FLP バーストまでの時間	8	16	24	ms
t_{FLPW}	FLP バースト幅		2		ms
t_{PW}	クロック / データパルス幅		100		ns
t_{CTD}	クロックパルスからデータパルスまでの時間	55.5	64	69.5	µs
t_{CTC}	クロックパルスから次のクロックパルスまでの時間	111	128	139	µs
	バーストあたりのクロック / データパルス数	17		33	

6.4.7 トリガ出力ユニットとタイムスタンプ入力ユニットのタイミング

図 6-12 に、12 のトリガ出力ユニットとタイムスタンプ入力ユニットの各種タイミング関係に関する詳細と制約を示します。

図 6-12: トリガ出力ユニットとタイムスタンプ入力ユニットのタイミング



© 2018 Microchip Technology Inc.

表 6-11: トリガ出力ユニットとタイムスタンプ入力ユニットのタイミング値

記号	説明	Min.	Typ.	Max.	単位
トリガ出力ユニットのタイミング (カスケードモード)					
t_{CASP1}	TRIGX_CFG_1[6:4] = 100、101、110(立ち下がりエッジ、立ち上がりエッジ、シフトレジスタの出力信号) のカスケードモードでの、同じ GPIO ピン上でカスケード接続された 1 つの TOU の開始と次の TOU の開始の間の最小時間	80			ns
t_{CASP2}	TRIGX_CFG_1[6:4] = 010、011、100、101(負パルス、正パルス、負周期、正周期の出力信号) のカスケードモードでの、同じ GPIO ピン上でカスケード接続された 1 つの TOU の開始と次の TOU の開始の間の最小時間	120			ns
$t_{CYCCASP}$	TRIGX_CFG_1[6:4] = 010、011(負パルス、正パルスの出力信号) のカスケードモードでの、示されたモードで動作しているトリガ出力ユニットのサイクル時間	80	≥32 + P_{WIDTH2}		ns
t_{CYCNC1}	TRIGX_CFG_1[6:4] = 100、101(負周期、正周期の出力信号) のカスケードモードでの、示されたモードで動作している任意のトリガ出力ユニットの最小サイクル時間	80	≥32 + P_{WIDTH2}		ns
t_{GAP23}	TRIGX_CFG_1[6:4] = 010、011(負パルス、正パルスの出力信号) のカスケードモードでの、最初のトリガ出力ユニットの周期の最後と、2 番目のトリガ出力ユニットの出力の先頭の間に必要な最小ギャップ時間	80			ns
P_{WIDTH2}	カスケードモードでの、トリガ出力ユニットの Low または High パルスの最小幅	8			ns
トリガ出力ユニットのタイミング (カスケード以外のモード)					
t_{CYCNC2}	カスケード以外のモードでの、任意のトリガ出力ユニットの最小サイクル時間	80	≥32 + P_{WIDTH2}		ns
t_{POGAP}	カスケード以外のモードでの、生成されたパルスの最後と次のパルスの開始の間の最小時間	32			ns
P_{WIDTH1}	カスケード以外のモードでの、トリガ出力ユニットの Low または High パルスの最小幅	8			ns
タイムスタンプ入力ユニットのタイミング					
IP_{HIGH}	任意の GPIO ピンの入力デジタル波形の許容 High 時間	24			ns
IP_{LOW}	カスケード以外のモードでの、生成されたパルスの最後と次のパルスの開始の間の最小時間	24			ns
IP_{CYC}	カスケード以外のモードでの、生成されたパルスの最後と次のパルスの開始の間の最小時間	48			ns

6.4.8 パワーアップおよびリセット タイミング

図 6-13 に、パワーアップとリセットのタイミング要件を示します。

図 6-13: パワーアップおよびリセット タイミング

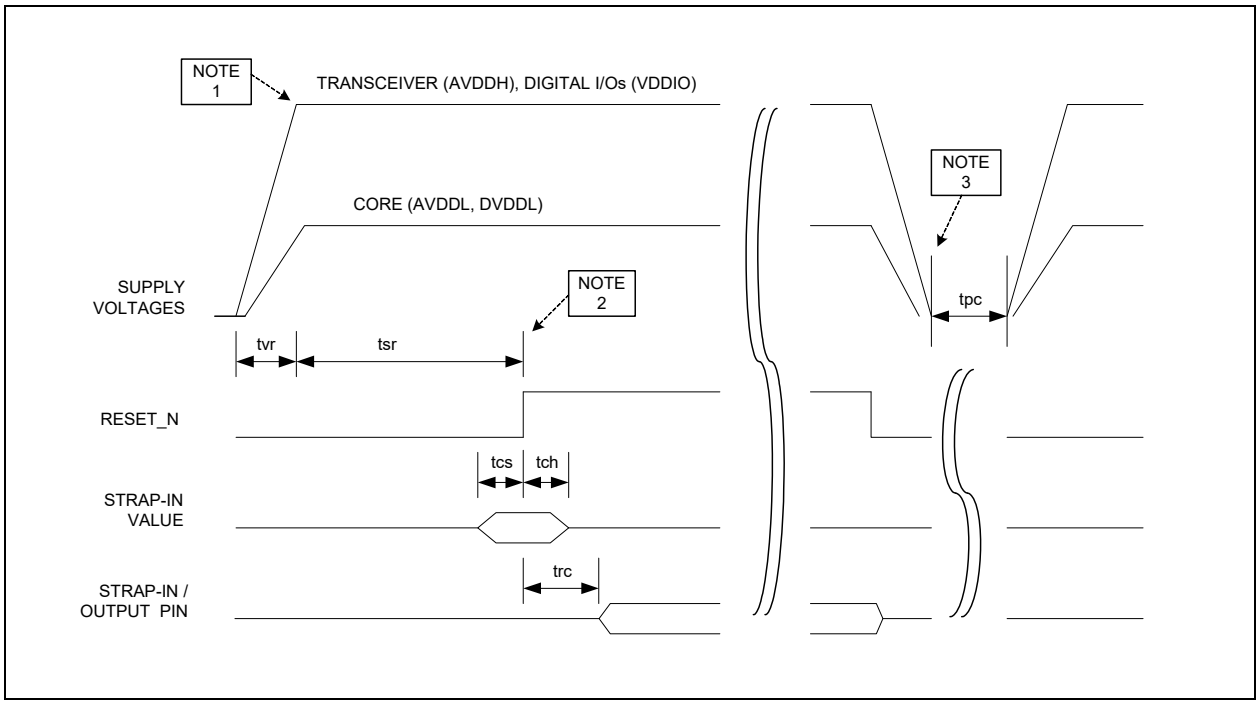


表 6-12: パワーアップおよびリセット タイミング値

記号	説明	Min.	Typ.	Max.	単位
tvr	電源電圧立ち上がり時間 (monotonic である事)	200			µs
tsr	リセットをディアサートするまでの電源電圧安定化時間	10			ms
tcs	ストラップイン ピン設定のセットアップ時間	5			ns
tch	ストラップイン ピン設定のホールド時間	5			ns
trc	リセットのディアサートからストラップイン ピン出力までの時間	6			ns
tpc	電源遮断から起動までの待機時間	150			ms

Note 1: 推奨する電源シーケンスは、最初に VDDIO、次にコア (DVDDL、AVDDL)、AVDDH の順に立ち上げる事です。しかし、VDDIO と AVDDH が同じ電源を共有している場合、推奨する起動手順は、先にコア (DVDDL、AVDDL) を投入してから共有電源 (VDDIO、AVDDH) を投入する事です。全ての電源電圧の投入波形は monotonic である事が必要です。

Note 2: どのインターフェイスを介して本デバイスのプログラミングを開始する場合も、リセットのディアサート後に 100 µs 以上待機する事を推奨します。

Note 3: 推奨する電源遮断手順は、先に低電圧コアを遮断してからトランシーバおよびデジタル I/O 電圧を遮断するか、全ての電源を同時に遮断する事です。
次の起動は、本デバイスへの全ての電源電圧が 0.4 V を下回ってから実行する必要があります。また、電源遮断から起動までの間に 150 ms 以上の待機時間が必要です。

© 2018 Microchip Technology Inc.

6.5 クロック仕様

KSZ9563R に 25 MHz 参照クロックを提供するため、水晶振動子または外部クロック源 (オシレータ等) を使います。外部クロック源 (例 : Microchip 社製 DSC10xx) を使う場合、**XO** ピンはフローティング状態のままにする必要があります。図 6-14 に、利用できる接続方法を示します。表 6-13 に、推奨する水晶振動子の仕様を示します。

図 6-14: 入力参照クロックの接続方法

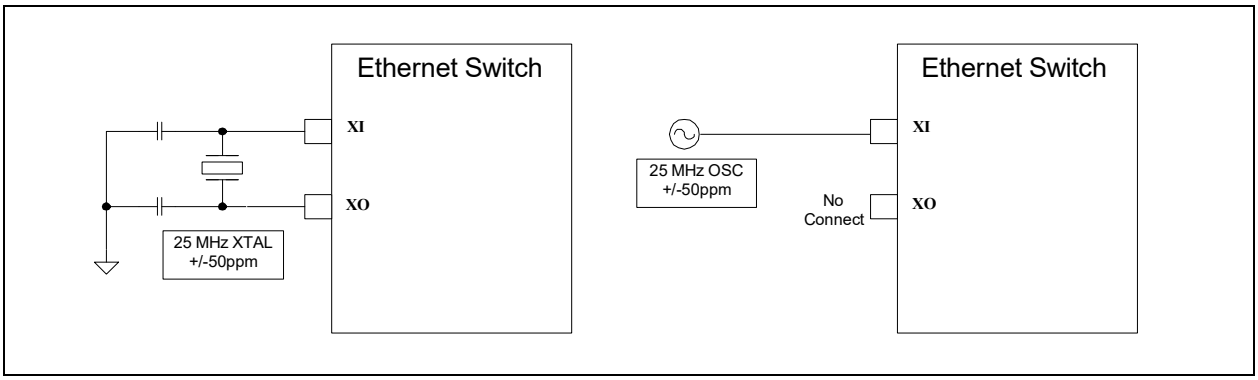


表 6-13: 参照クロック水晶振動子の特性

特性	Min.	Typ.	Max.	単位
周波数		25		MHz
周波数公差			±50	ppm
等価直列抵抗 (ESR)			50	Ω
トータルピリオド ジッタ (ピークツーピーク)			100	ps
励振レベル (Drive Level)			100	uW

7.0 設計ガイドライン

このセクションでは、以下に示す一般的な設計ガイドラインを説明します。

- リセット回路のガイドライン
- パルストランスの接続と選定のガイドライン

7.1 リセット回路のガイドライン

図 7-1 に、リセットが電源によってトリガされる場合に KSZ9563R を起動するための推奨リセット回路を示します。

図 7-1: シンプルなリセット回路

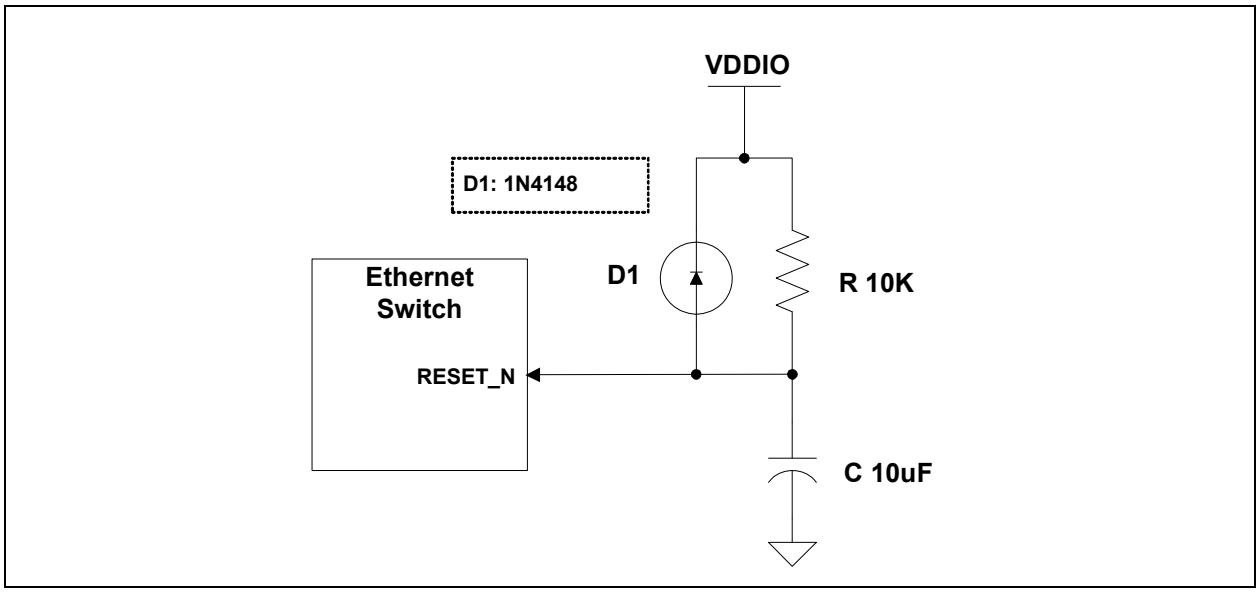
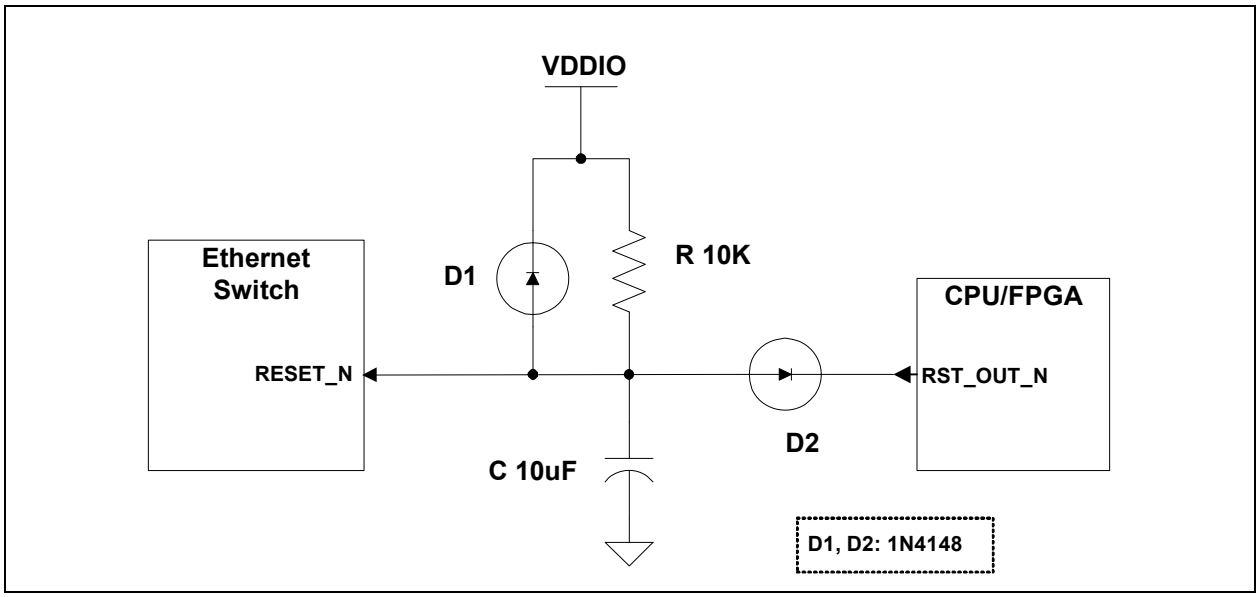


図 7-2 のリセット回路は、リセット信号が別のデバイス (例 : CPU) によって駆動されるアプリケーション向けに推奨します。パワーオン リセット時、R、C、D1 は必要なランプ立ち上がり時間を提供し、KSZ9563R をリセットします。CPU からの RST_OUT_N は、起動後にウォームリセットを提供します。

図 7-2: CPU リセット インターフェイス向けのリセット回路



© 2018 Microchip Technology Inc.

7.2 パルストランスの接続と選定のガイドライン

ライン インターフェイスには 1:1 のパルストランスが必要です。FCC 要件を超える設計には、コモンモード チョークを内蔵したパルストランスを使います。チョークに続けてオプションの単巻トランス段を接続すると、コモンモード ノイズと信号をさらに減衰させる事ができます。

KSZ9563R の PHY ポートは電圧モード送信ドライバと終端抵抗を内蔵しています。電圧モードの実装により、送信ドライバはコモンモード電圧を 4 つの差動ペアに供給します。従って、KSZ9563R 側の 4 つのパルストランス センタータップ ピンは基板上のどの電源にも接続しません。センタータップ ピンは互いに接続せず、別々の 0.1 µF コモンモード コンデンサを介してグランドへ接続します。このように分離するのは、接続の速度モードによっては差動ペアの間でコモンモード電圧が異なる可能性があるためです。

図 7-3 に、KSZ9563R の PHY ポート向けの代表的なパルストランス回路を示します。

図 7-3: 代表的なパルストランス回路

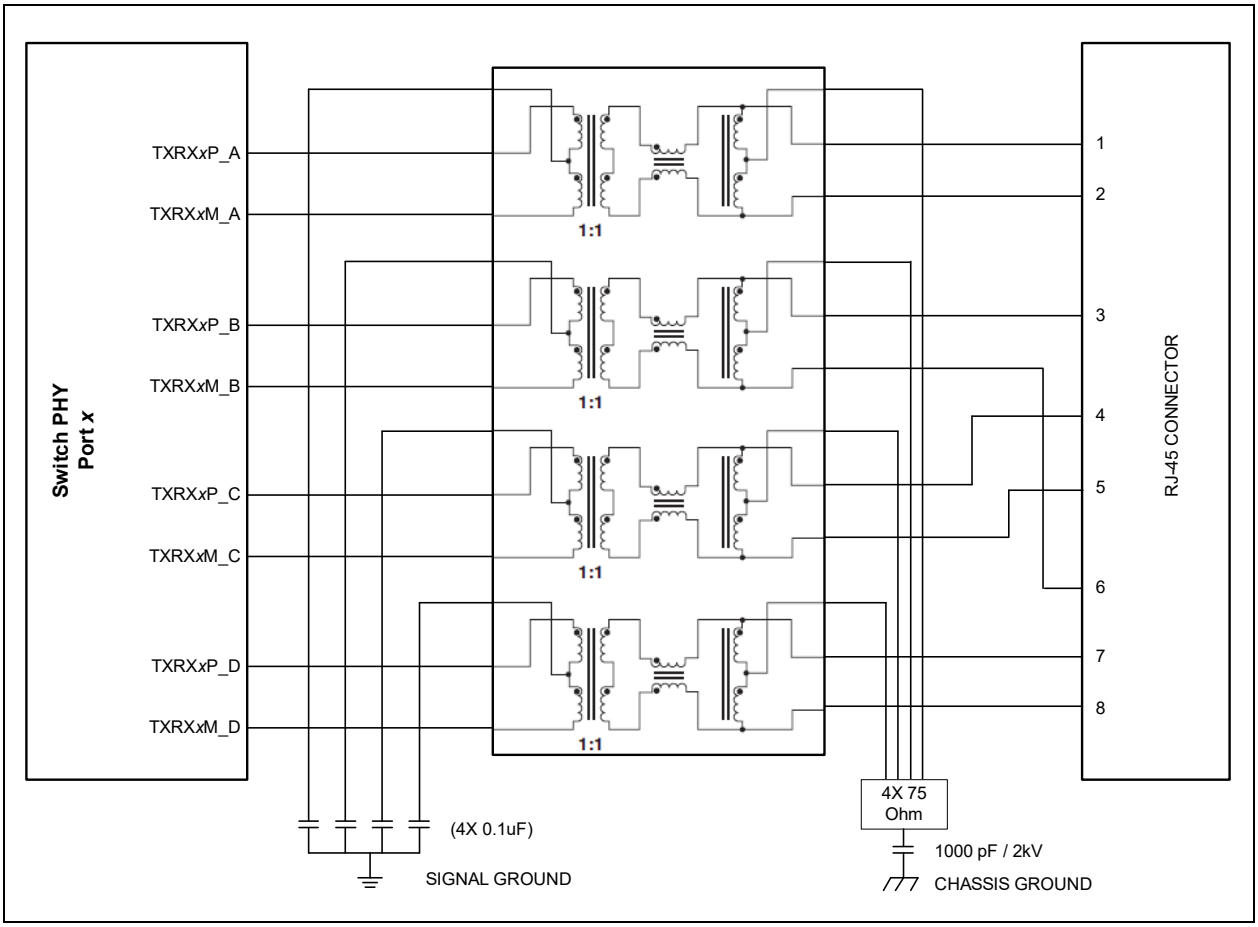


表 7-1 に、推奨するパルストランス特性を示します。

表 7-1: パルストランスの選定基準

パラメータ	値	試験条件
巻き数比	1 CT : 1 CT	
開回路インダクタンス (min.)	350 µH	100 mV, 100 kHz, 8 mA
挿入損失 (typ.)	1.0 dB	100 kHz ～ 100 MHz
HIPOT (min.)	1500 Vrms	

表 7-2 に、KSZ9563R に使用可能なシングルポート パルストランスの一覧を示します。これらは、分離されたパルストランス センタータップ ピンを Gigabit PHY チップ側に備えています。

表 7-2: 使用可能なシングルポート 10/100/1000 パルストランス

メーカー	製品番号	オートトランス	温度レンジ	パルストランス + RJ-45
Bel Fuse	0826-1G1T-23-F	あり	0 ～ +70 ℃	あり
HALO	TG1G-E001NZRL	なし	-40 ～ +85 ℃	なし
HALO	TG1G-S001NZRL	なし	0 ～ +70 ℃	なし
HALO	TG1G-S002NZRL	あり	0 ～ +70 ℃	なし
Pulse	H5007NL	あり	0 ～ +70 ℃	なし
Pulse	H5062NL	あり	0 ～ +70 ℃	なし
Pulse	HX5008NL	あり	-40 ～ +85 ℃	なし
Pulse	JK0654219NL	あり	0 ～ +70 ℃	あり
Pulse	JK0-0136NL	なし	0 ～ +70 ℃	あり
TDK	TLA-7T101LF	なし	0 ～ +70 ℃	なし
Wurth/Midcom	000-7093-37R-LF1	あり	0 ～ +70 ℃	なし

© 2018 Microchip Technology Inc.

8.0 パッケージ情報

8.1 パッケージのマーキング情報

64-VQFN

凡例 :	t	仕様温度の識別子 (C = 商業用、I = 産業用)
	R	製品リビジョン
	nnn	内部コード
	e3	無光沢スズ (Sn) めっきの使用を示す鉛フリー JEDEC® マーク
	YY	年コード (西暦の下 2 桁)
	WW	週コード (1 月 1 日の週を「01」とする)
	NNN	英数字のトレーサビリティ コード

Note: Microchip 社の製品番号が 1 行に収まりきらない場合は複数行を使います。その場合お客様固有情報に使える文字数が制限されます。

* デバイスの標準的なマーキングは、Microchip 社の製品番号、年コード、週コード、トレーサビリティ コードで構成されます。デバイスにこれ以外のマーキングを施す場合、追加料金が発生します。詳細は弊社もしくは正規代理店までお問い合わせください。QTP デバイスの場合、特注マーキングの追加料金は QTP 料金に含まれます。

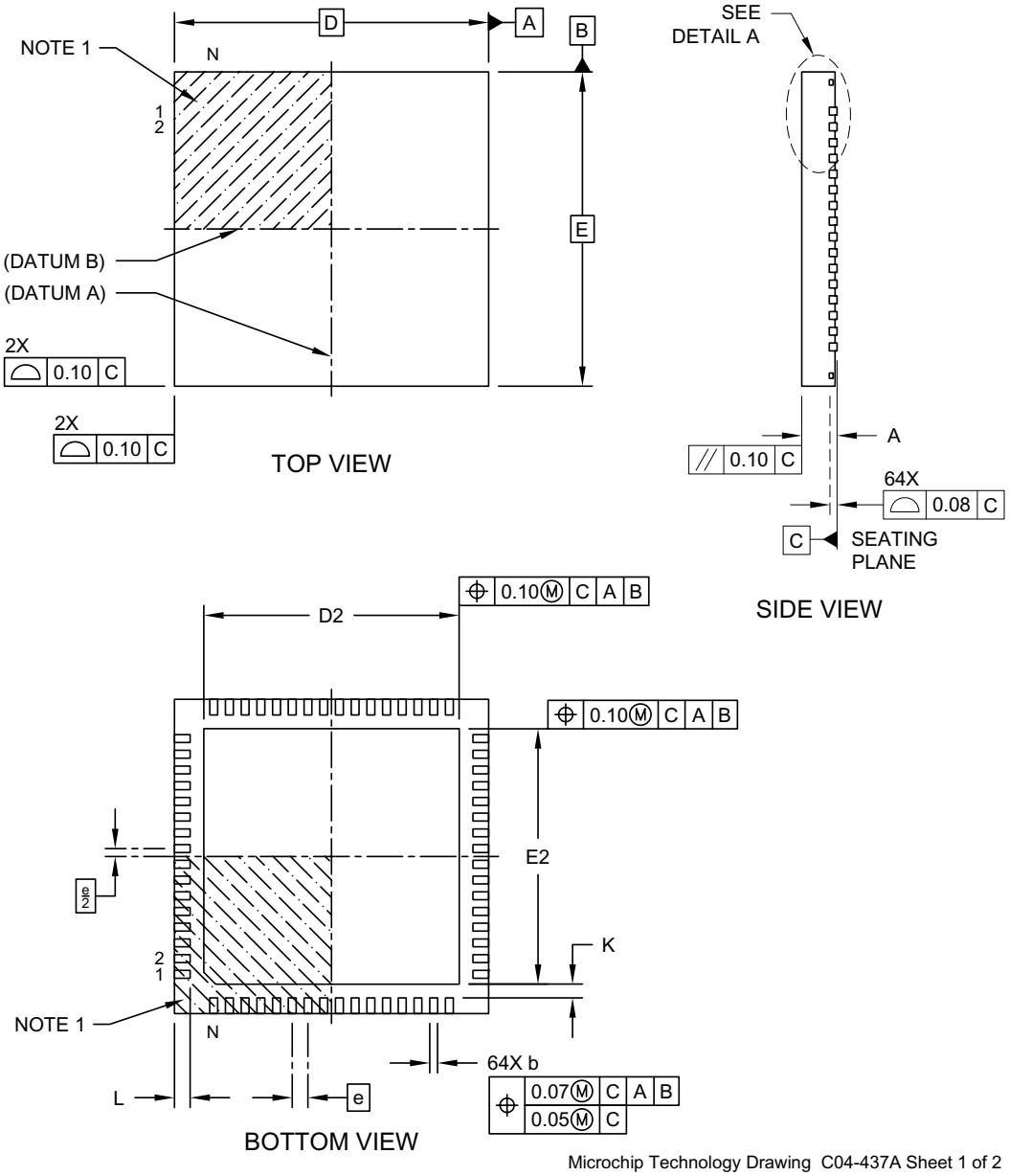
8.2 パッケージ図面

Note: 最新のパッケージ図面については、以下のウェブページにある「Microchip Packaging Specification (Microchip 社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging

図 8-1: パッケージ (図面)

64-Lead Very Thin Plastic Quad Flat, No Lead Package (JXX) - 8x8 mm Body [VQFN]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



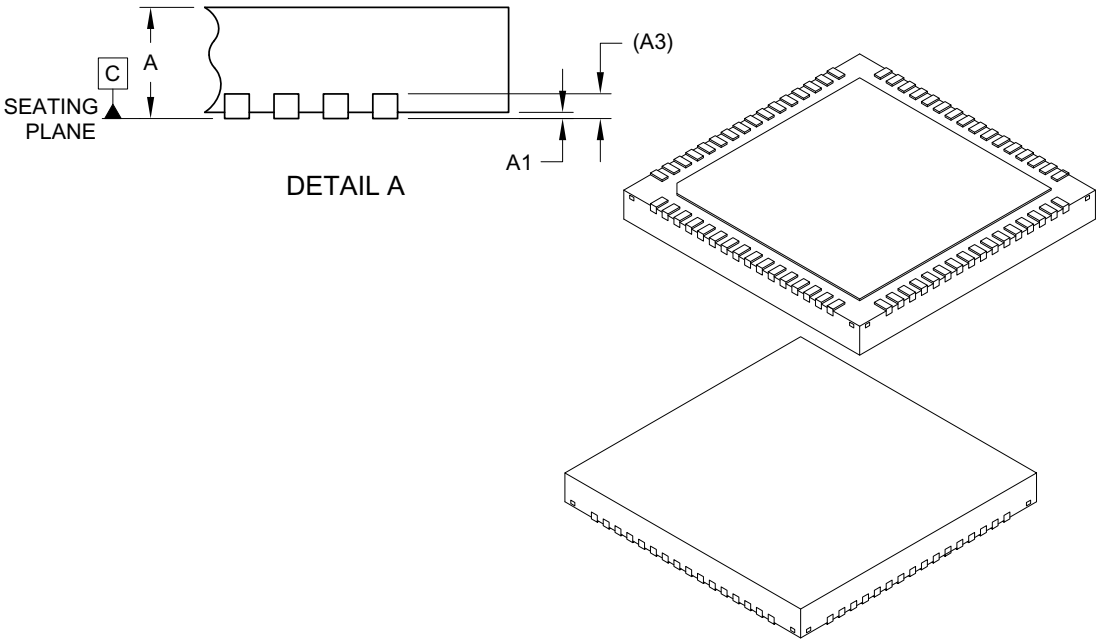
Microchip Technology Drawing C04-437A Sheet 1 of 2

© 2018 Microchip Technology Inc.

図 8-2: パッケージ (寸法)

64-Lead Very Thin Plastic Quad Flat, No Lead Package (JXX) - 8x8 mm Body [VQFN]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Terminals	N	64		
Pitch	e	0.40 BSC		
Overall Height	A	0.80	0.85	0.90
Standoff	A1	0.00	0.02	0.05
Terminal Thickness	A3	0.20 REF		
Overall Length	D	8.00 BSC		
Exposed Pad Length	D2	6.40	6.50	6.60
Overall Width	E	8.00 BSC		
Exposed Pad Width	E2	6.40	6.50	6.60
Terminal Width	b	0.15	0.20	0.25
Terminal Length	L	0.35	0.40	0.45
Terminal-to-Exposed-Pad	K	0.25	-	-

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated
3. Dimensioning and tolerancing per ASME Y14.5M

   BSC: Basic Dimension. Theoretically exact value shown without tolerances.

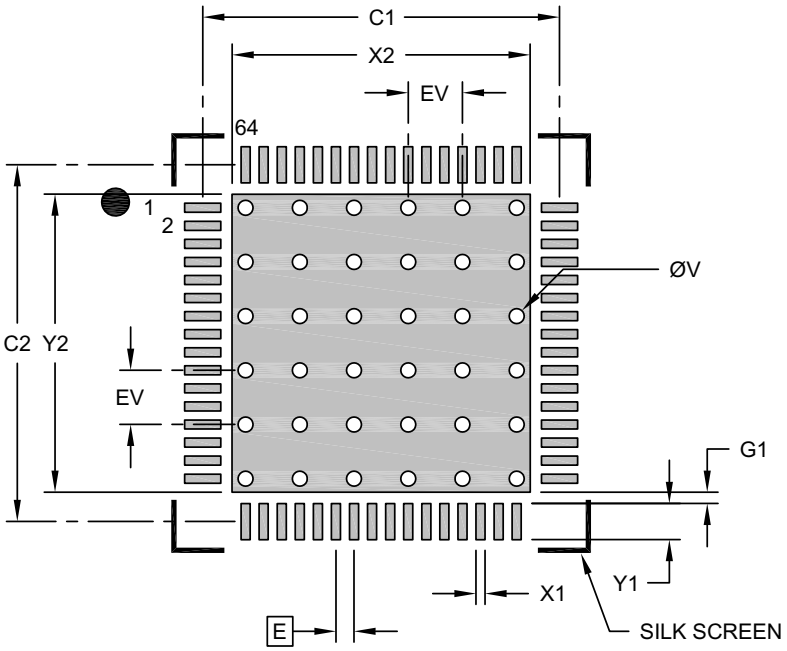
   REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-437A Sheet 2 of 2

図 8-3: パッケージ (ランドパターン)

64-Lead Very Thin Plastic Quad Flat, No Lead Package (JXX) - 8x8 mm Body [VQFN]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.40 BSC	
Optional Center Pad Width	X2			6.60
Optional Center Pad Length	Y2			6.60
Contact Pad Spacing	C1		7.90	
Contact Pad Spacing	C2		7.90	
Contact Pad Width (X64)	X1			0.20
Contact Pad Length (X64)	Y1			0.80
Contact Pad to Center Pad (X64)	G1	0.20		
Thermal Via Diameter	V		0.33	
Thermal Via Pitch	EV		1.20	

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
2. For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

Microchip Technology Drawing C04-2437A

© 2018 Microchip Technology Inc.

補遺 A: 改訂履歴

表 A-1: 改訂履歴

リビジョン	セクション / 図 / 項目	改訂内容
DS00002419B (02-15-18)	表 1-2、「バッファタイプ」	表 1-2 を更新しました。
	表 3-2、「ピンの説明」	バッファタイプを更新しました。
	セクション 4.0、「機能説明」	LED セクションへのハイパーリンクを追加しました。
	セクション 4.1.9、「リモート PHY ループバック」	新規セクションを追加しました。
	セクション 4.2、「LED」	新規セクションを追加しました。
	セクション 4.4.14、「Egress トラフィックのシェーピング」	このセクションを変更しました。
	表 4-24、「標準 MIIM レジスタ」	表を変更しました。
	セクション 4.10、「管理インターフェイス」、セクション 4.10.3、「MIIM (MII Management) インターフェイス」	これらのセクションを変更しました。
	セクション 5.0、「デバイス レジスタ」、表 5-2、「ポート N (1 ～ 3) レジスタ アドレスマップ」、セクション 5.1.6.14、「グローバル PTP ユニット インデックス レジスタ」、セクション 5.2.2.12、「PHY MMD 設定レジスタ」、セクション 5.4、「MMD (MDIO Manageable Device) レジスタ (間接)」、表 5-7、「MMD 関連のレジスタマップ」、セクション 5.4.1、MMD LED モードレジスタ、セクション 5.4.3、MMD EEE アドバタイズメント レジスタ	これらのセクションを変更しました。
	セクション 6.1、絶対最大定格 *、表 6-1、「電気的特性」、図 6-1、図 6-2、図 6-3、表 6-2、「RGMII Timing Values」、表 6-13、「参照クロック水晶振動子の特性」	これらのセクションを変更しました。
DS00002419A (05-23-17)	本書は初版です。	

Microchip 社のウェブサイト

Microchip 社はウェブサイト (www.microchip.com) でオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。インターネット ブラウザから以下の内容がご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザ ガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **一般的技術サポート** - よく寄せられる質問 (FAQ)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip 社のコンサルタント プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクタと注文ガイド、最新プレスリリース、セミナー / イベントの一覧、お問い合わせ先 (営業所 / 販売代理店) の一覧

お客様向け変更通知サービス

Microchip 社のお客様向け変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けするサービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

Microchip 社ウェブサイト (www.microchip.com) にアクセスし、[DESIGN SUPPORT] メニューの下の [Product Change Notification] からご登録ください。

お客様サポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用頂けます。

- 販売代理店
- 弊社営業所
- 技術サポート

サポートは販売代理店にお問い合わせください。もしくは弊社にご連絡ください。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用頂けます。http://www.microchip.com/support

© 2018 Microchip Technology Inc.

製品識別システム

ご注文または製品の価格 / 納期に関しては、弊社または販売代理店までお問い合わせください。

製品番号	XX	X	[XX](1)
デバイス	パッケージ	温度レンジ	テープ & リールオプション

デバイス :	KSZ9563R =	3 ポートスイッチ (1xRGMII/MII/RMII インターフェイス)
パッケージ :	NX =	64 ピン VQFN
温度レンジ :	C =	0° ～ +70 ℃(商用温度レンジ)
	I =	-40 ～ +85 ℃(産業用温度レンジ)
テープ & リールオプション :	空欄 =	標準梱包 (トレイ)
	-TR =	テープ＆リール (Note 1)

例 :

a) KSZ9563RNXC
64 ピン VQFN パッケージ、
商業用温度レンジ、
標準梱包

b) KSZ9563RNXI-TR
64 ピン VQFN パッケージ、
産業用温度レンジ、
テープ＆リール

Note 1: テープ＆リールの識別情報は、カタログの製品番号説明に記載しています。これは製品の注文時に使う識別情報であり、デバイスのパッケージには印刷していません。テープ & リールが選択できるパッケージの在庫 / 供給状況は、弊社までお問い合わせください。

Microchip 社製デバイスのコード保護機能に関して以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使用した場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法は Microchip 社データシートにある動作仕様書以外の方法で Microchip 社製品を使用する事になります。このような行為は知的所有権の侵害に該当する可能性が非常に高いと言えます。
- Microchip 社は、コードの保全性に懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip 社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

本書に記載されているデバイス アプリケーション等に関する情報は、ユーザの便宜のためにのみ提供されているものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。Microchip 社は、本書の情報およびその使用に起因する一切の責任を否認します。生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害を受けない事に同意するものとします。特に記載のない限り、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

Microchip 社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州) の本部、設計部およびウェハー製造工場そしてカリフォルニア州とインドのデザインセンターが ISO/TS-16949: 2009 認証を取得しています。Microchip 社の品質システム プロセスおよび手順は、PIC® MCU および dsPIC® DSC、KEELOQ® コード ホッピング デバイス、シリアル EEPROM、マイクロペリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関する Microchip 社の品質システムは ISO 9001:2000 認証を取得しています。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
= ISO/TS 16949 =

商標

Microchip 社の名称とロゴ、Microchip ロゴ、AnyRate、AVR、AVR logo、AVR Freaks、BeaconThings、BitCloud、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KEELOQ、KEELOQlogo、Kleer、LANCheck、LINK MD、maXStylus、maXTouch、MediaLB、megaAVR、MOST、MOST logo、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 logo、Prochip Designer、QTouch、RightTouch、SAM-BA、SpyNIC、SST、SST Logo、SuperFlash、tinyAVR、UNI/O、および XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

ClockWorks、Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge、および Quiet-Wire は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKIT logo、CodeGuard、CryptoAuthentication、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet logo、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certified logo、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PureSilicon、QMatrix、RightTouch logo、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQI, SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA、および ZENA は米国およびその他の Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

Silicon Storage Technology は他の国における Microchip Technology Inc. の登録商標です。

GestIC は Microchip Technology Inc. の子会社である Microchip Technology Germany II GmbH & Co. & KG 社の他の国における登録商標です。

その他本書に記載されている商標は各社に帰属します。

© 2018, Microchip Technology Incorporated, All Rights Reserved.

ISBN: 978-1-5224-3065-0

© 2018 Microchip Technology Inc.

各国の営業所とサービス

北米

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
技術サポート：
http://www.microchip.com/support
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

オースティン、TX
Tel: 512-257-3370

ボストン
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト
Novi, MI
Tel: 248-848-4000

ヒューストン、TX
Tel: 281-894-5983

インディアナポリス
Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453
Tel: 317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608
Tel: 951-273-7800

ローリー、NC
Tel: 919-844-7510

ニューヨーク、NY
Tel: 631-435-6000

サンノゼ、CA
Tel: 408-735-9110
Tel: 408-436-4270

カナダ - トロント
Tel: 905-695-1980
Fax: 905-695-2078

アジア / 太平洋

アジア太平洋支社
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon

香港
Tel: 852-2943-5100
Fax: 852-2401-3431

オーストラリア - シドニー
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重慶
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 東莞
Tel: 86-769-8702-9880

中国 – 広州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 香港 SAR
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青島
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-3326-8000
Fax: 86-21-3326-8021

中国 - 瀋陽
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武漢
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

アジア / 太平洋

中国 - 厦門
Tel: 86-592-2388138
Fax: 86-592-2388130

中国 - 珠海
Tel: 86-756-3210040
Fax: 86-756-3210049

インド - バンガロール
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

インド - ニューデリー
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プネ
Tel: 91-20-3019-1500

日本 - 大阪
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 - 東京
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韓国 - 大邱
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韓国 - ソウル
Tel: 82-2-554-7200
Fax: 82-2-558-5932 または
82-2-558-5934

マレーシア - クアラルンプール
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

マレーシア - ペナン
Tel: 60-4-227-8870
Fax: 60-4-227-4068

フィリピン - マニラ
Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール
Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

台湾 - 高雄
Tel: 886-7-213-7830

台湾 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

タイ - バンコク
Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストリア - ヴェルス
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン
Tel: 45-4450-2828
Fax: 45-4485-2829

フィンランド - エスポー
Tel: 358-9-4520-820

フランス - パリ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

フランス - サン＝クルー
Tel: 33-1-30-60-70-00

ドイツ - ガルヒング
Tel: 49-8931-9700

ドイツ - ハーン
Tel: 49-2129-3766400

ドイツ – ハイルブロン
Tel: 49-7131-67-3636

ドイツ - カールスルーエ
Tel: 49-721-625370

ドイツ - ミュンヘン
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

ドイツ – ローゼンハイム
Tel: 49-8031-354-560

イスラエル - ラーナナ
Tel: 972-9-744-7705

イタリア - ミラノ
Tel: 39-0331-742611
Fax: 39-0331-466781

イタリア - ヴェニス
Tel: 39-049-7625286

オランダ - ドリューネン
Tel: 31-416-690399
Fax: 31-416-690340

ノルウェー - トロンハイム
Tel: 47-7289-7561

ポーランド - ワルシャワ
Tel: 48-22-3325737

ルーマニア - ブカレスト
Tel: 40-21-407-87-50

スペイン - マドリッド
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

スウェーデン - ヨーテボリ
Tel: 46-31-704-60-40

スウェーデン - ストックホルム
Tel: 46-8-5090-4654

イギリス - ウォーキンガム
Tel: 44-118-921-5800
Fax: 44-118-921-5820

11/07/16

© 2018 Microchip Technology Inc.