

半導体の耐性試験 -加速器によるシングルイベント耐性の実測評価-

小林 和淑

Endurance Measurement of Semiconductor Chips
- Beam Test by Particle Accelerator for Single Event Effects -
Kazutoshi Kobayashi

Our daily life highly depends on semiconductor devices such as smart phones. They are also used for social facilities and automotive which must have higher reliability. The soft error has been recognized for these four decades, which is the phenomenon that contents of semiconductor storage elements are flipped by neutron or alpha particles. Since it rarely occurs on the terrestrial region, acceleration tests are mandatory to evaluate radiation hardness. This paper first introduces the single event effects on semiconductor chips. Then soft-error mitigation techniques are explained on process, device and circuit levels. We finally explain how to measure radiation hardness by particle accelerators and conclude this paper.

1 はじめに

半導体集積回路 (Large Scale Integrated circuit, LSI) は 1958 年に Jack Kilby が発明して以来, Moore の法則に従って 3 年 4 倍ともいわれる速度で, 微細化による集積度の向上を果たし, 最新の LSI は, 14nm というシリコン原子 100 個を切るサイズまで微細化している. LSI 上のトランジスタは, それまで使われていた真空管と比べ信頼性は非常に高いが, その信頼性を脅かす要因として, 経年劣化 (摩耗故障), 一時故障が主に挙げられる. 一時故障の一つの中性子, α 粒子によるシングルイベント効果 (Single Event Effect, SEE) はその確率は低いものの, 車や航空機などの信頼性を重視する機器では安全性を脅かす要因となる.

アルファ粒子は, ^{241}Am などの線源を用いることで比較的簡便に照射試験を実施することができる. 一方, 中性子照射にはサイクロトロンやライナックなどの加速器による試験が必要であり, そのコストは大きい.

本稿では, 2 節で, SEE の歴史, メカニズムを述べる. 3 節で SEE を防ぐためのプロセス・デバイス・回路の各レベルの対策を説明する. 4 節で, 中性子を用いた照射試験の方法を述べ, 最後にまとめる.

2 ソフトエラー

本節ではソフトエラーの歴史と発生要因について述べる.

2.1 シングルイベント効果の分類とその歴史

放射線によるシングルイベント効果は主に下記に分類される.

SEU (Single Event Upset) 放射線によりメモリやフリップフロップなどの記憶素子の記憶内容が反転する.

SEL (Single Event Latchup) 放射線により LSI に寄生するサイリスタが ON 状態となり, 大電流が流れ, 動作不良を起こす.

SEB (Single Event Burnout) 主に大電流を流すパワー素子で発生し, 大電流により素子そのものが破壊される.

このうち SEU を一般的にソフトエラーと呼ぶ. これは図 1 に示す通り, 何らかの放射線が集積回路中のトランジスタ付近に突入し, 電子正孔対を発生させることにより起こる現象である. SRAM (Static Random Access Memory) や, フリップフロップなどの記憶素子内で発生すると, 記憶値の反転 (SEU) が起こる. 記憶素子以外で発生しても, 電子正孔対によって生じる SET (Single Event Transient) パルスが記憶素子に取り込まれると記憶値の反転が生じる.

半導体における放射線によるシングルイベント効果が最初に発見されたのは, 現在でもコンピュータのメインメモリとして広く使われている DRAM (Dynamic Random Access Memory) の故障の調査結果からである. これは, LSI を含むパッケージに含まれる微量の放射性同位体が α 崩壊することにより放出される α 線 (He の原子核) によるものである. α 粒子により DRAM の記憶内容を反転させるいわゆるソフトエラーが発生する.

SEE による不具合の具体的な事例として, Sun Microsystems のワークステーション (WS) に使用された IBM 社製の SRAM (Static RAM) が挙げられる. この SRAM は偶然, ソフトエラーに脆弱で, Sun Micro Systems の当時の CEO は, 「IBM の SRAM は金輪際使用しない」とまで言い切った [1]. それ以外にも, エアバス社の飛行機の操縦系統の不具合による事故 [2] などが挙げられる. 記憶に新しい TOYOTA 社の Prius の暴走事故も SEU がその要因として疑われているが真相は不明である.

日常に起こる電子機器の不具合のどの程度が SEE, 特に SEU によるものなのかを示す興味深いデータが

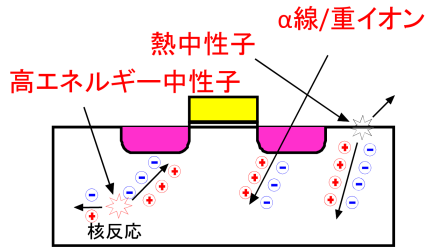


図 1: 地上で SEE を引き起こす 3 つの放射線

表 1: ISO26262 の安全性定義

安全性	FIT 値	用途
ASIL-A	<1000	運転補助 (リアカメラ等)
ASIL-B,C	<100	運転補助 (自動ブレーキ, ダッシュボードディスプレイ等)
ASIL-D	<1	自動運転

ある.[3]では,ソフトエラーに弱いSRAMをDRAMに置き換えた場合の電子機器の故障率が約1/10に下がることを実測により示している.この結果から,日常の電子機器の不具合の90%はSEEによるものであると言える.

安全に直結する自動車,航空機,医療機器は,一時故障が事故に直結するためにソフトエラー対策は必須である.自動車用のLSIでは,ISO26262により表1に示す安全基準レベル(ASIL)により必要なエラー率が,FIT率として定められている.FIT(Failure in Time)とは 10^9 時間に発生するエラー数を表し,ソフトエラー率(SER, Soft Error Rate)を表す単位として用いられている.IECではTC107で航空機の安全性,JEDECではJESD89としてソフトエラーの定義や評価方法など標準化作業が定義されている.現在その改訂作業が順次行われており,筆者もその議論に参加している.

理研やIBMなどのスーパーコンピュータは数万個もの多数のプロセッサから構成されている.通常のコンピュータでは問題にならないエラー発生率でも,瞬時に動作不良となってしまうため,何らかのソフトエラー対策を施したLSI[4, 5]が使用されている.

2.2 ソフトエラーの要因

ソフトエラーは放射線によって引き起こされる.地上ではソフトエラーを引き起こす放射線は主に図1に示す次の3種類である[6, 7, 8].

高エネルギー中性子 高エネルギー中性子は宇宙に存在する高エネルギーのイオンが大気圏に入り,酸素や窒素などの原子核と反応することで発生する.Si基板のSi原子と衝突してプロトン, α 粒子,AlやMgの荷電粒子が生じる.中性子のエネルギーが1MeV以上のものを高エネルギー中性子と呼ぶ.地上ではおおよそ1時間に 1cm^2 あたり,10個程度の中性子が降り注いでいる.

熱中性子 層間絶縁膜として使われているBPSG(borophosphosilicate glass)膜のボロンの同位体 ^{10}B と衝突し, α 粒子とLiが生じる.熱中性子のエネルギーは1eV以下と,高エネルギー中性子と比べて小さいが,BPSG膜が使われていた頃はソフトエラーの要因の約75%を占めていた.しかしCMP(Chemical Mechanical Deposition,薬液と研磨剤による平坦化)に移行した後は,BPSGを使用しなくなったため,エラー率は約1/100に激減した.

α 粒子 LSIやパッケージの材料に含まれる放射性不純物が α 崩壊することによって α 粒子が生じる. α 粒子がドレインに突入すると,通過領域に電子正孔対が生成される.中性子と異なり,通過するだけで電子正孔対が生じる.かつては大きな問題であったが,パッケージやはんだ等に放射性不純物の少ない低 α 材が使われ,沈静化した.しかし,微細化に伴い,低 α 材でも問題となってきたため,さらに放射性不純物の少ない材料も使われ始めているが,コスト高となる.

荷電粒子により誘起された電荷は,空乏層による電界によって引き寄せられドリフト電流となる.その後,拡散による電流や,発生した電荷によって電界が生じファネリングによる電流も流れる.

2.3 SER(Soft Error Rate)の見積もり

SERを N_{SER} とすると次式で表される[9, 10, 11].

$$N_{\text{SER}} = F \cdot CS = F \cdot A \cdot K \cdot \exp\left(-\frac{Q_{\text{crit}}}{Q_s}\right) \quad (1)$$

F は中性子量(Neutron Flux), K は合わせ込みのための比例定数で, $2.2 \cdot 10^{-5}$ である.CSはCross Section(衝突断面積)であり,1粒子により発生する単位時間あたりのソフトエラー数に等しい.

ソフトエラーは,トランジスタのドレイン付近に粒子が突入することで発生する.従って A は,ソフトエラーを起こす可能性のあるノードに接続されたMOSトランジスタのドレイン面積の和となる. Q_{crit} は臨界電荷量(critical charge)と呼ばれ,保持データを反転させるのに必要な電荷量である. Q_s は電荷収集効率(charge collection efficiency)と呼ばれ,プロセスによって決まる量であり,微細化により減少していくと予想されている[11].

式(1)は経験式であるが,実測値と合わせ込みを行うことで簡単なソフトエラー率の見積りに利用することができる.

3 ソフトエラー対策

本節では,ソフトエラーを防ぐためのプロセス,回路,システム各レベルの対策を述べる.

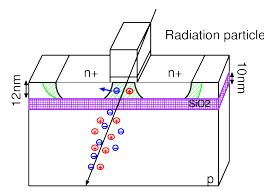
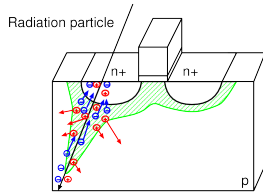


図 2: バルクプロセスのソフトエラー発生機構 図 3: SOI のソフトエラー発生機構

3.1 プロセスレベルの対策

SOI (Silicon On Insulator) は、プロセスレベルの対策として最も有効である。SOI では図 2, 3 に示す通り、基板で発生した電子正孔対が BOX (Buried-Oxide, 埋め込み酸化膜) に遮られドレインに到達しない。さらに寄生サイリスタが形成されないため SEL も発生しない。SOI は基板配線間の寄生容量を低減することによる低電力化を志向して開発されたが、微細化による短チャネル効果の抑制を目的に微細な平坦プロセスでも積極的に用いられている。我々は、28nm UTBB, 65nm SOTB プロセスを用いて耐ソフトエラーフリップフロップ (FF) の試作を行い、そのソフトエラー耐性の評価を行っている [12, 13]。ビットあたりの SER は、65nm において SOI はバルクの 1/10 から 1/100, 28nm SOI は 65nm SOI の約 1/20 となった。SOI では微細化に伴い電子正孔対の発生する有感領域が小さくなるためソフトエラーに強靱になる。トランジスタ同士が BOX 層により絶縁されており、複数のトランジスタに荷電粒子の影響が及ぶ可能性が低い。[13] では、トランジスタを直列接続することによる耐ソフトエラー FF を提案している。この対策は宇宙用途にも用いられている [14]。

3.2 回路レベルの対策

ソフトエラー対策としては、多重化が主に用いられる。図 4 は三重冗長 (Triple Modular Redundancy, TMR) フリップフロップと呼ばれる回路構造である。3 つの FF のうち一つが反転しても、多数決回路により正しい記憶値が出力される。メモリでは、ECC (Error Correction Code) が用いられる。メモリに冗長ビットを付加し、エラーを検出し訂正する。一般的に用いられているのは SECDED (Single-bit Error Correction Double-bit Error Detection) であり、1 ビットのエラーを訂正し、2 ビットのエラーを検出できる。図 5 は、我々が開発した多重化フリップフロップの BCDMR FF である。Intel と Stanford 大により提案された BISER FF はクロック周波数が高いとエラー率が高くなり、ばらつきにも弱い。この欠点を克服した FF である。我々はこの FF を 65nm から 16nm FinFET まで試作と評価を実施し、エラー耐性が高いことを実証している [15, 16, 17]。現在、その宇宙応用を目指して複数の企業と共同研究を開始している。

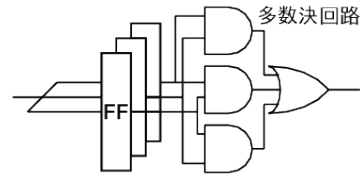


図 4: TMR FF.

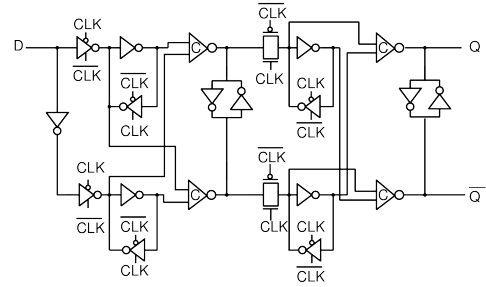


図 5: BCDMR FF.

3.3 システムレベルの対策

自動車やスーパーコンピュータでは、回路レベルの多重化に加えて、システムレベルのエラー検出、訂正機構を備える。自動運転に関連する処理はリアルタイム性が重視されるため自動車ではデュアルロックステップによりエラーを訂正する。これは 2 つの処理をクロックサイクルをずらして行い、結果が異なる場合は再度実行する方式である。ルネサスエレクトロニクスではデュアルロックステップにより表 1 に示した ASIL-B に準拠した SoC を 16nm FinFET プロセスを用いて開発している [18]。

FPGA (Field Programmable Gate Array) はプログラム可能なハードウェアであり、微細化に伴う ASIC の初期コストの増大に伴い、少量多品種の製品を中心にその利用が拡大している。SRAM にその回路データ (コンフィギュレーションデータ) を格納する SRAM 型 FPGA が一般的に用いられているが、SRAM はソフトエラーに脆弱である。コンフィギュレーションデータの反転による誤動作を防ぐために、定期的にデータを読みだして再書き込みを行うスクラビングなどがソフトエラー対策として用いられる。しかし、設計や実装にコストがかかる。

SRAM ではなくアンチヒューズと呼ばれるソフトエラーを起こさない不揮発素子をコンフィギュレーションデータの格納に用いる FPGA もあるが、書き込みが一度しか行えないため、開発段階でのコストが高い。ReRAM (抵抗変化型メモリ) の一つである原子スイッチは一定回数の書き込みが可能な不揮発メモリである。NEC は原子スイッチを用いて面積オーバーヘッドが小さくソフトエラーにも強い FGPA の研究開発を行っている [19]。

4 加速器による中性子起因ソフトエラー耐性の実測評価

ここでは、中性子起因のソフトエラーを評価するための加速器を用いた実測方法に言及し、加速器を使わない他の評価方法についても述べる。

4.1 国内外の中性子照射施設

我々は、2009年より中性子による半導体のソフトエラー耐性の実測評価を大阪大学核物理研究センター(RCNP)で行っている。RCNPでは年に2回程度、白色中性子(WN)ビームの実験期間が設けられている。我々に加えて複数の企業が実験を行っており、自動車用、スーパーコンピュータ用のSoC[20]、フラッシュメモリ、DRAM、パワーデバイス[21]などの中性子耐性試験を実施している。

WNビームは図6に示すように地上の中性子スペクトラムをほぼ再現し粒子数を増加させている。RCNPで得られる中性子束は地上に降り注ぐ中性子強度の 4×10^8 倍であり、地上での10年を1秒に加速している。WNビーム実験が可能な施設はRCNPの他には、米国のロスアラモス国立研究所の中性子科学センターLANSCE、カナダTRIUMF、現在無期限閉鎖中のスウェーデンのANITAなど数えるほどしかない。米国では、ルータ企業のCISCOがソフトエラー対策に積極的であり、Vanderbilt大学を起点にソフトエラーに強靱なFFの研究開発を行っており、エラー耐性試験にLANSCEのWNビームを用いている。微細化に伴いソフトエラーの影響が無視できなくなってきたこともあり、ロシア、韓国、米国などの企業がRCNPのビームの利用を検討している。WNビームの他には、準単色中性子ビームを用いて地上でのソフトエラー率を測定する手法も提案されており[22]、日本では東北大学などが準単色ビームを提供している。

4.2 WNビームによる半導体の放射線耐性の評価方法

RCNPでは、400MeVの陽子ビームをタングステンターゲットに照射し、30度方向に飛び出してくる中性子を直径10cm程度にコリメートして西実験室へ導くことにより、WNビームを供給している。中性子は透過率が高く、遮蔽するため、実験室は3m以上のコンクリートで覆われている。測定には、DUT(測定対象デバイス)に効率よく中性子を当てる必要があるが、同時にその測定系の中性子による誤動作を防がなければならない。我々は、可搬型のLSIテスターを実験室に持ち込んで測定を実施している。図7、8に実験のセットアップと実験の様子を示す。LSIテスターはASICおよびソフトエラーに脆弱なSRAM、SRAM型FPGAが多数搭載されており、ビーム射出

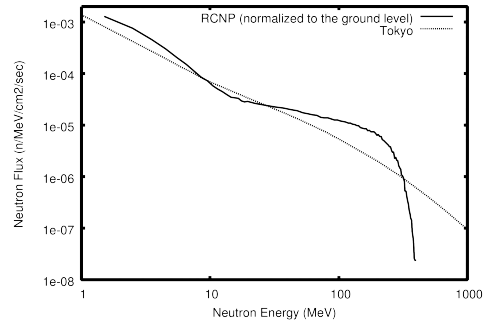


図6: 地上とRCNPのWNビームによる中性子エネルギーの分布。WNビームは地上の分布に規格化

口の前方に配置するとソフトエラーにより誤動作を起こす。これを防ぐため、テスターから4mのケーブルを伸ばし専用の測定治具を射出口直後に置いている。テスターはUSBケーブルによりPCと接続するが、PCを実験室内に置くとエラーが多発し測定に支障が生じるため、USBケーブルをLANケーブルに変換し、PCは実験室の外に配置している。

このような対策を施しても、テスターの誤動作や測定結果の誤判定が起こる。ソフトエラーによる誤動作は電源を一旦切れば回復する。ただし、米国製の測定機器は安全対策として緊急停止スイッチを備えているものが多い。このため、AC電源を切って再度電源を投入してもテスタの電源は入らない。電源投入にはスイッチを物理的に押す必要がある。テスタの再起動のためにはビームを止め、実験室に入室しなければならないが、これは貴重なビームタイムの浪費だけではなく、ビーム停止による不具合にもつながる。このためマイコンボードとサーボモータを使った遠隔電源制御装置を作成した。サーボモータ側を実験室に、マイコンボード側を実験室外に置き、LANケーブルを制御線として利用する。電源のON/OFFはマイコンボード上のプッシュスイッチを用いて行う。LANケーブルはさらに、実験室内外を結ぶインターフォンの通信路としても利用している。

我々はLSIテスターと延長ケーブルを用いて評価しているが、海外でも同様の方法で測定を行っている[23]ほか、FPGAを使ってLSIを制御する方法も取られている。いずれも、測定系を中性子ビーム射出口の直後には置けないため、延長ケーブルを用いて測定を実施している。

SRAMやFFなどのメモリ素子のソフトエラー率を測定する場合、下記の手順を繰り返す。初期化や読み出し中にも中性子はDUTに照射されているためソフトエラーは発生するが、通常5分としている放置時間に比べると無視できるほど小さい。

1. メモリ内容を初期化する。
2. 一定時間放置する。クロックを与えるダイナミックテストと与えないスタティックテストの2種

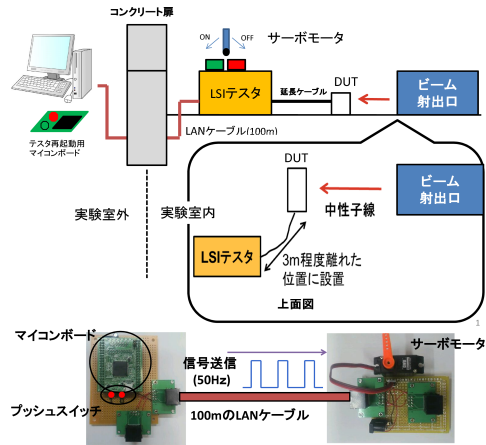


図 7: 中性子照射実験のセットアップ



図 8: 中性子照射実験の様子

類がある。

3. メモリ内容を読み出す。

FF の SER の評価には、すべての FF を数珠つなぎにする回路シフトレジスタ構造で行っている。ダイナミックテストの場合はクロックを与え続けるため、FF の反転値がクロックによりチップの外に消えてしまう。これを防ぐために、図 9 に示すループ構造を用いている。初期化及び読み出し時にはシフトレジスタ構造とし、放置時には一定数の FF をループ状に接続し、反転値をループ内に閉じ込める。

この測定手法により、3 節で紹介した BCDMR FF が従来の BISER FF と比べて高いクロック周波数でも高いエラー耐性を示すことを実証した [16]。

4.3 他の SER 評価手法

地上での中性子による SEE を測定する方法として、フィールド試験も用いられている。これは、多数の DUT を並べ、宇宙から降り注ぐ中性子により測定を行う方法である。海拔の低い地上ではエラー率が低いため、ハワイのマウナケア山で測定をした例 [24] も報告されている。フィールド試験には長い時間を

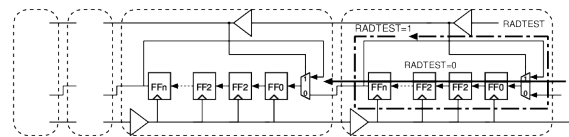


図 9: 発生したエラーを閉じ込めるための構造。RADTEST=1 でシフトレジスタからループ状に接続が変わる。

要し、SRAM などの揮発性メモリを用いる場合には電源を常に供給しておく必要がある。しかし、WN ビームを用いる方法と比べて、地上で実際に起きる SER の観測が可能でありその精度は高い。

一方、コストのかかる実測ではなくシミュレーションにより SER を求めようという研究も盛んに行われている。シミュレーションにはデバイスシミュレーション (TCAD) や回路シミュレーション (SPICE) を用いる。TCAD にデバイス構造を与え、荷電粒子を突入させることによって発生する電荷がトランジスタに及ぼす影響を評価することができる。SPICE では、発生する電子正孔対による電流を電流源に置き換えて評価する方法 [25] が一般的である。我々は、放射線挙動を模擬できる PHITS[26] と、TCAD を組み合わせた SER 評価プラットフォームを構築し、正確かつ高速に SER を評価することが可能であることを示した [27]。

5 まとめ

本稿では、加速器を用いて生成した中性子の半導体利用の一例として、シングルイベント効果 (SEE) の測定をまとめた。SEE の一種である SEU は中性子起因の電流パルスにより、メモリの値が書き換わる現象である。地上での中性子数は少なく、SEE はめったに発生しないため、加速器により生成した中性子束により SEE の発生量を著しく高めた状態で測定をすることが望ましい。加速器を用いれば地上で得られる中性子の 4×10^8 倍のスピードで実験が可能であり、10 年で起こる現象を 1 秒に短縮可能である。

微細化に伴い 1 チップに搭載されるトランジスタの数は既に 10 億個を超えている。LSI の用途は、日常の電子機器のみならず、社会インフラや自動車にも大きく広がり、信頼性の低下は社会生活や人命をも脅かす。我々は今後も中性子ビームによる SEE 現象の実測評価により、一時故障に強靱な信頼性の高い集積回路の実現を目指す。

謝辞 中性子ビームの利用に関して、大阪大学 RCNP に感謝する。測定に用いた LSI は、大規模集積システム設計教育研究センターを通じ、シノプシス、日本ケイデンス、メンターグラフィックス、ルネサスエレクトロニクス、ST マイクロエレクトロニクスの協力で試作されたものである。本稿の執筆にあたり、貴重なご意見を頂いた本学熊代教授、RCNP 福田教授、サムスン電子上村氏、ソシオネクスト松山氏、HIREC 伊部氏に感謝する。

参考文献

- [1] *ComputerWorld*, p. 12, Dec. 3, 2001.
- [2] “In-flight upset, 154 km west of Learmonth, WA, 7 October 2008, VH-QPA Airbus A330-303,” *ATSB Transp. Safety Report - Aviation Occurrence Investigation*, no. AO-2008-070, pp. 1–313, Dec. 2011.
- [3] K. Shimbo, T. Toba, K. Nishii, E. Ibe, Y. Taniguchi, and Y. Yahagi, “Quantification & mitigation techniques of soft-error rates in routers validated in accelerated neutron irradiation test and field test,” *SELSE*, 2011.
- [4] J. Warnock and et.al., “22nm next-generation IBM system z microprocessor,” in *ISSCC*, Feb 2015, pp. 1–3.
- [5] R. Kan, T. Tanaka, G. Sugizaki, R. Nishiyama, S. Sakabayashi, Y. Koyanagi, R. Iwatsuki, K. Hayasaka, T. Uemura, G. Ito, Y. Ozeki, H. Adachi, K. Furuya, and T. Motokurumada, “A 10th generation 16-core sparc64 processor for mission-critical unix server,” in *ISSCC*, 2013, pp. 60–61.
- [6] 小林一, 白木秀樹, 白石謙, 土屋博男, 元吉真, 義家敏正, 石崎敏孝, 櫻井良憲, 永井泰樹, and 高久圭二, “宇宙線中性子によるSRAMのソフトエラー-微細化に伴うMOSFET共通の問題-,” *Technical report of IEICE. ICD*, vol. 103, no. 2, pp. 57–62, 2003.
- [7] 長田健一, 北井直樹, 蒲原史朗, and 河原尊之, “電荷収集と寄生バイポーラ効果を考慮したSRAMの中性子ソフトエラー解析,” *Technical report of IEICE. ICD*, vol. 105, no. 2, pp. 31–36, 2005.
- [8] “知っておきたいソフト・エラーの実態 - 歴史と評価方法, 対策まで,” *日経エレクトロニクス*, no. 903, pp. 145–155, 2005.
- [9] P. Hazucha, C. Svensson, and S. Wender, “Cosmic-Ray Soft Error Rate Characterization of a Standard 0.6- μ m CMOS Process,” *IEEE Journal of Solid-State Circuits*, vol. 35, no. 10, pp. 1422–1429, 2000.
- [10] P. Shivakumar, M. Kistler, S. Keckler, D. Burger, and L. Alvisi, “Modeling the effect of technology trends on the soft error rate of combinational logic,” in *Prof. of ICDNS*, 2002, pp. 389–398.
- [11] P. Hazucha and C. Svensson, “Impact of CMOS technology scaling on the atmospheric neutron soft error rate,” *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp. 2586–2594, 2000.
- [12] M. Hifumi, E. Sonezaki, J. Furuta, and K. Kobayashi, “Radiation hardness evaluations of ffs on 28nm and 65nm thin BOX fd-soi processes by heavy-ion irradiation,” in *RASEDA*, Nov. 2015, pp. 93–96.
- [13] J. Furuta, J. Yamaguchi, and K. Kobayashi, “A radiation-hardened non-redundant flip-flop, stacked leveling critical charge flip-flop in a 65 nm thin BOX fd-soi process,” *IEEE Trans. Nucl. Sci.*, vol. 63, no. 4, pp. 2080–2086, Aug. 2016.
- [14] A. Makihara, T. Yamaguchi, Y. Tsuchiya, T. Arimitsu, H. Asai, Y. Iide, H. Shindou, S. Kuboyama, and S. Matsuda, “See in a 0.15 μ m fully depleted cmos/soi commercial process,” *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3621–3625, 2004.
- [15] J. Furuta, C. Hamanaka, K. Kobayashi, and H. Onodera, “A 65nm bistable cross-coupled dual modular redundancy flip-flop capable of protecting soft errors on the C-element,” in *VLSI Circuit Symp.*, June 2010, pp. 123–124.
- [16] C. Hamanaka, R. Yamamoto, J. Furuta, K. Kubota, K. Kobayashi, and H. Onodera, “Variation-tolerance of a 65-nm error-hardened dual-modular-redundancy flip-flop measured by shift-register-based monitor structures,” *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E94-A, no. 12, pp. 2669–2675, Dec. 2011.
- [17] R. Yamamoto, C. Hamanaka, J. Furuta, K. Kobayashi, and H. Onodera, “An area-efficient 65 nm radiation-hard dual-modular flip-flop to avoid multiple cell upsets,” *IEEE Trans. Nucl. Sci.*, vol. 58, no. 6, pp. 3053 – 3059, Dec. 2011.
- [18] C. Takahashi, S. Shibahara, K. Fukuoka, J. Matsushima, Y. Kitaji, Y. Shimazaki, H. Hara, and T. Irita, “A 16nm FinFET heterogeneous nona-core SoC complying with ISO26262 ASIL-B: Achieving 10^7 random hardware failures per hour reliability,” in *ISSCC*, Jan 2016, pp. 80–81.
- [19] M. Miyamura, S. Nakaya, M. Tada, T. Sakamoto, K. Okamoto, N. Banno, S. Ishida, K. Ito, H. Hada, N. Sakimura, T. Sugibayashi, and M. Motomura, “Programmable cell array using rewritable solid-electrolyte switch integrated in 90nm CMOS,” in *ISSCC*, Feb 2011, pp. 228–229.
- [20] T. Uemura, Y. Tosaka, H. Matsuyama, K. Shono, C. Uchibori, K. Takahisa, M. Fukuda, and K. Hatanaka, “SEILA: Soft error immune latch for mitigating multi-node-SEU and local-clock-SET,” in *Proc. Int. Rel. Phys. Symp.*, May 2010, pp. 218–223.
- [21] H. Asai, K. Sugimoto, I. Nashiyama, Y. Iide, K. Shiba, M. Matsuda, and Y. Miyazaki, “Terrestrial neutron-induced single-event burnout in SiC power diodes,” *IEEE Trans. Nucl. Sci.*, vol. 59, no. 4, pp. 880–885, Aug 2012.
- [22] N. Kanekawa, E. H. Ibe, T. Suga, and Y. Uematsu, *Dependability in Electronic Systems: Mitigation of Hardware Failures, Soft Errors, and Electromagnetic Disturbances*. Springer Science & Business Media, 2010.
- [23] “<https://www.cts-advantest.com/ja/stories/marvel-server-evaluation>.”
- [24] Y. Tosaka, R. Takasu, T. Uemura, H. Ehara, H. Matsuyama, S. Satoh, A. Kawai, and M. Hayashi, “Simultaneous measurement of soft error rate of 90 nm CMOS SRAM and cosmic ray neutron spectra at the summit of mauna kea,” in *Proc. Int. Rel. Phys. Symp.*, May 2008, pp. 727–728.
- [25] L.F.Kastensmidt, L.Carro, and R.Reis, *Fault-Tolerance Techniques for SRAM-Based FPGAs*. Springer, 2006.
- [26] “<http://phits.jaea.go.jp/index.html>.”
- [27] K. Zhang, S. Umehara, J. Yamaguchi, J. Furuta, and K. Kobayashi, “Analysis of soft error rates in 65- and 28-nm fd-soi processes depending on BOX region thickness and body bias by monte-carlo based simulations,” *IEEE Trans. Nucl. Sci.*, vol. 63, no. 4, pp. 2002–2009, Aug. 2016.