

# SPICEに頼らない回路設計入門

和田 知久

琉球大学・工学部・情報工学科教授

wada@ie.u-ryukyu.ac.jp

<http://bw-www.ie.u-ryukyu.ac.jp/~wada/>

# Stanford大学、Prof. Mark Horowitz シミュレーションを語る。

- シミュレーションのルールはいくらか宗教的な話である。“正しい”答えはない、各々が自分独自のベストアプローチを持っている。私は普段、大部分の人に比べて、回路シミュレーションをあまり使わない。シミュレーションが自分がほしい情報(どうすればパフォーマンスを向上できるか)を提供しないことを知っているからである。
- これに関しては、簡単な経験則の方がもっと有効であるように思える。自分はSPICEを自分の簡単なモデルのチェックに使用する。そして、最後に自分がミスをしていないことを確かめる。SPICEの結果が自分の期待と違う時、大抵の場合SPICEが悪い。回路入力が悪いか、トランジスタモデルが悪いかである。私が思うに、シミュレーションを流す前に結果を知っていることが重要である。さもないと、その結果がJUNC(くず)かどうか解らない。
- 「シミュレーションに思考の代わりはつとまらない」

# SPICEに頼らない回路設計

- STANFORD大学 Mark Horowitz先生の言葉  
「SPICEなどの回路シミュレーションをするにあたって、  
設計者として結果を予想しておくことが重要である。  
さもなければ、SPICEの結果が意味のあるものかどうか  
判断できない。」
- 本講義は上記言葉を踏まえ、コンピュータシミュレーションなしに回路の動きや遅延をラフに把握するための基礎知識を解説する。
- 回路シミュレーションを使用しないのではなく、シミュレーションに振り回されず、うまく利用する設計者になることを目的とする。

# アウトライン

- CMOS論理回路の遅延計算方法  
Rule Of Thumb  
桜井の容量式  
エルモア遅延モデル
- セン스アンプの小信号ゲイン計算  
MOSFETの小信号パラメータ  
小信号回路の作り方
- セン스アンプ設計の落とし穴

# CMOS論理回路の遅延計算方法

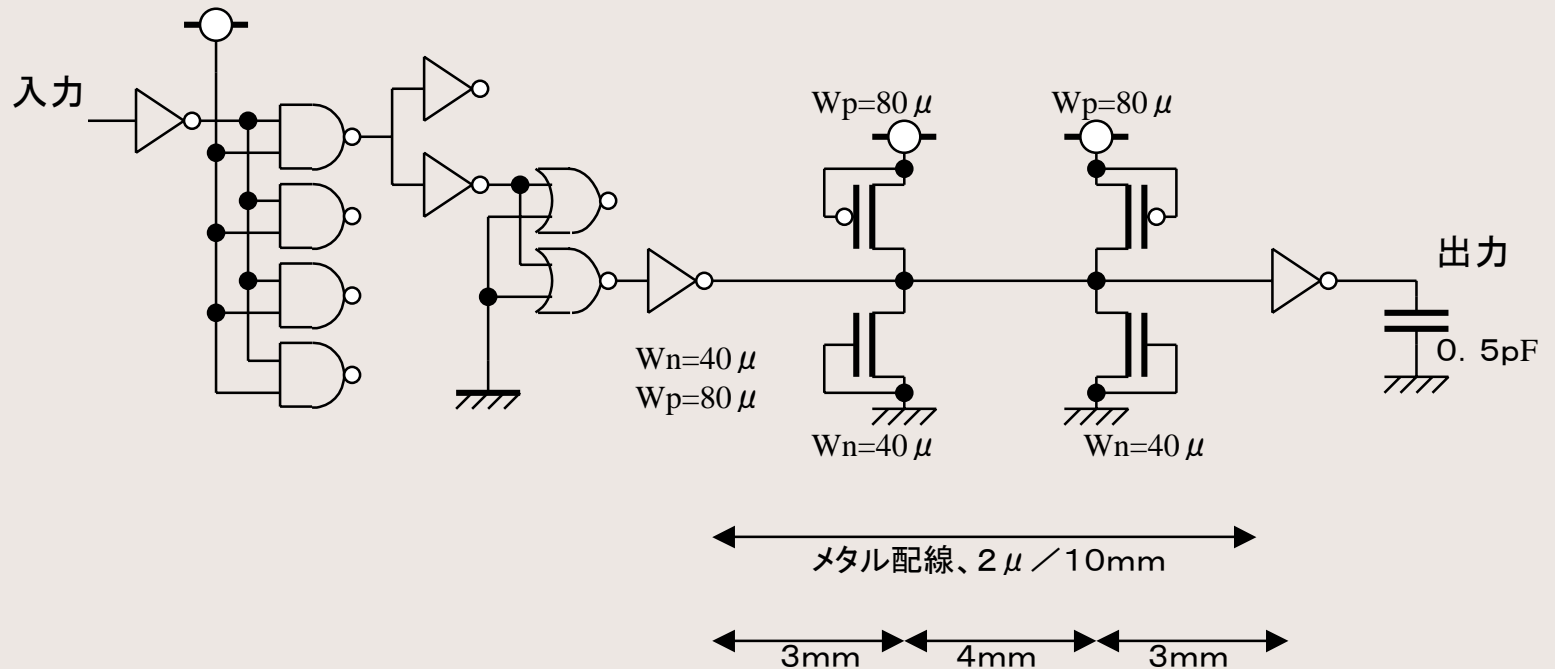
2001/10/18

琉球大学・情報工学科 和田知久

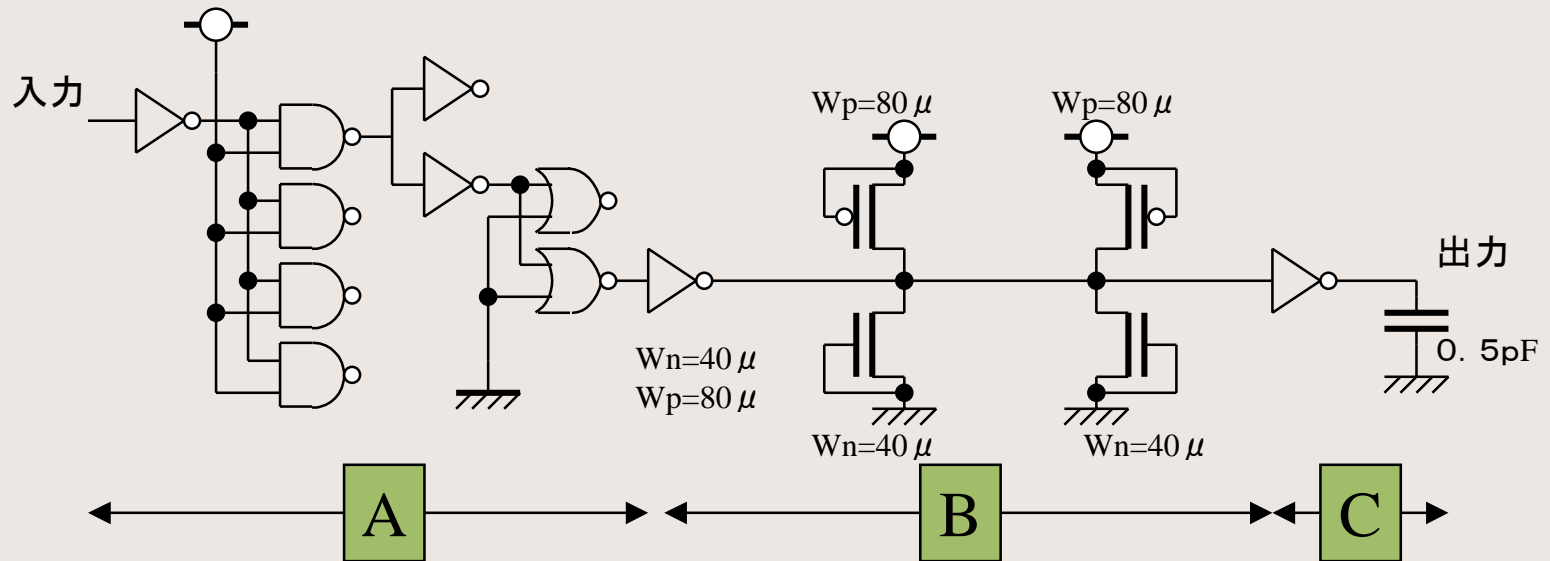
5

# 問題1 概略遅延を求めよう！

図中に表記のないNMOSの $W_n$ は $10\mu$ 、PMOSの $W_p$ は $15\mu$



# 概略遅延計算方法



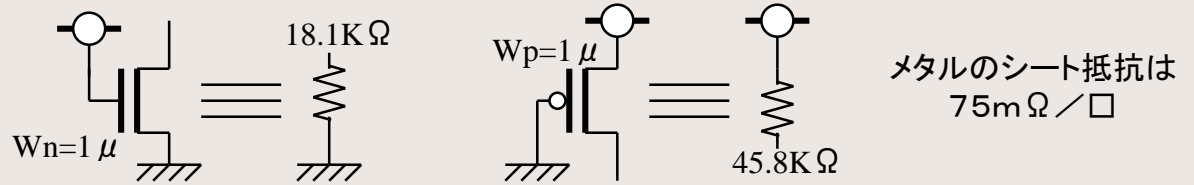
A: 各ゲートのファンアウト特性で計算できる

B: 配線のRCネットワークをエルモア遅延モデルで計算

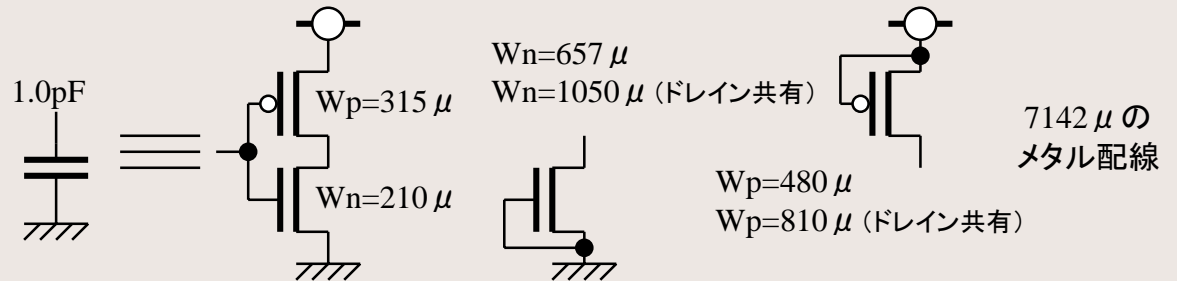
C:  $0.5\text{pF}$ に等価なゲートサイズを求めて計算する

# Rule Of Thumb (ある0.8 μ CMOS)

## 1) 等価抵抗

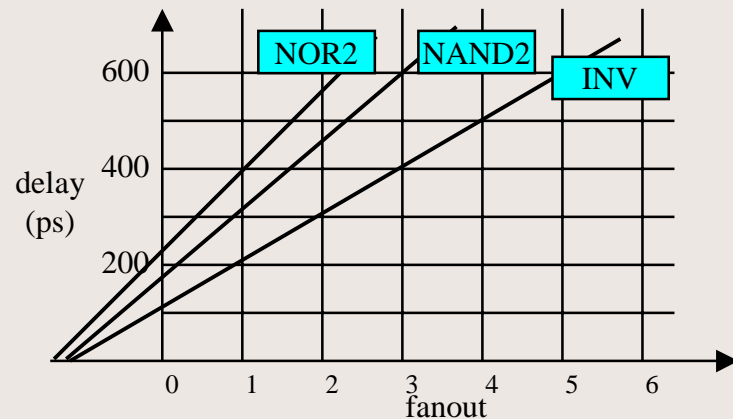


## 2) 等価容量



## 3) 論理ゲート遅延

$$\begin{aligned}
 t_d(\text{inv}) &= 120 \text{ps} + \text{fanout} * 120 \text{ps} \\
 t_d(\text{NAND2}) &= 180 \text{ps} + \text{fanout} * 140 \text{ps} \\
 t_d(\text{NOR2}) &= 240 \text{ps} + \text{fanout} * 160 \text{ps}
 \end{aligned}$$



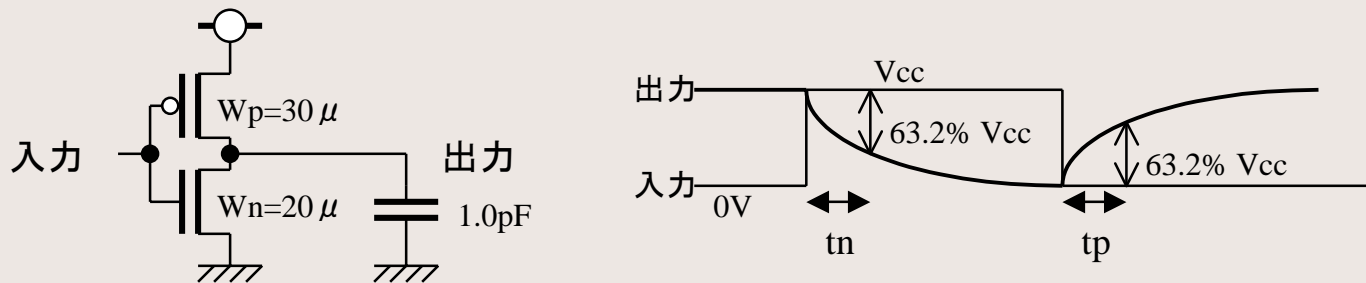


# Rule Of Thumbの作り方(等価抵抗)

## 1) 等価抵抗



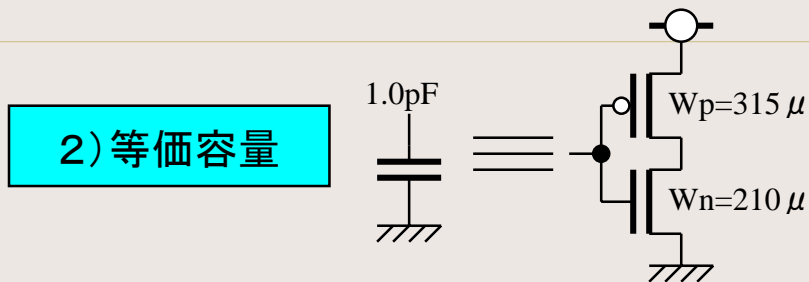
等価抵抗を求める理由は“速度を見積もるため”であり、以下の方法で求める。  
決してトランジスタのDC時のId特性から求めてはならない。  
SPICEシミュレーションで以下のようなシミュレーションをする。



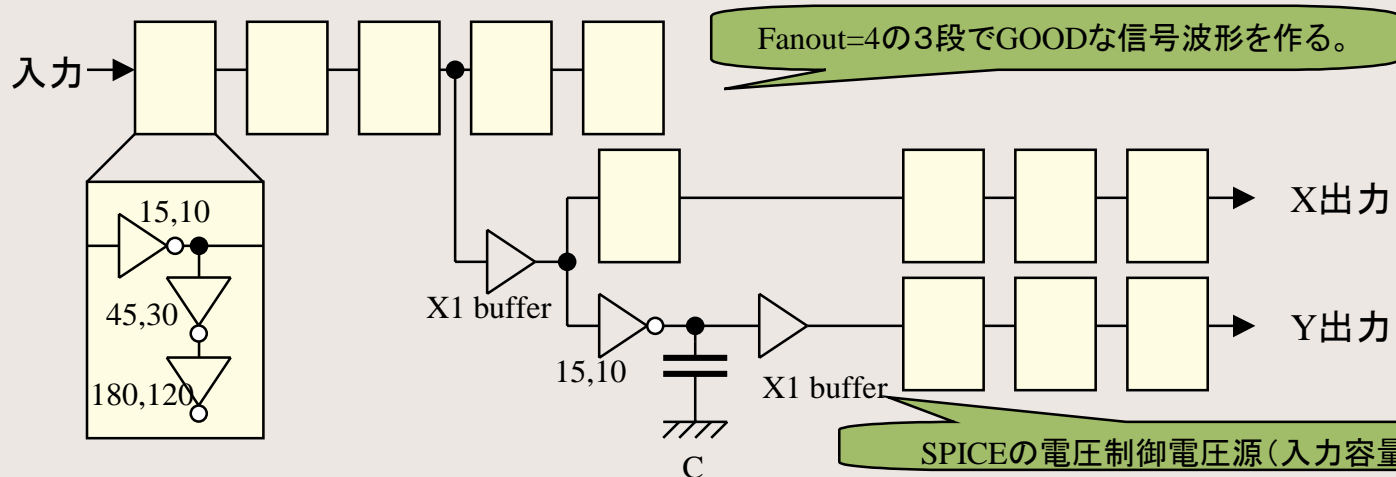
RC回路は  $V(t) = V_{cc} \cdot (1 - e^{-\frac{t}{RC}})$  なので、63.2%までの時間はCR時定数となる。

$$R_n(W_n = 1\mu) = \frac{t_n \cdot W_n}{1pF}, \quad R_p(W_p = 1\mu) = \frac{t_p \cdot W_p}{1pF}$$

# Rule Of Thumbの作り方 (等価ゲート容量)



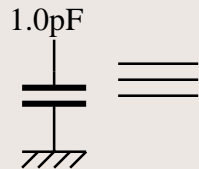
“速度を見積もるため”であり、SPICEシミュレーションで以下のようなシミュレーションをする。



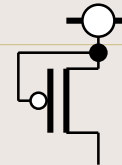
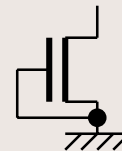
X出力とY出力が同一タイミングになる C は(60, 40)なるCMOSインバータの入力容量と等しく、これより換算して1pFに等価なCMOSインバータを求める。

# Rule Of Thumbの作り方 (等価ドレイン容量)

## 2) 等価容量

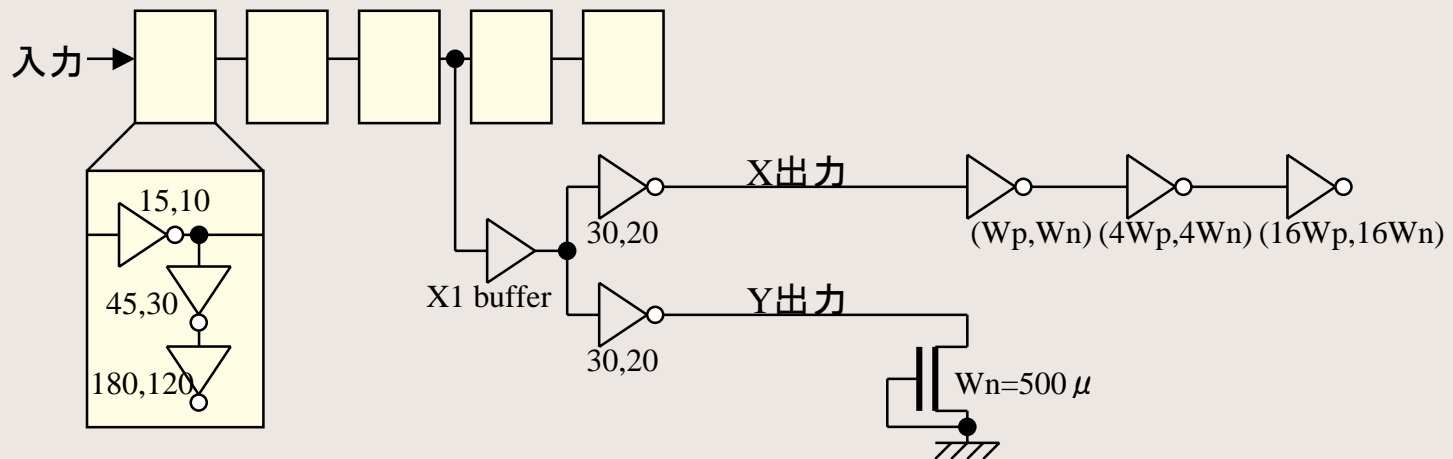


$W_n=657 \mu$   
 $W_n=1050 \mu$  (ドレイン共有)



$W_p=480 \mu$   
 $W_p=810 \mu$  (ドレイン共有)

同様に以下のようなSPICEシミュレーションをする。

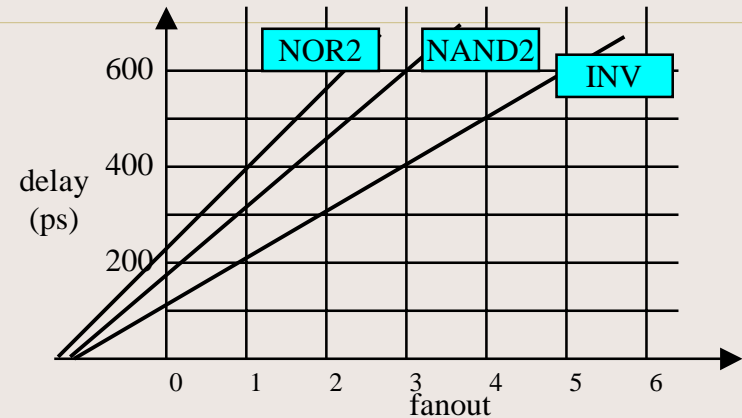


X出力とY出力が同一タイミングになるCMOSインバータのサイズ( $W_p, W_n$ )を求めることで、ドレイン容量とゲート容量の関係がわかる。

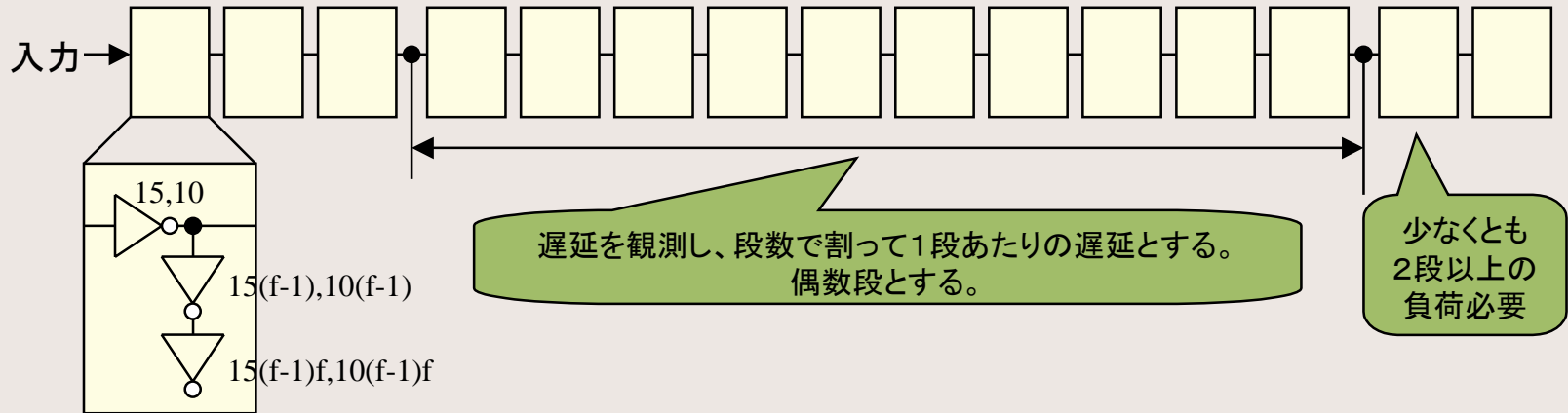
# Rule Of Thumbの作り方 (論理ゲート遅延)

## 3) 論理ゲート遅延

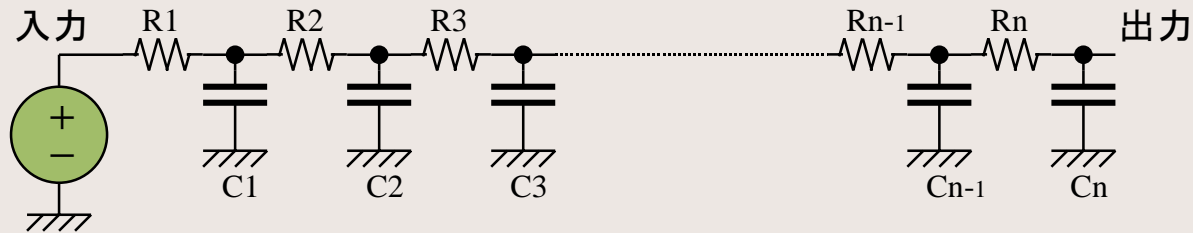
$$\begin{aligned}td(inv) &= 120ps + fanout * 120ps \\td(NAND2) &= 180ps + fanout * 140ps \\td(NOR2) &= 240ps + fanout * 160ps\end{aligned}$$



Fanout値fを変えながら、以下のようなSPICEシミュレーションをする。NAND,NORに対してはそれぞれの入力に対してやる。



# 配線遅延の見積(エルモア遅延モデル)



理想電源入力から出力ノードまでの遅延は

$$\text{Delay} = R_1 \cdot C_1 + (R_1 + R_2) \cdot C_2 + \dots + (R_1 + R_2 + \dots + R_n) \cdot C_n$$

但し、エルモアの遅延モデルは単なる近似で精度は良くない。(保証されていない)

しかし、設計者が概算するには適した式である。

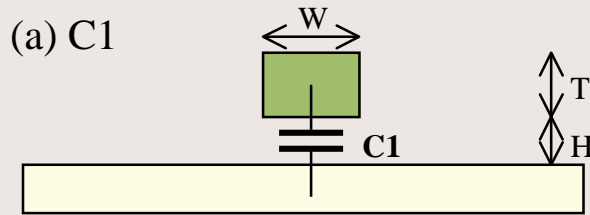
特にすべての  $R_j = R$ ,  $C_j = C$  の時は

$$\text{Delay} = RC \cdot n(n+1) / 2 \quad \text{となり、} n \text{ の2次式となる。}$$

# 配線容量の見積もり(桜井先生の式)

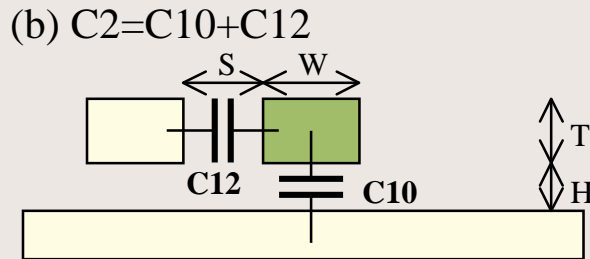
一般的には、2次元のポワソン方程式を解くシミュレータで容量値をもとめるが、以下に割と精度の良い近似式を示す。

Sakurai, "Simple Formulas for Two- and Three-dimensional Capacitances," IEEE Tran. On ED, ED-30, Feb. 1983, pp.183-185.

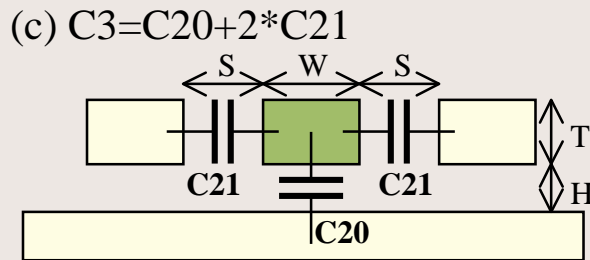


$$\frac{C1}{\epsilon ox} = 1.15 \left( \frac{W}{H} \right) + 2.8 \left( \frac{T}{H} \right)^{0.222}$$

$0.3 < \frac{W}{H}, \quad \frac{T}{H} < 30$  で誤差 < 6 %



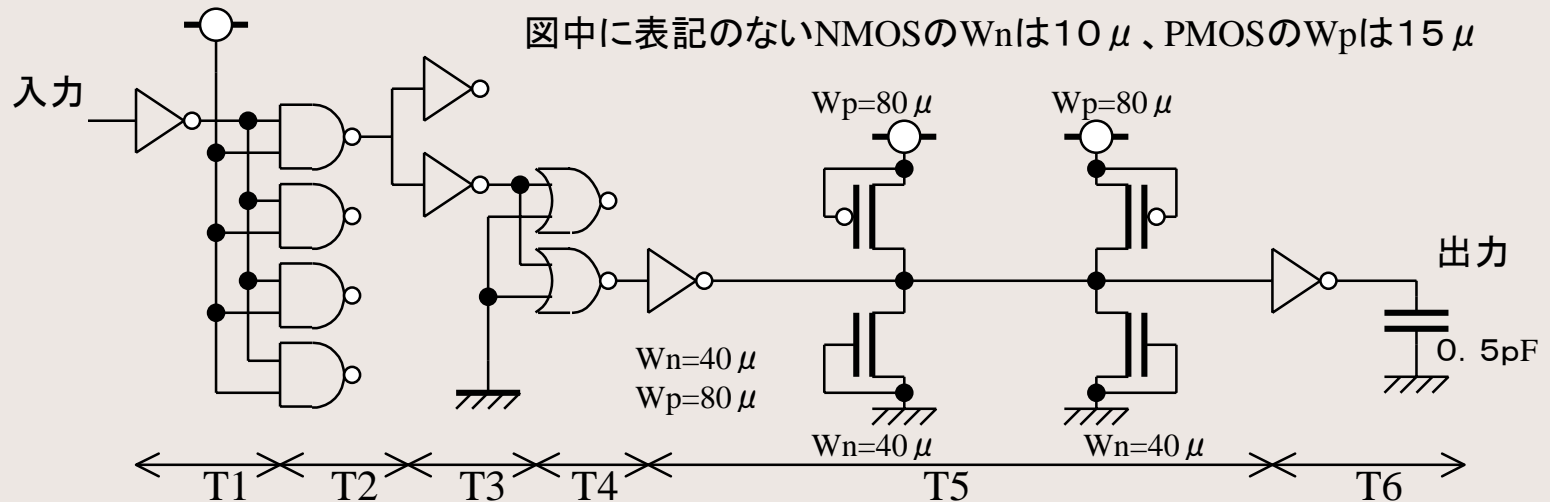
$$\frac{C2}{\epsilon ox} = \frac{C1}{\epsilon ox} + \left[ 0.03 \left( \frac{W}{H} \right) + 0.83 \left( \frac{T}{H} \right) - 0.07 \left( \frac{T}{H} \right)^{0.222} \right] \left( \frac{S}{H} \right)^{-1.34}$$



$$\frac{C3}{\epsilon ox} = \frac{C1}{\epsilon ox} + 2 \left[ 0.03 \left( \frac{W}{H} \right) + 0.83 \left( \frac{T}{H} \right) - 0.07 \left( \frac{T}{H} \right)^{0.222} \right] \left( \frac{S}{H} \right)^{-1.34}$$

$0.3 < \frac{W}{H}, \quad \frac{T}{H} < 10, \quad 0.5 < \frac{S}{H} < 10$  で誤差 < 10 %

# 問題1の解答方法(1)



手順1:  $T1$ 、 $T2$ 、 $T3$ はRule Of Thumbの3)より値がわかる。

$$T1=(\quad), T2=(\quad), T3=(\quad)$$

手順2:  $W_n=40\mu$ 、 $W_p=80\mu$ のインバータは $W_n=48\mu$ 、 $W_p=72\mu$ のインバータと入力容量は等価であるので、fanout=4.8であり、 $T4$ はRule Of Thumbの3)より値がわかる。

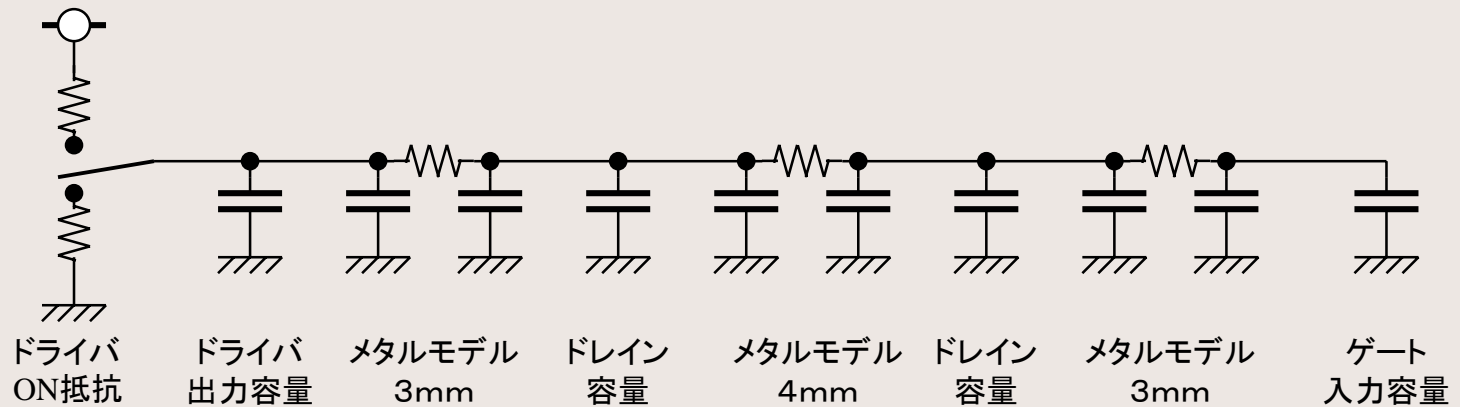
$$T4=(\quad)$$

手順3:  $0.5\text{pF}$ はRule Of Thumbの2)より等価なインバータに置き換えて、 $T6$ を計算する。

$$T6=(\quad)$$

# 問題1の解答方法(2)

手順4: T5ステージをRule Of Thumbを用いて以下等価回路に変換する。



手順5: エルモア遅延モデルを用いてライズタイムT5R、フォールタイムT5Fを計算する。

$$T5R=( \quad ), T5F=( \quad )$$

手順6: トータルの遅延時間を求める。

$$T(\text{all})=T1+T2+T3+T4+\text{MAX}(T5R, T5F)+T6=( \quad )$$



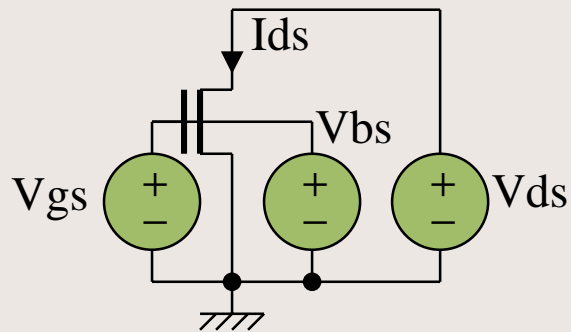
# CMOS論理回路の遅延計算方法

- 論理合成を使わないような高性能小規模設計時には、トランジスタサイズを自由に変更して論理回路を設計することが要求される。
- 説明した遅延見積もりを体得すれば、設計中に特に遅いステージを簡単に発見することができ、最適に近い回路を簡単に設計できる。
- 特に、バス回りの設計は不具合が発生しやすく、エルモアの方法で遅延をチェックすることは有効である。

# センスアンプの小信号ゲイン計算

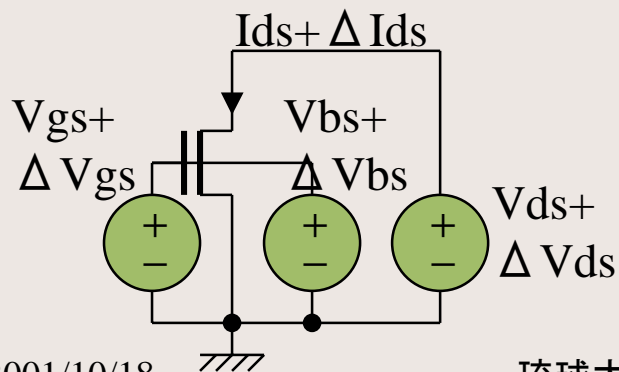
# MOSFETの小信号モデルとは

バイアス状態

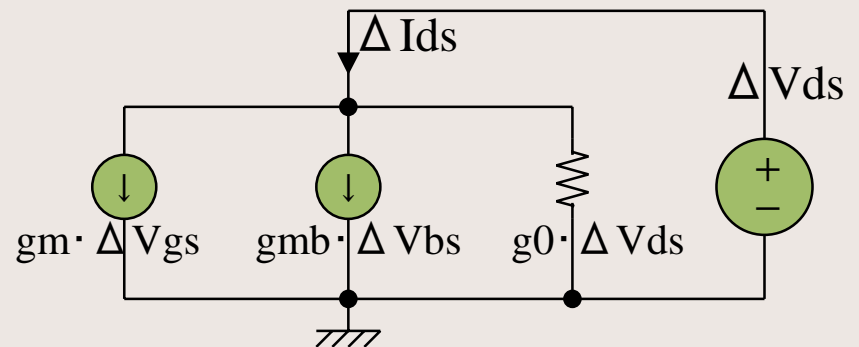


- MOSFETの小信号モデルとはあるバイアスされた状態からの、ドレイン・ソース間電圧の変化 ( $\Delta V_{ds}$ )、ゲート・ソース間電圧の変化 ( $\Delta V_{gs}$ )、基盤・ソース間電圧の変化 ( $\Delta V_{bs}$ ) によるドレイン電流の変化 ( $\Delta I_{ds}$ ) を示す簡単なモデルである。

少し変化した状態



2つの回路の差



# 小信号パラメータ

$$\Delta I_{ds} = g_m \cdot \Delta V_{gs} + g_{mb} \cdot \Delta V_{bs} + g_0 \cdot \Delta V_{ds}$$

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}}$$

$$g_{mb} = \frac{\partial I_{ds}}{\partial V_{bs}}$$

$$g_0 = \frac{\partial I_{ds}}{\partial V_{ds}}$$

一般にMOSFETを飽和領域で動作させると、

$$g_m > g_{mb} > g_0$$

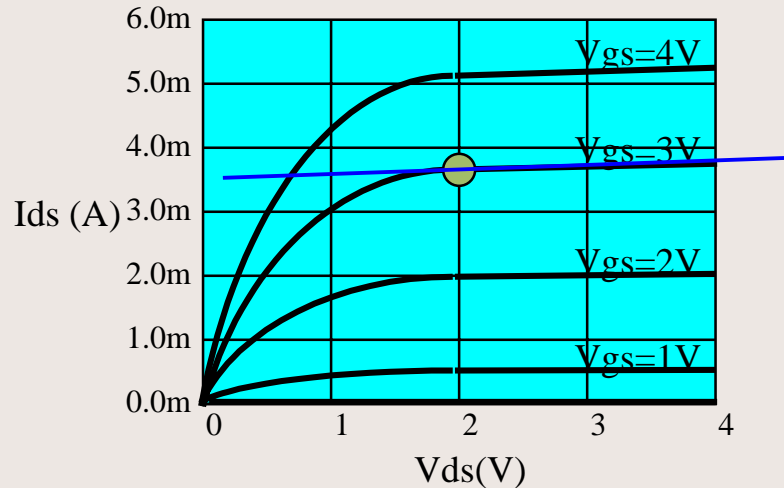
このパラメータの四則演算でアンプのゲイン等は表すことができる。たとえば、

$$-\frac{g_m}{g_0}$$

したがって、一般に大きな $g_m$ と小さな $g_0$ が望まれる場合が多い。

# ラフに小信号パラメータを求める。

以下の2つのデータより、小信号パラメータを求める。



$V_{bs}$ が $-1V$ から $0V$ に変化すると、 $V_{th}$ が $0.2V$ 下がった。

● 印がバイアス点で、 $V_{ds}=2V$ ,  $V_{gs}=3V$ ,  $V_{bs}=0V$ とする。

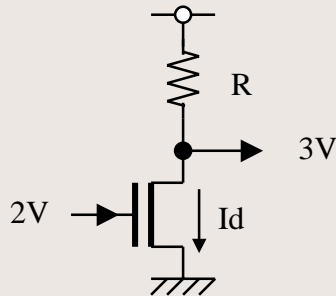
$g_m$ :  
 $V_{gs}$ が $2V$ から $4V$ に変化すると、 $I_{ds}$ が $2mA$ から $5.1mA$ に変化するので、  
 $g_m=3.1mA/2V = 1.55mA/V$

$g_0$ :  
 $V_{ds}$ が $1V$ から $3V$ に変化すると、 $I_{ds}$ が $3.6mA$ から $3.8mA$ に変化するので、  
 $g_m=0.2mA/2V = 0.1mA/V$

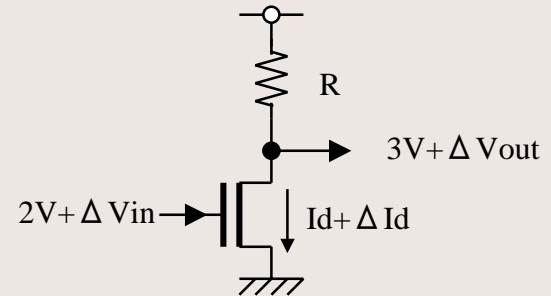
$g_{mb}$ :  
 $V_{bs}$ が $-1V$ から $0V$ に変化すると、 $V_{th}$ が $0.2V$ 下がるので、  
 $g_{mb}=g_m \times 0.2V/1V = 0.31mA/V$

# 小信号等価回路とは

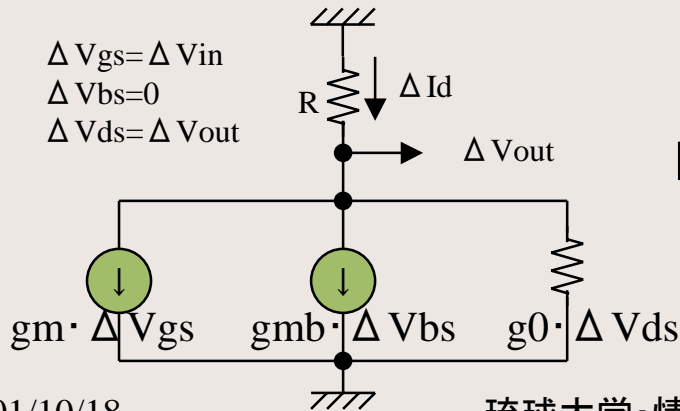
ある回路がこのように  
バイアスされていた。



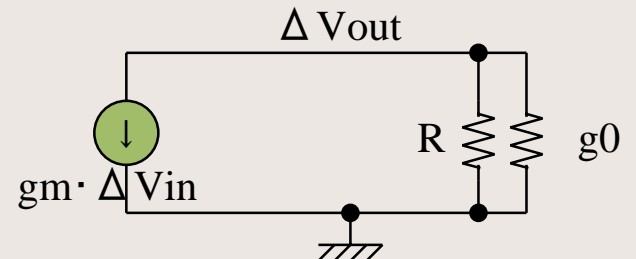
入力を  $\Delta V_{in}$  変化させると、  
電流が  $\Delta I_d$ 、出力が  $\Delta v_{out}$  変化した。



上記2つの回路の差を取り出す。



簡単化する。



$$\frac{\Delta V_{out}}{\Delta V_{in}} = -\frac{g_m}{g_0 + \frac{1}{R}}$$

# 回路の差を取り出す時のルール

- 電圧、電流値は差を取る  
したがって、電源もGNDもすべてGND(差=0V)になる

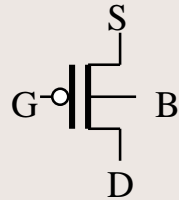
- MOSFETは小信号等価回路

$$\Delta I_{ds} = g_m \cdot \Delta V_{gs} + g_{mb} \cdot \Delta V_{bs} + g_0 \cdot \Delta V_{ds}$$

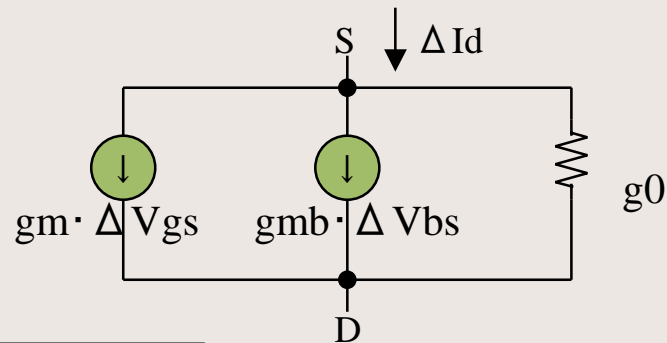
- 抵抗などの線形素子はそのまま

# 1 MOSFET負荷の小信号モデル

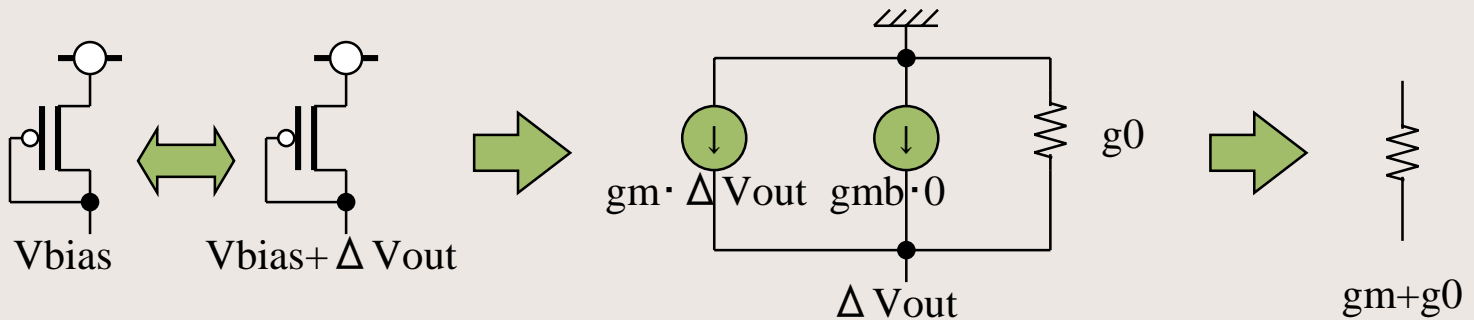
PMOSFETの小信号モデル



≡



以下のPMOSFET負荷小信号モデル



$g_m$ はトランジスタが作る最も低い抵抗、したがってこの負荷はクランプする能力が高く、低振幅に適するダイオード負荷である。

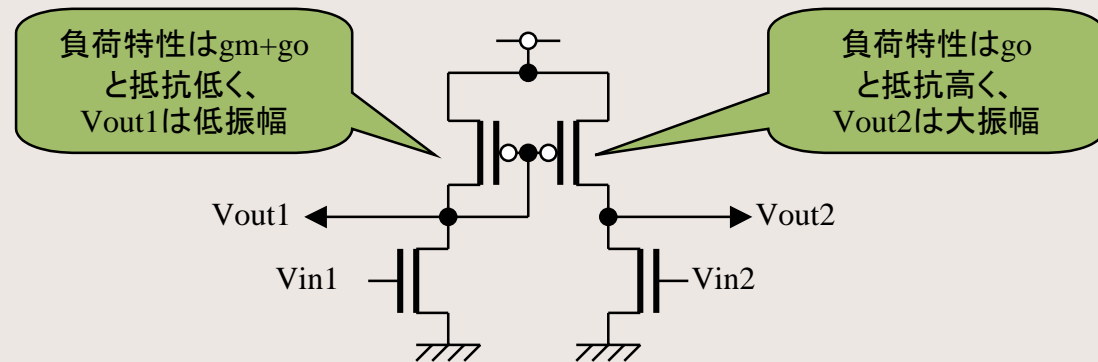


# 設計者として感じるべきこと

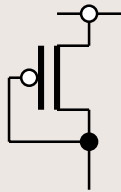
- アナログ回路の負荷デバイスを即座に認識できれば、回路動作の理解が速くなる。

負荷の強さ  $g_m$  ,  $g_{mb}$  ,  $g_0$  で、一般に以下が成立する。

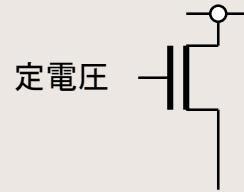
$$g_m > g_{mb} > g_0$$



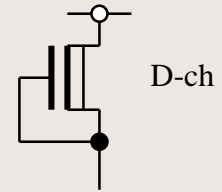
## 問題2 各負荷のコンダクタンスは？



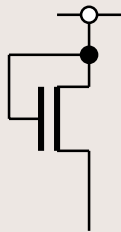
A: ( )



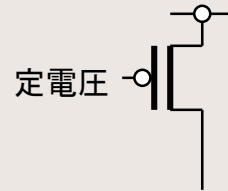
B: ( )



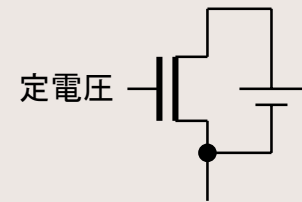
C: ( )



D: ( )



E: ( )



F: ( )

\* PMOSのバックゲートは $V_{cc}$ 、NMOSのバックゲートはGNDとする。

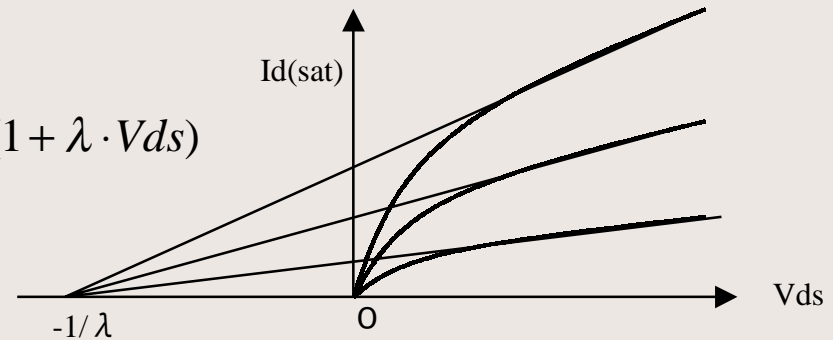
# 和田のTrモデル

問題3のために、和田のモデルを定義します。

•古典MOSFETではゲート・ソース電圧の2乗に比例して、ドレイン電流は増加したが、最近あたりまえのショートチャネルMOSFETではキャリアの速度飽和の効果で1乗でしか電流が増加しないので、以下のような飽和領域のモデルを定義する。

$$I_d(sat) = k_s \cdot \left( \frac{W}{L} \right) \cdot (V_{gs} - V_{th}) \cdot (1 + \lambda \cdot V_{ds})$$

注意: 飽和領域でのみ使用できる。



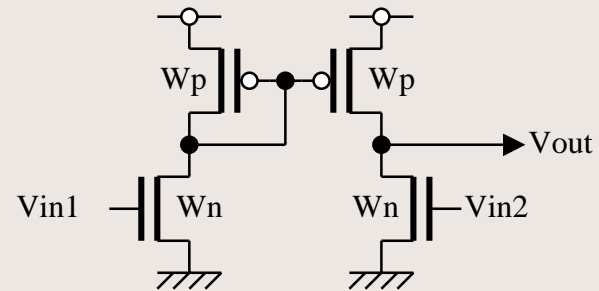
$$g_m = \frac{\partial I_d(sat)}{\partial V_{gs}} = k_s \cdot \left( \frac{W}{L} \right) \cdot (1 + \lambda \cdot V_{ds}) = \frac{I_d(sat)}{(V_{gs} - V_{th})}$$

$$g_0 = \frac{\partial I_d(sat)}{\partial V_{ds}} = k_s \cdot \left( \frac{W}{L} \right) \cdot (V_{gs} - V_{th}) \cdot \lambda$$

# 問3 センスタンプのDCゲイン計算

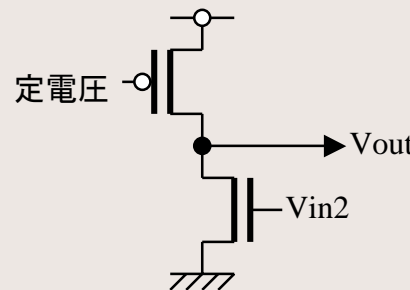
右のカレントミラー負荷を用いた、  
センスタンプのDCゲインを  
以下の手順でもとめよう！

NMOSの $g_m, g_0$ を $g_{mN}, g_{0N}$ 、  
PMOSの $g_m, g_0$ を $g_{mP}, g_{0P}$ とする。



手順1:  $V_{in2}$ を $\Delta V_{in2}$ 変化させた時の $\Delta V_{out}$ を求めよ。

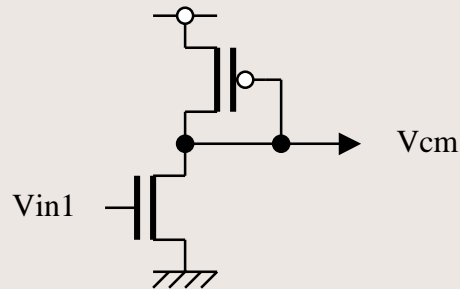
$V_{in1}$ が変化しないので、  
Bは定電圧となり、  
右図のように考えると。



$$\frac{\Delta V_{out}}{\Delta V_{in2}} = ( \quad )$$

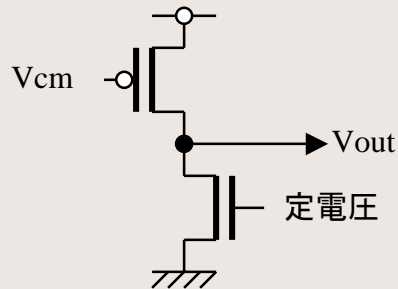
# 問3 続き1

手順2:  $V_{in1}$ を  $\Delta V_{in1}$ 変化させた時の  $\Delta V_{cm}$ を求めよ。



$$\frac{\Delta V_{cm}}{\Delta V_{in1}} = ( \quad )$$

手順3:  $V_{cm}$ を  $\Delta V_{cm}$ 変化させた時の  $\Delta V_{out}$ を求めよ。



$$\frac{\Delta V_{out}}{\Delta V_{cm}} = ( \quad )$$

手順4: したがって、

$$\frac{\Delta V_{out}}{\Delta V_{in1}} = \frac{\Delta V_{cm}}{\Delta V_{in1}} \cdot \frac{\Delta V_{out}}{\Delta V_{cm}} = ( \quad )$$

## 問3 続き2

手順5: センスアンプのDC時の消費電流を2mA、Lをすべて $0.5\mu$ として、 $W_n$ と $W_p$ を決定せよ。

4ケのMOSFETは全て飽和しており、  
 $I_d$ 特性は「和田の式」で与えられるとする。

NMOSパラメータ:  $K_s=70\mu$  (A/V)、 $V_{th}=0.887$ (V)、 $\lambda=0.043$ (1/V)

PMOSパラメータ:  $K_s=22.4\mu$  (A/V)、 $V_{th}=-0.445$ (V)、 $\lambda=0.167$ (1/V)

バイアス条件  $V_{cc}=5$ V、 $V_{in1}=V_{in2}=2$ V、 $V_{out}=3$ V

$$W_n = ( \quad ), \quad W_p = ( \quad )$$

手順6: 上記バイアス時の小信号パラメータを計算せよ。

$$g_{mN} = ( \quad ), \quad g_{0N} = ( \quad )$$

$$g_{mP} = ( \quad ), \quad g_{0P} = ( \quad )$$

手順7: 上記小信号パラメータでセンスアンプのDCゲインを計算せよ。

$$\frac{\Delta V_{out}}{\Delta V_{in1}} = ( \quad )$$

$$\frac{\Delta V_{out}}{\Delta V_{in2}} = ( \quad )$$



---

# センスアンプ設計の落とし穴

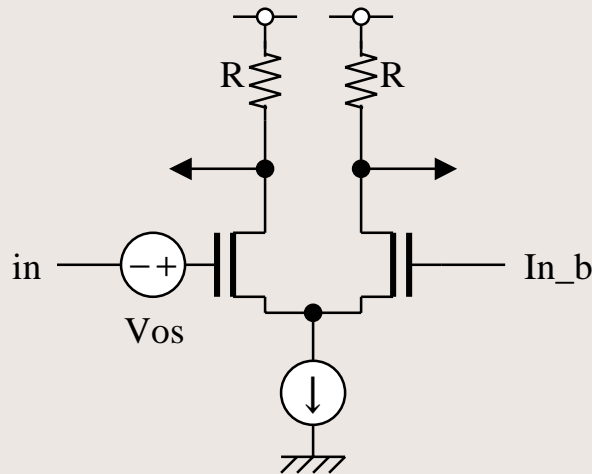
2001/10/18

琉球大学・情報工学科 和田知久

31

# 1. 入力オフセット電圧

差動アンプには入力オフセット電圧 ( $V_{os}$ ) が存在する。



$$V_{os} = |\Delta V_t| + \frac{V_{gs} - V_t}{2} \cdot \left\{ \left| \frac{\Delta R}{R} \right| + \left| \frac{\Delta(W/L)}{(W/L)} \right| \right\}$$
$$= (2 \sim 10)mV + (100 \sim 500)mV \cdot (5\% + 5\%)$$
$$= 12 \sim 60mV$$

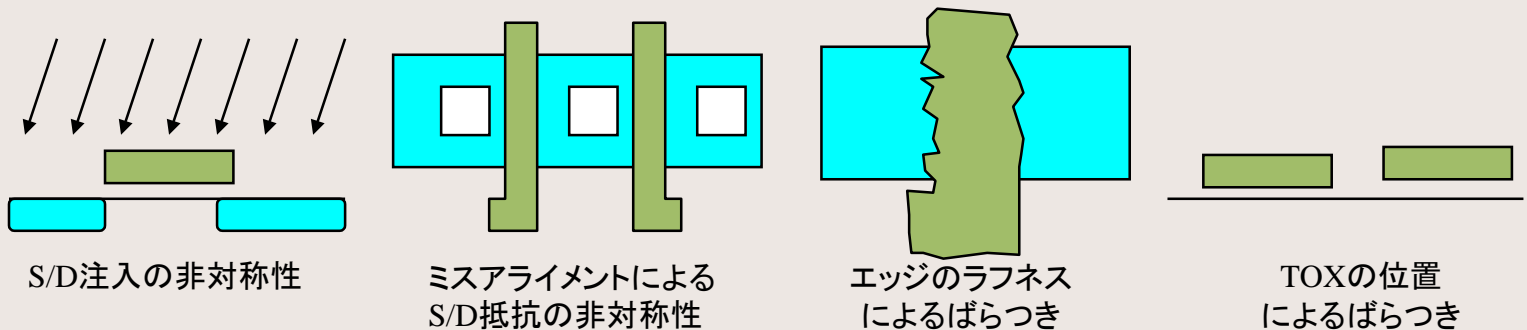
P. GRAY & R. MEYER, Analysis and Design of Analog Integrated Circuits 2<sup>nd</sup>, WILEY, 1983

- 何を意味するか？
  - 1) 入力をイコライズ(同電位)にしても、出力はイコライズされない。
  - 2) 100mVの差動信号を入力しても、有効に働くのは40mV程度かも知れない。



## 2. 非対称性の発生

- 回路シミュレーションではすべてのデバイスの特性はマッチしているが、実際はゲートの向き、ミスアライメント等で特性は異なる。
- たとえレイアウトが完璧（同一形状の平行移動で作成）でも、ゲートエッジはキザキザしているし、Toxは場所で異なる。

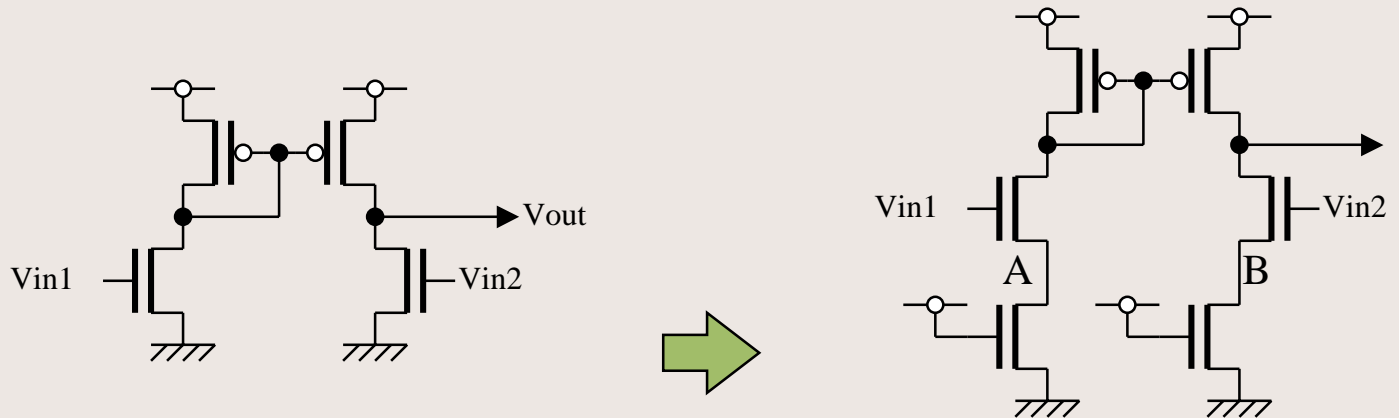


- （同一形状の平行移動）レイアウトでS/D注入とミスアライメントにほぼ対応でき、
- コモンセントロイドレイアウトでTOXばらつきにもほぼ対応できるが、
- ランダムに発生するエッジの形状異常は対策不能である。

正直言えば、このランダムに発生するばらつきで、大きく歩留まりを落とした経験あり。

### 3. ソース抵抗によるゲイン低下

- 差動アンプのドライバTRのソース抵抗はゲインを下げる。  
いわゆる、ソース(エミッタ)デジジェネレーション効果です。



$$A_v = \frac{g_m N}{g_{oN} + g_{oP}}$$

$$A_v = \frac{g_m N}{g_{oN} + g_{oP}} \cdot \frac{1}{1 + g_m N \cdot R_s}$$

- AとBをショートすればゲインは回復する。

# センスアンプ設計

- ラフに小信号モデルを使うことで、
  - (1) 負荷の強さを把握し、回路動作の見通しを得ることができる。
  - (2) 大まかにセンスゲインを計算することができる。
- センスアンプ設計には小信号を取り扱うので、以下の点に注意が必要である。
  - (1) 入力オフセット電圧
  - (2) 非対称性の発生
  - (3) ソース抵抗によるゲイン低下

# 最後に

- 「SPICEに頼らない回路設計」とは  
実はSPICEをうまく使用する回路設計である。
- ここで説明した手法を習得して、  
回路の動作をよく理解し、  
SPICEでめくらめっぽうに回路を調べるのではなく、  
SPICEを自分のアイデアの検証に  
使うような回路設計者になって頂きたい。

# 琉球大学 シノプシス・シリコンシーベルト デザインコンテスト2002

- 昨年と同様に琉球大学・情報工学科主催で学生対象にHDL (VHDL or Verilog)によるデザインコンテストを開催します。沖縄に行ってみいたいという学生はぜひ参加してください。
- HDLによるアルゴリズム・アーキテクチャ設計を行い、合成・検証結果をレポートする。(実チップ不要、FPGA歓迎)
- 事前選考で選ばれた各チームの代表を、2002年3月8日に、琉球大学工学部(沖縄県)での発表会に招待します。

(2泊3日沖縄の旅をプレゼント！)

- 参加者全員にオリジナルTシャツと優秀者には5万円程度の賞品を授与する予定です。
- 昨年度はCDMAレシーバを設計しました、今年度は差集合巡回符合複合器を設計予定
- 詳しくは以下のURL(和田のホームページ)を参照下さい。  
<http://bw-www.ie.u-ryukyu.ac.jp/~wada/>