

修士論文要旨(2015 年度)

忘れられる権利に向けた TLC NAND 型フラッシュメモリの寿命を制御する手法の研究

Research on Data Lifetime Management Scheme of TLC NAND Flash Memory for Right to be Forgotten

電気電子情報通信工学専攻 竹内研究室 14N5100052K 山沢裕紀

Hiroki YAMAZAWA

1. 研究の背景

Internet of Things(IoT)におけるプライバシー保護は重要な問題である[1]。インターネット上のプライバシーを保護するために忘れられる権利が制定された[2]。忘れられる権利とは、個人情報などを収集した企業等に対して個人の意思でその消去を求めることができる権利である。検索エンジンから個人情報につながるリンクを削除することが可能である。そして、クラウドストレージサービスでは、プライバシー保護のために所定の時間が経過した時に、アップロードした写真や文書が自動で削除することができる機能が追加された[3]。しかし、実現するためには各々のデータを管理するためのテーブルが必要となり、管理するファイルが多ければテーブルサイズがより増加してしまう。

そこで本研究では、TLC NAND 型フラッシュメモリの寿命の制御を行うために Partial bit-flip(PBF)と N_{PBF} page-allocation scheme の 2 つの提案を行った。これらの提案手法を用いることで、ユーザーが求める時間に達すると自動で、且つ、物理的にデータが破損するようになる。そして、管理するファイルの数によらずテーブルサイズは小さいまま運用が可能となる。

2. NAND 型フラッシュメモリ

図1にNAND型フラッシュメモリの構造と動作を示す[4]。FN (Fowler-Nordheim) トンネリング電流によって電子を浮遊ゲートに注入・放出することでメモリセルのしきい値電圧を変化させ、データを記憶する。FN トンネリング電流は、高電界を浮遊ゲートとシリコン基板の間に加えることによって電子が絶縁膜を通り移動する現象である。そして TLC NAND 型フラッシュメモリは 1 つのセルに 1st、2nd、3rd ページと呼ばれる 3 つのデータを書き込むことができ、ページ単位で書き込みと読み出しを行う。TLC NAND 型フラッシュメモリのブロックとページの構造は図 2 に示す。1 ブロック内にあるワードラインは 86 本あり、各ワードラインに 3 ページ分データを書くことができるため、

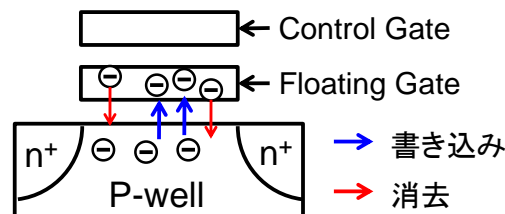


図 1. NAND 型フラッシュメモリの構造と動作

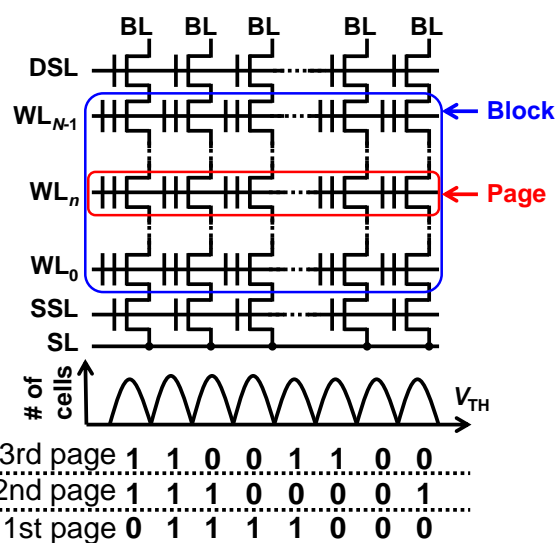


図 2 TLC NAND 型フラッシュメモリのブロックとページの構造[5]

ページ数は 258 ページである。

次に、TLC NAND 型フラッシュメモリの信頼性について説明する。図 3 に TLC NAND 型フラッシュメモリの書き換え回数ごとのデータ保持特性を示す。NAND 型フラッシュメモリは書き込みディスターブエラーとデータ保持エラーにより信頼性が悪化する。データ保持エラーは、書き換え回数増加によるストレスに起因して生じた絶縁膜内のトラップを介して浮遊ゲートから電子が抜け落ち、しきい値電圧が減少するエラーである[6]。そして、時間が経過するにつれ抜け落ちる電子が増加するため、Bit-error rate(BER)が増加する。生じたエラーは誤り訂正符号 (ECC) によって訂正される。現在 SSD の ECC は Bose-Chaudhuri-Hocquenghem (BCH) 符号が用いられている。BCH 符号は、符号語内に生じているエラーは訂

正可能なビット数 (t) までなら元のデータに復元することができる。一方、ビットエラー数が t ビットを超えた場合は元のデータに復元できなくなる。

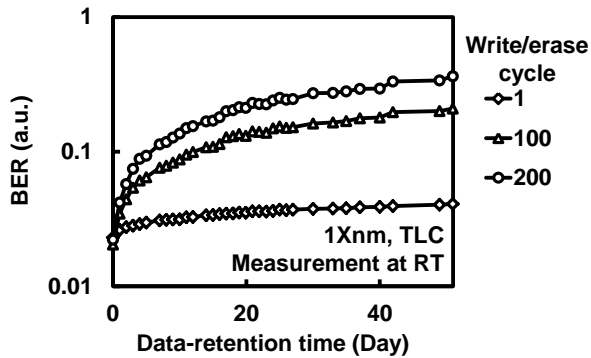


図3 TLC NAND 型フラッシュメモリの各書き換え回数におけるデータ保持特性

3. TLC NAND 型フラッシュメモリの寿命を制御する手法

図4に提案するコントローラを示す。BCH符号による訂正可能なエラー数と、NAND型フラッシュメモリのデータ保持特性からデータの最大寿命が決定される。提案する手法はこの特性を利用し、書き込み時のデータに意図的にエラーを注入することでデータの寿命の制御を行う。書き込みを行う際、まずホストから書き込みデータと論理アドレスをFlash-translation layer (FTL) へと送る。FTLからページ番号や書き換え回数を取得することができ[7]、得られた情報より、PBFテーブルからページ番号と書き換え回数、そして、ホストから得られたターゲット寿命をもとに注入するエラーの量(N_{PBF})が選択される。必要な N_{PBF} が決定したら、ECCエンコードされたデータに対して、各ページのデータに N_{PBF} だけビットを反転し TLC NAND 型フラッシュメモリへと書き込

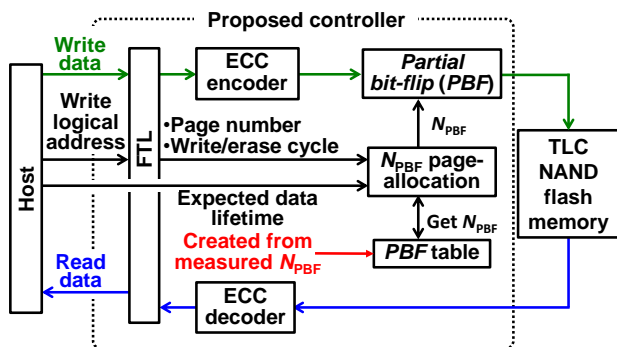
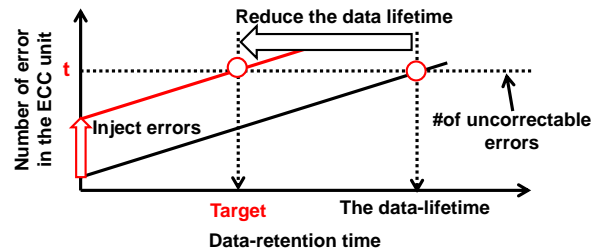


図4 提案するコントローラ

みを行う。ターゲット寿命の時間が経過した後にデータが読み出されると、誤り訂正限界を超えたビットエラーが生じているため、元のデータに戻すことができずにエラーが生じた状態のままデータがホストへと送られる。したがって、提案するコントローラは、データは自動的に破損し、且つ、各ファイルを管理するような大きなテーブルを必要しない。

a). Partial bit-flip (PBF)

TLC NAND 型フラッシュメモリの寿命を制御する手法である *Partial bit-flip (PBF)* の概念図を図5に示す。エラー! 参照元が見つかりません。図3に示したように NAND 型フラッシュメモリに書き込まれたデータのビットエラーは時間の経過に伴って増加する。PBFは、ターゲット寿命に訂正不可能なエラー数に達するように符号語内のビットを意図的に反転させる手法である。このPBFによって、図5のように本来のビットエラーの増加傾向(黒線)がPBFを適用することにより赤線の増加傾向へとシフトし、データ寿命が短くなる。本研究では、ECCのユーザーデータサイズを1KBとした際の各ページの寿命を評価している。



Target data-lifetime	W/E cycle	Write data
		Original data
1 month	1	0 1 1 0 1 1 0 1 0
	100	1 0 0 1 0 1 0 1 0
1 year	1	1 0 0 1 1 1 0 1 0
	100	1 0 1 0 1 1 0 1 0

Partial bit-flip (PBF) ECC unit (e.g. 1KByte + parity)

図5 Partial bit-flip (PBF) の概念図

そして、PBFによって反転させるビット量 (N_{PBF}) は、書き換え回数やターゲットとするデータ寿命に応じて決められる。図6にターゲット寿命ごとの N_{PBF} を示す。書き換え回数は1回、100回、200回である。 N_{PBF} はターゲット寿命の増加に伴い減少している。ターゲット寿命が延びれば、ターゲット寿命時の BER

が高くなるため書き込み時に注入する N_{PBF} は少なくなる。同様に、書き換え回数が増加すると BER も高くなるため N_{PBF} が小さくなる。したがって、ターゲット寿命が長くなるほど、書き換え回数が大きくなるほど N_{PBF} の値は小さくなる。これらの測定された N_{PBF} は、PBF テーブルの作成に用いられる。PBF テーブルとは、書き換え回数とターゲット寿命より N_{PBF} を選定するテーブルである。

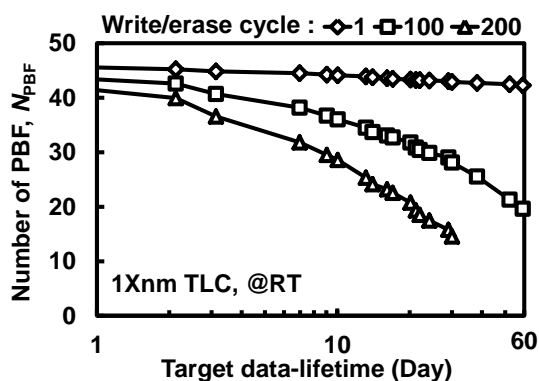


図 6 Number of PBF(N_{PBF})

図 7 に PBF を適用した結果を示す。ターゲット寿命は 7 日に設定し、書き換え回数は 100 回である。この時の N_{PBF} は 39 ビットとなる。図 6 に示すように、ターゲット寿命と書き換え回数によって決められた N_{PBF} を注入したとしても、ターゲット寿命である 7 日に達せずに寿命が来たページや、30 日以上経過してから寿命が来たページが存在した。データ寿命がターゲット寿命よりも長ければ、プライバシーを保護することはできないため、データ寿命のばらつきを削減する必要がある。

図 8 にページ番号ごとの BER を示す。TLC NAND 型

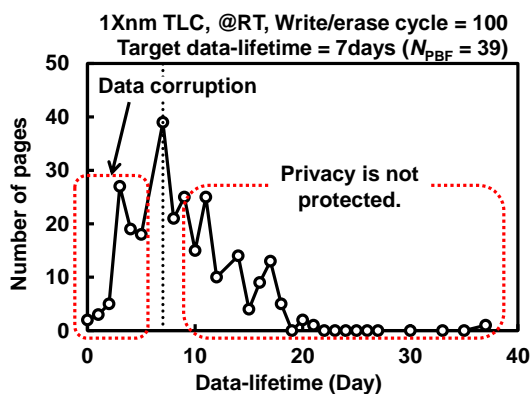


図 7 ターゲット寿命が 7 日 ($N_{\text{PBF}}=39$) におけるデータ寿命のばらつき

フラッシュメモリは 1st、2nd、3rd ページで BER が異なる。特に 2nd ページが 1st、3rd ページよりも BER が低く、端のワードラインの BER が中心のワードラインよりも低くなっている。しきい値電圧の位置によってデータ保持特性が異なることや[8]、1st、2nd、3rd ページのそれぞれの読み出し回数が異なるため BER に差が生じる。したがって、ページの種類に応じて N_{PBF} を調整する必要がある。

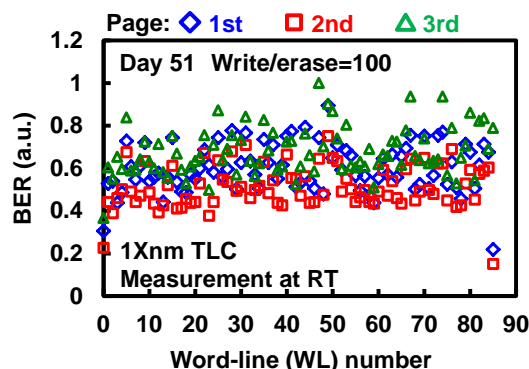


図 8 ページごとの Bit error-rate (BER)

b) N_{PBF} page-allocation scheme

図 9 に N_{PBF} page-allocation scheme を示す。 N_{PBF} page-allocation scheme はデータ寿命のばらつきを削減するための手法である。ページによって異なる BER が生じることから、各ページに応じて N_{PBF} の値を調整する。図 10 は、ターゲット時間が 7 日、書き換え回数が 100 回における各ページに注入すべきビットエラーの量を示している。図 10 のような各ページの N_{PBF} はターゲット時間と書き換え回数から選択されるように PBF テーブルへ格納される。各ページに対応した PBF テーブルを作成することで寿命のばらつきを削減できると考えられる。

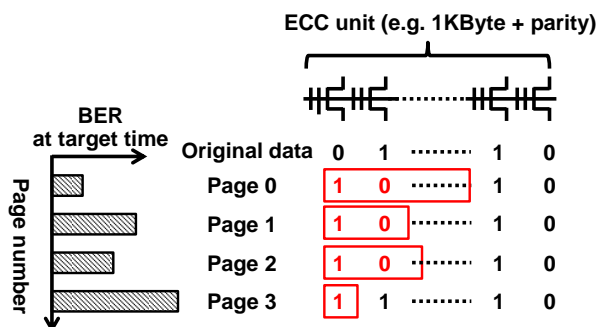


図 9 N_{PBF} page-allocation scheme

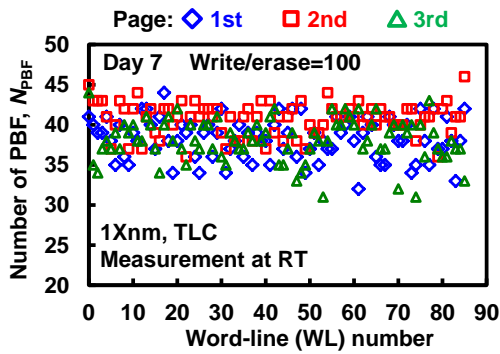


図 10 PBF テーブルに格納される各ページの N_{PBF}

図 11 に N_{PBF} page-allocation scheme を含めた際の PBF テーブルを示す。選択できるデータ寿命が 10 パターンとした場合、テーブルサイズは 128Gb チップ内の 0.01% にも満たない大きさである。

Page number	Data lifetime	Write/erase cycle	N_{PBF}
9 bit	4 bit	7 bit	6 bit

$(9 + 4 + 7 + 6) \times (258 \times 10 \times 100) \approx 819\text{KB} (< 0.01\% \text{ of a } 128\text{Gb chip})$

258 pages (1 Block) 10 pattern 100 pattern

図 11 PBF テーブル

4. まとめと今後の課題

TLC NAND 型フラッシュメモリの寿命を制御するコントローラの構成に Partial bit-flip (PBF) と N_{PBF} page-allocation scheme を提案した。PBF は、所定の寿命で誤り訂正限界に達するように書き込み前にビットを反転させる手法であり、 N_{PBF} page-allocation scheme は、書き換え回数とターゲット寿命、ページ番号から反転させるビット数を決定する手法である。

今後の展望として、NAND 型フラッシュメモリのサイズ、多値化の条件を変更し、データ寿命の制御をより正確に行える条件や、データ保持温度によるデータ寿命の制御への影響を調査する必要がある。

参考文献

[1] http://www.ftc.gov/system/files/documents/public_statements/617191/150106cesspeech.pdf

[2] <http://ec.europa.eu/justice/data-protection/>

[3] <http://aws.amazon.com/s3/details/>

[4] F. Masaoka *et al.* “New ultra high density EPROM

and flash EEPROM with NAND structure cell,” in *IEEE Int. Electron Devices Meeting Tech. Dig.*, pp.552-555, Dec. 1987.

[5] I. -J. Chang *et al.*, “Bit-error rate improvement of TLC NAND Flash using state re-ordering,” *IEICE ELEX*, pp.1775-1779, 2012.

[6] G. J. Hemink *et al.*, “Trapped hole enhanced stress induced leakage currents in NAND EEPROM tunnel oxides,” in: *Proc. IEEE Int. Reliability Physics Symposium*, Apr.,1996. pp. 117–21.

[7] http://www.imation.co.jp/products/pdf/SSD_WP02.pdf, 2013

[8] S. Yamazaki *et al.*, “.Reliability Enhancement of 1Xnm TLC for Cold Flash and Millennium Memories,” *Symp. VLSI Circ.*, pp.T112-T113, 2015.

関連する発表文献

国際会議

[1] Shuhei Tanakamaru, Hiroki Yamazawa and Ken Takeuchi, “Privacy-Protection Solid-State Storage (PP-SSS) System: Automatic Lifetime Management of Internet-Data’s Right to be Forgotten,” *IEEE Symposium on VLSI Circuit*, 2015

[2] Hiroki Yamazawa, Kazuki Maeda, Tomoko Ogura Iwasaki and Ken Takeuchi, “Privacy-Protection SSD with Precision ECC and Crush Techniques for 15.5× Improved Data-Lifetime Control” *IEEE International Memory Workshop (IMW)*, 2016. (Submitted)

国内会議

[1] 前田一輝、山沢裕紀、竹内健 「プライバシー保護に向けた NAND 型フラッシュメモリの信頼性評価」、平成 27 年 12 月電子情報通信学会 ICD 研究会、ICD2015-74、pp47-47、2015 年 12 月

[2] 前田一輝、田中丸周平、山沢裕紀、竹内健、「プライバシー保護に向けたソリッドステートシステム」、第 63 回応用物理学関係連合講演会、2016 年 3 月 (発表予定)