

## 特長

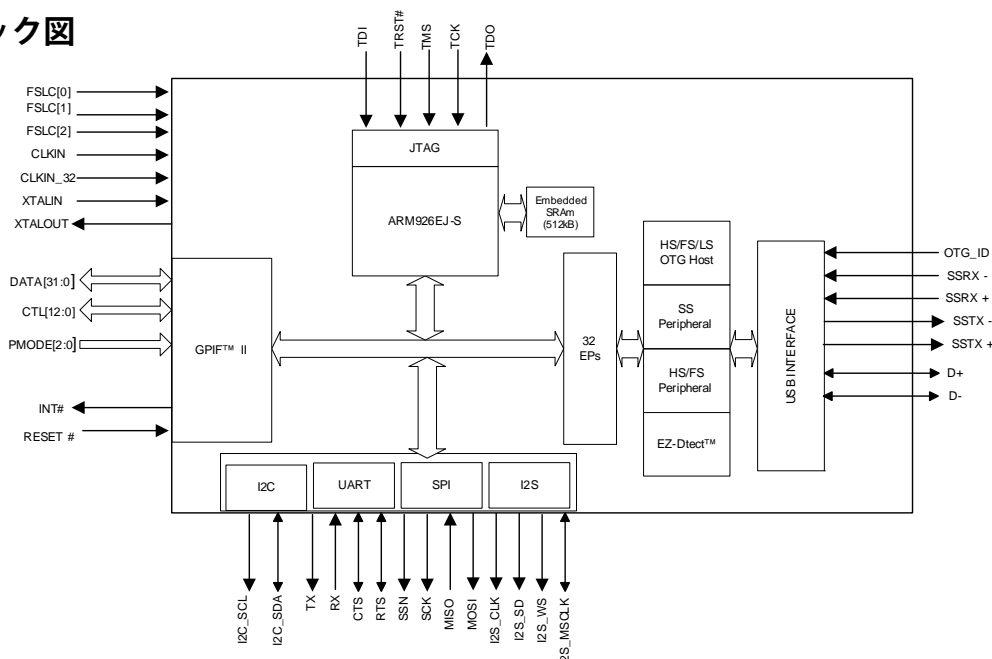
- ユニバーサルシリアルバス (USB) 統合
  - USB 3.0仕様 1.0に対応したUSB 3.0およびUSB 2.0ペリフェラル
  - PIPE 3.0に対応した5 Gbps USB 3.0 PHY
  - On-The-Go (OTG) 補足バージョン 2.0に対応したハイスピード On-The-Go (HS-OTG) ホストおよびペリフェラル
  - 32本の物理エンドポイント
  - バッテリー充電仕様 1.1 およびアクセサリ充電器アダプタ (ACA) の検出をサポート
- 汎用プログラマブルインタフェース (GPIF™ II)
  - プログラマブル 100 MHz GPIF II インタフェースにより、広範な外部デバイスに接続可能
  - 8/16/32ビット データバス
  - 最大 16 個のコンフィギュレーション可能な制御信号
- 完全にアクセス可能な 32ビット CPU
  - 200 MHz で動作する ARM926EJ コア
  - 512 KB 組み込み SRAM
- 内蔵ペリフェラル
  - 1 MHz での I<sup>2</sup>C マスタ コントローラ
  - サンプリング周波数 32 kHz、44.1 kHz、48 kHz での I<sup>2</sup>S マスタ (トランスミッタのみ)
  - 最大 4 Mbps までの UART サポート
  - 33 MHz での SPI マスタ
- 選択可能なクロック入力周波数
  - 19.2、26、38.4、および 52 MHz
  - 19.2 MHz 水晶振動子入力サポート

- コア電力ダウン モードでの超低消費電力
  - V<sub>BATT</sub> オンで 60 μA 未満、V<sub>BATT</sub> オフで 20 μA 未満
- コアおよび I/O 用の独立パワードメイン
  - 1.2 V でのコア動作
  - 1.8 ~ 3.3 V での I<sup>2</sup>S、UART、および SPI 動作
  - 1.2 V での I<sup>2</sup>C 動作
- 10 × 10 mm、0.8 mm ピッチ Pb フリー ボール グリッド アレイ (BGA) パッケージ
- 容易なコード開発が可能な EZ-USB<sup>®</sup> ソフトウェアおよび DVK

## アプリケーション

- デジタルビデオ カムコーダ
- デジタル スチール カメラ
- プリンタ
- スキャナ
- ビデオ キャプチャ カード
- テストおよび測定機器
- 監視カメラ
- パーソナルナビゲーション デバイス
- 医療用画像装置
- ビデオ IP フォン
- ポータブルメディア プレーヤ
- 産業用カメラ

## ロジック ブロック図



## 目次

機能の概要 .....	3	絶対最大定格 .....	14
応用例 .....	3	動作条件 .....	14
USB インタフェース .....	4	AC タイミングパラメータ .....	16
OTG .....	4	GPIF II タイミング .....	16
ReNumeration .....	5	スレーブ FIFO インタフェース .....	19
EZ-Dtect .....	5	同期スレーブ FIFO シーケンスの説明 .....	20
VBUS 過電圧保護 .....	5	同期スレーブ FIFO 書き込み	
Carkit UART モード .....	5	シーケンスの説明 .....	22
GPIF II .....	6	非同期スレーブ FIFO	
CPU .....	6	読み取りシーケンスの説明 .....	23
JTAG インタフェース .....	7	非同期スレーブ FIFO 書き込み	
その他のインタフェース .....	7	シーケンスの説明 .....	25
UART インタフェース .....	7	シリアルペリフェラル タイミング .....	26
I2C インタフェース .....	7	リセット シーケンス .....	30
I2S インタフェース .....	7	ピンの説明 .....	32
SPI インタフェース .....	7	パッケージ図 .....	35
ブートオプション .....	7	オーダ情報 .....	35
リセット .....	8	注文コードの定義 .....	35
ハードリセット .....	8	略号 .....	36
ソフトリセット .....	8	本書の表記法 .....	36
クロッキング .....	8	測定単位 .....	36
32kHz ウォッチドッグ タイマー クロック入力 .....	8	改訂履歴 .....	37
電源 .....	9	販売、ソリューション、および法律情報 .....	37
パワー モード .....	9	ワールドワイドな販売と設計サポート .....	37
構成オプション .....	13	製品 .....	37
デジタル I/O .....	13	PSoC ソリューション .....	37
GPIO .....	13		
システム レベル ESD .....	13		

## 機能の概要

Cypress EZ-USB FX3 は、高い集積度と柔軟な機能を提供し、あらゆるシステムに USB 3.0 機能を追加できるようにする次世代 USB 3.0 ペリフェラルコントローラです。

EZ-USB FX3 は、完全に構成可能な、パラレル、汎用プログラマブルインタフェースを備えています。この GPIF II と呼ばれるインタフェースは、あらゆるプロセッサ、ASIC、または FPGA などに接続可能です。汎用プログラマブルインタフェース GPIF II は、サイプレスの主力 USB 2.0 製品である FX2LP の GPIF 拡張バージョンです。非同期 SRAM、非同期および同期アドレスデータ多重化インタフェース、パラレル ATA など、人気の高い多くのインタフェースに、容易かつグルーレスな接続を提供します。

EZ-USB FX3 は USB 3.0 および USB 2.0 物理レイヤ (PHY) を 32 ビット ARM926EJ-S マイクロプロセッサと統合し、強力なデータ プロセッシングとカスタム アプリケーションの構築を可能にします。GPIF II から USB インタフェースへの 320 MBps<sup>[1]</sup> のデータ転送を可能にする独創的なアーキテクチャを実装しています。

統合された USB 2.0 OTG コントローラにより、デュアル ロール 使用シナリオを必要とするアプリケーションを可能にします。

たとえば EZ-USB FX3 は、MSC および HID クラス デバイスへの OTG ホストとして機能することができます。

EZ-USB FX3 には、コードおよびデータ用の 512 KB のオンチップ SRAM が含まれています。また、EZ-USB FX3 は、UART、SPI、I<sup>2</sup>C、および I<sup>2</sup>S などのシリアルペリフェラルに接続するインタフェースも提供しています。

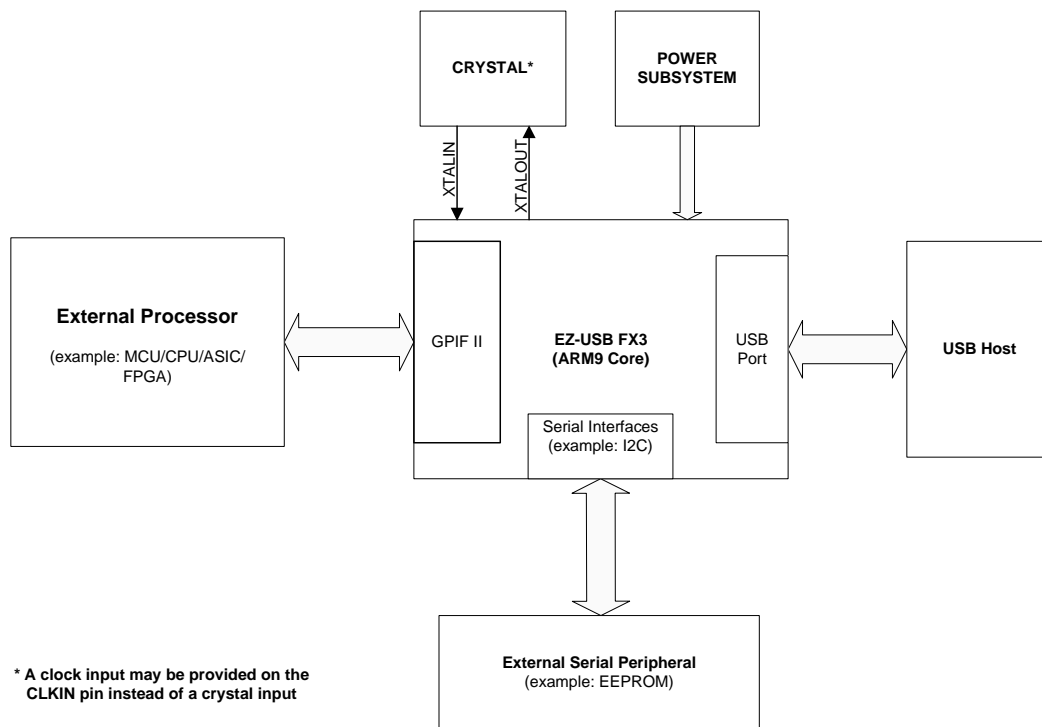
EZ-USB FX3 には、容易に使用できる EZ-USB ツールが付属しており、迅速なアプリケーション開発向けの完全なソリューションを提供します。ソフトウェア開発キットには応用例が付属しており、市場投入までの時間を短縮することができます。

EZ-USB FX3 は USB 3.0 v1.0 仕様に対応しており、また USB 2.0 との下位互換性があります。また、バッテリーチャージング仕様 v1.1 および USB 2.0 OTG 仕様 v2.0 にも対応しています。

## 応用例

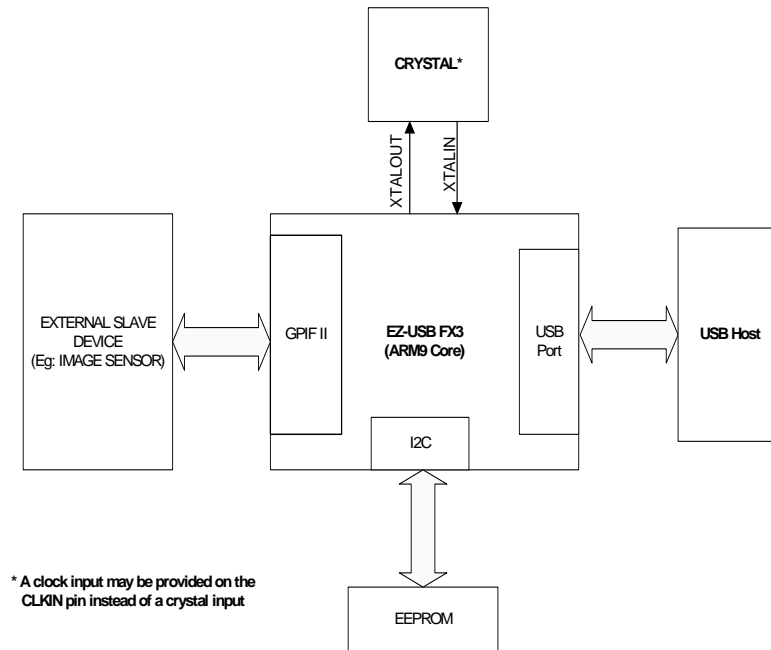
図 1 さらに図 2 は、EZ-USB FX3 の一般的な応用図を示しています。図 1 は、EZ-USB FX3 がコプロセッサとして機能し、さまざまなシステム レベルの機能を担当する外部プロセッサに接続する一般的な応用図を示しています。図 2 は、システムのメインプロセッサとして EZ-USB FX3 が機能するときの一般的な応用図を示しています。

図 1. コプロセッサとしての EZ-USB FX3



注  
1. GPIF II が、100 MHz で動作する 32 ビット データバス同期インタフェース用に構成されていることを想定しています。この数にはプロトコルオーバーヘッドも含まれています。

図 2. メインプロセッサとしての EZ-USB FX3



## USB インタフェース

EZ-USB FX3 は、USB 3.0 仕様の改訂版 1.0 に対応する USB ペリフェラル機能をサポートしており、また USB 2.0 仕様との下位互換性も備えています。

EZ-USB FX3 は On-The-Go 補完改訂 2.0 に対応しています。Hi-Speed、Full-Speed、および Low-Speed の OTG デュアルロール デバイス性能をサポートします。ペリフェラルとして SuperSpeed、High-Speed、および Full-Speed が可能で、ホストとしては Hi-Speed、Full-Speed、および Low-Speed が可能です。

EZ-USB FX3 は、CEA-936A 仕様に基づいて、USB D+/D- ラインでの CarKit パススルー UART 機能をサポートしています。

EZ-USB FX3 は最大 16 IN および 16 OUT エンドポイントをサポートしています。

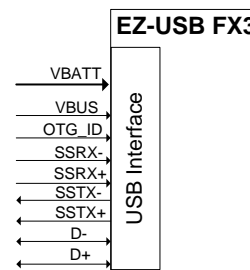
EZ-USB FX3 は USB 3.0 ストリーム機能を完全にサポートしています。さらに、USB Attached SCSI (UAS) デバイスクラスもサポートし、マスストレージアクセス性能を最適化しています。

USB ペリフェラルとして、EZ-USB FX3 は UAS、USB ビデオクラス (UVC)、マスストレージクラス (MSC)、およびメディア転送プロトコル (MTP) USB ペリフェラルクラスをサポートします。USB ペリフェラルとして、その他すべてのデバイスクラスは、外部のホストプロセッサで完全に処理を行う、パススルーモードでサポートします。

OTG ホストとして、EZ-USB FX3 は MSC および HID デバイスクラスをサポートします。

USB ポートを使用していない場合、PHY およびトランシーバは省電力化のために無効にすることができます。

図 3. USB インタフェース信号



## OTG

EZ-USB FX3 は、OTG 補完改訂 2.0 に対応しています。

OTG モードで、EZ-USB FX3 は A および B デバイスモードの双方をサポートし、コントロール、インターラプト、バルク、およびアイソクロナス データ転送をサポートします。

EZ-USB FX3 は、OTG A デバイスモードで VBUS に電力を供給するために、外部チャージポンプを必要とします (スタンドアロンまたは PMIC に内蔵)。

OTG ホスト実装のターゲットペリフェラルリストは MSC および HID クラス デバイスで構成されています。

EZ-USB FX3 は取付検知プロトコル (ADP) をサポートしていません。

## OTG 接続性

OTG モードでは、EZ-USB FX3 は A、B、またはデュアル ロール デバイスに設定することができます。以下に接続することができます：

- ACA デバイス
- ターゲットの USB ペリフェラル
- SRP capable USB ペリフェラル
- HNP capable USB ペリフェラル
- OTG ホスト
- HNP capable ホスト
- OTG デバイス

## ReNumeration

EZ-USB FX3 のコンフィグレーションはソフトであるため、1つのチップで複数の異なる USB デバイスの機能を構成することができます。

USB に初めて差し込むと、EZ-USB FX3 は自動的に Cypress ベンダー ID (0x04B4) をエニユメレートし、USB インタフェースでファームウェアと USB ディスクリプタをダウンロードします。ダウンロードされたファームウェアは、電氣的に切断、接続を行います。ダウンロードした情報で定義したデバイスとして、EZ-USB FX3 は再びエニユメレートします。この特許化されている 2 段階のプロセスは、ReNumeration と呼ばれ、デバイスが USB に接続された直後に実行されます。

## EZ-Dtect

EZ-USB FX3 は USB チャージャーとアクセサリの検出をサポートします (EZ-Dtect)。チャージャー検出機構はバッテリーチャージング仕様改訂 1.1 に対応しています。このバージョンの仕様をサポートするだけでなく、EZ-USB FX3 は ID ピンで抵抗を検出するハードウェア サポートも可能にします。

以下に示すのは、EZ-USB FX3 が検知可能な抵抗範囲です。

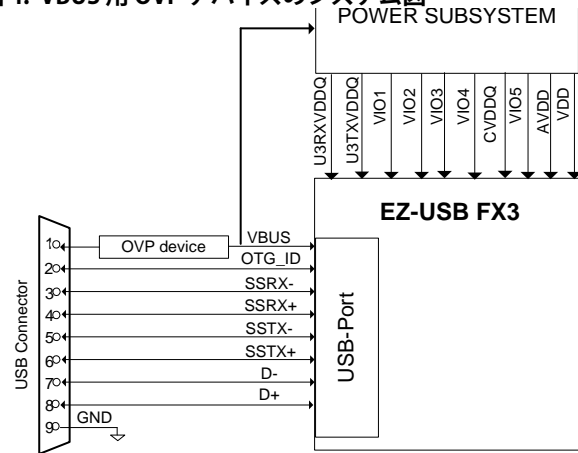
- 10 Ω 未満
- 1 kΩ 未満
- 65 kΩ ~ 72 kΩ
- 35 kΩ ~ 39 kΩ
- 99.96 kΩ ~ 104.4 kΩ (102 kΩ ± 2%)
- 119 kΩ ~ 132 kΩ
- 220 kΩ 以上
- 431.2 kΩ ~ 448.8 kΩ (440 kΩ ± 2%)

EZ-USB FX3 チャージャー検出機能は、専用のウォールチャージャー、ホスト/ハブ・チャージャー、およびホスト/ハブを検出します。

## VBUS 過電圧保護

EZ-USB FX3 VBUS ピンでの最大入力電圧は 6V です。充電器は VBUS で最大 9V まで供給可能なので、外部過電圧保護 (OVP) デバイスを取り付けて、EZ-USB FX3 を VBUS での損傷から保護する必要があります。図 4 は、VBUS で接続された OVP デバイスのシステム応用図を示しています。VBUS および VBATT の動作範囲については、表 7 DC 仕様を参照してください。

図 4. VBUS 用 OVP デバイスのシステム図



## Carkit UART モード

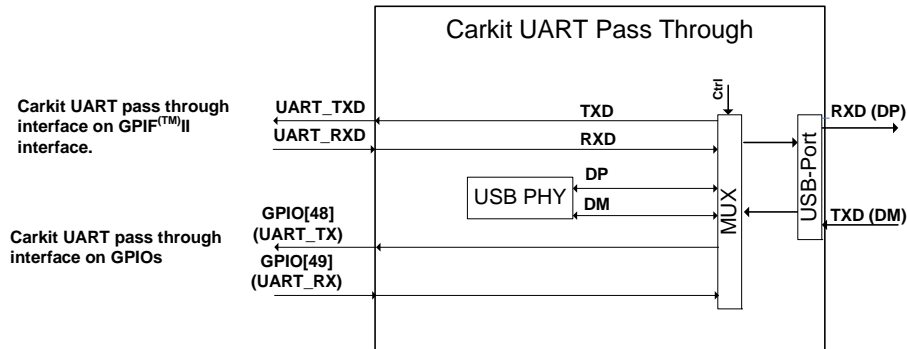
USB インタフェースは、非 USB シリアル データ転送用に Carkit UART モード (D+/D- での UART) をサポートします。これは CEA-936A 仕様に基づいています。

Carkit UART モードでは、出力信号電圧は 3.3V です。Carkit UART モード用に構成するときに、UART の TXD (出力) は D ラインにマッピングされ、UART の RXD (入力) は D+ ラインにマッピングされます。

Carkit モードでは、EZ-USB FX3 は USB トランシーバを無効にし、D+ および D- ピンはパススルーピンとして機能し、ホストプロセッサの UART に接続します。Carkit UART 信号は、GPIF II インタフェースまたは GPIO[48] および GPIO[49] へ、6 ページの図 5 で表示通りのルーティングできます。

EZ-USB FX3 は、このモードで 最大 9600 bps のレートをサポートします。

図 5. Carkit UART パススルー ブロック図



## GPIF II

EZ-USB FX3 は、高性能な汎用プログラマブル インタフェース、GPIF II を提供します。このインタフェースは、FX2LP の GPIF およびスレーブ FIFO インタフェースと同様の、しかもより高度な機能を備えています。

GPIF II は、柔軟なインタフェースを可能にするプログラマブルなステートマシンであり、業界標準または独自のインタフェースで、マスタまたはスレーブのいずれとしても機能します。GPIF II で実装されるインタフェースは、パラレルとシリアル両方があります。

GPIF II の機能の概要を以下に示します。

- マスタまたはスレーブで動作
- 256 のファームウェア プログラマブルなステートを提供
- 8 ビット、16 ビット、32 ビットの平行データバスをサポート
- 最大 100 MHz までのインタフェース周波数に対応
- 32 ビット データバスを使用する場合は、14 本の設定可能な制御ピンをサポート。すべての制御ピンは、入力 / 出力または双方向ピンのどちらとしても利用できます。
- 16/8 ビット データバスを使用する場合は、16 の設定可能な制御ピンをサポートします。すべての制御ピンは、入力 / 出力または双方向ピンのどちらとしても利用できます。

GPIF II の状態遷移は、制御入力信号に基づいて発生します。制御出力信号は、GPIF II の状態遷移の結果として生成されます。GPIF II ステートマシンの動作は、GPIF II ディスクリプタによって定義されます。GPIF II ディスクリプタは、必要なインタフェース仕様が満たされるように設計されます。8 KB のメモリ (組み込み SRAM の 512kB からは独立) は、GPIF II 波形メモリ専用であり、ここに GPIF II ディスクリプタが、特定の形式で格納されます。

Cypress の GPIFII Designer ツールは、GPIFII ディスクリプタの迅速な開発を可能にし、共通のインタフェースの例を含んでいます。

GPIF II の典型的な実装は、非同期および同期スレーブ FIFO のインタフェースです。

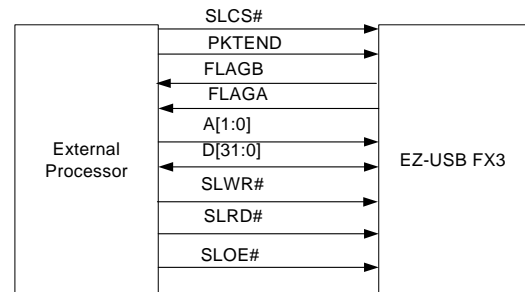
### スレーブ FIFO インタフェース

スレーブ FIFO インタフェース信号を図 6 に示します。このインタフェースにより、外部プロセッサは、EZ-USB FX3 内部の最大

4 つのバッファに直接アクセスすることができます。スレーブ FIFO インタフェースの詳細については 19 ページで説明しています。

注: スレーブ FIFO インタフェースでは、32 個すべてのバッファへのアクセスもサポートしています。詳細については、Cypress アプリケーション サポートまでお問い合わせください。

図 6. スレーブ FIFO インタフェース



Note: Multiple Flags may be configured.

## CPU

EZ-USB FX3 は、32 ビット、200 MHz ARM926EJ-S コア CPU を備えています。コアは 16kB の命令密結合メモリ (TCM) および 8kB のデータ TCM に直接アクセスすることができます。ARM926EJ-S コアはファームウェア デバッグ用に JTAG インタフェースを提供します。

また、EZ-USB FX3 はコードとデータ用に 512 KB の組み込み SRAM、さらに 8kB の命令キャッシュとデータ キャッシュも統合します。

EZ-USB FX3 は、さまざまなペリフェラル間での高度に効率的で柔軟な DMA 接続性を可能にし (すなわち USB、GPIF II、I<sup>2</sup>S、SPI、UART)、ファームウェアは DMA ファブリックで管理しているペリフェラル間でのデータ アクセスを構成するだけで十分です。

EZ-USB FX3 では、ARM926EJ-S 用の業界標準開発ツールを使用して、容易にアプリケーションを開発することができます。

EZ-USB FX3 ファームウェアの例は、Cypress EZ-USB FX3 開発キットで見ることができます。

外部プロセッサに移植可能なソフトウェア API は、Cypress EZ-USB FX3 ソフトウェア開発キットで入手することができます。

## JTAG インタフェース

EZ-USB FX3 の JTAG インタフェースは、JTAG デバッガへの接続用に標準の 5 ピン インタフェースを備えており、CPU コア オンチップ デバッグ回路を通してファームウェアをデバッグすることができます。

ARM926EJ-S コア用の業界標準デバッグツールは、EZ-USB FX3 アプリケーション開発に使用することができます。

## その他のインタフェース

EZ-USB FX3 は、以下のシリアル ペリフェラルをサポートします。

- UART
- I<sup>2</sup>C
- I<sup>2</sup>S
- SPI

SPI、UART、および I<sup>2</sup>S インタフェースはシリアル ペリフェラルポートで多重化しています。

32 ページの [ピンリスト](#) はこれらのインタフェースが多重化される詳細について示しています。

### UART インタフェース

EZ-USB FX3 の UART インタフェースは、全二重通信をサポートしています。表 1 に記載された信号が含まれます。

表 1. UART インタフェース信号

信号	項目
TX	出力信号
RX	入力信号
CTS	フロー制御
RTS	フロー制御

UART は、ファームウェアで選択可能な 300 bps ~ 4608 Kbps の範囲のボーレートを発生させることができます。

### I<sup>2</sup>C インタフェース

EZ-USB FX3 は I<sup>2</sup>C バス仕様改訂 3 との互換性をもつ I<sup>2</sup>C インタフェースを備えています。EZ-USB FX3 の I<sup>2</sup>C インタフェースは、I<sup>2</sup>C マスタとしてのみ動作が可能であり、他の I<sup>2</sup>C スレーブデバイスと通信することができます。たとえば EZ-USB FX3 は、選択可能なブート オプションとして、I<sup>2</sup>C インタフェースに接続した EEPROM からブートすることができます。

EZ-USB FX3 の I<sup>2</sup>C マスタコントローラはマルチ マスタ モード機能もサポートしています。

I<sup>2</sup>C インタフェースの電源電圧は VIO5 であり、これは他のシリアルペリフェラルから独立したパワードメインです。これにより、その他のシリアルインタフェースとは異なる電圧で動作する柔軟性を I<sup>2</sup>C インタフェースに与えます。

I<sup>2</sup>C コントローラがサポートするバス周波数は 100 kHz、400 kHz、および 1 MHz です。VIO5 が 1.2V の場合、サポートされる最大動作周波数は 100 kHz です。VIO5 が 1.8 V、2.5 V、ま

たは 3.3 V の場合、サポートされる動作周波数は 400 kHz と 1 MHz です。

I<sup>2</sup>C インタフェースの SCL と SDA 双方の信号には外部プルアップ抵抗が必要です。プルアップ抵抗は VIO5 に接続する必要があります。

### I<sup>2</sup>S インタフェース

EZ-USB FX3 は I<sup>2</sup>S ポートを備えており、外部オーディオコーデック デバイスをサポートしています。EZ-USB FX3 は I<sup>2</sup>S マスタのトランスミッタとしてのみ機能します。I<sup>2</sup>S インタフェースは、クロックライン (I2S\_CLK)、シリアルデータライン (I2S\_SD)、ワード選択ライン (I2S\_WS)、およびマスタシステムクロック (I2S\_MCLK) の 4 つの信号で構成されます。EZ-USB FX3 はシステムクロックを I2S\_MCLK での出力として発生させるか、I2S\_MCLK での外部システムクロック入力を受け付けます。

I<sup>2</sup>S インタフェースがサポートするバス周波数は、32 kHz、44.1 kHz、および 48 kHz です。

### SPI インタフェース

EZ-USB FX3 はシリアルペリフェラルポートでの SPI マスタインタフェースをサポートします。最大動作周波数は 33 MHz です。

SPI コントローラは、スタート/ストップクロックを使用した SPI 通信で 4 つのモードをサポートしています。SPI コントローラは、単一の自動 SSN コントロールが可能な単一マスタコントローラです。これは、4 ビット ~ 32 ビット長のトランザクションサイズをサポートします。

## ブート オプション

EZ-USB FX3 は、PMODE ピンのコンフィグレーションの設定により、さまざまなソースからブートイメージを読み込むことができます。EZ-USB FX3 のブート オプションは次のとおりです。

- USB ブート
- I<sup>2</sup>C ブート
- SPI ブート (サポートする SPI デバイスは M25P16 (16 Mbit)、M25P80 (8 Mbit)、および M25P40 (4 Mbit) またはそれに相当するもの)
- GPIF II 非同期 ADMUX モードブート
- GPIF II 同期 ADMUX モードブート
- GPIF II 非同期 SRAM モードブート

表 2. EZ-USB FX3 のブート オプション

PMODE[2:0] <sup>[2]</sup>	ブート元
F00	同期 ADMUX (16 ビット)
F01	非同期 ADMUX (16 ビット)
F11	USB ブート
F0F	非同期 SRAM (16 ビット)
F1F	I <sup>2</sup> C、不具合時、USB ブートが有効
1FF	I <sup>2</sup> C のみ
0F1	SPI、不具合時、USB ブートが有効

注  
2. F はフローティング状態を意味しています。

## リセット

### ハードリセット

ハードリセットはEZ-USB FX3のReset#ピンをアサートして開始します。特定のリセットシーケンスとタイミングの要件については、[図 17](#)と[表 15](#)で詳細に説明しています。

### ソフトリセット

ソフトリセットには、プロセッサがPP\_INITコントロールレジスタで適切なビットを設定する必要があります。ソフトリセットには、次の2種類があります。

- CPU リセット – CPU プログラム カウンタがリセットされます。CPU リセットのあとに、ファームウェアを、リロードする必要はありません。
- デバイス全体のリセット – このリセットはハードリセットと同じです。デバイス全体のリセットのあとに、ファームウェアを、リロードする必要があります。

## クロック

EZ-USB FX3 では、XTALIN ピンと XTALOUT ピンの間に水晶を接続するか、CLKIN ピンに外部クロックを接続することができます。

サポートされる水晶周波数は 19.2 MHz であり、サポートされる外部クロック周波数は 19.2、26、38.4、および 52 MHz です。

EZ-USB FX3 には、19.2 MHz (±100 ppm) の外付けの水晶振動子用のオンチップ発振器回路が搭載されています (水晶振動子オプションを使用する場合)。FSLC[2:0] ピンを適切に構成し、水晶オプション / クロック周波数オプションを選択する必要があります。構成オプションについては、[表 3](#)で示しています。

EZ-USB FX3 へのクロック入力、[表 4](#)で指定されている位相ノイズとジッタの要件を満たす必要があります。

入力クロック周波数は、EZ-USB FX3 コア、またはデバイス インタフェースのいずれのクロック / データレートからも独立しています (P ポートと S ポートを含む)。内部 PLL は、入力周波数に応じて適切なクロック逡倍オプションを適用します。

**表 3. 水晶 / クロック周波数の選択**

FSLC[2]	FSLC[1]	FSLC[0]	水晶 / クロック周波数
0	0	0	19.2 MHz 水晶
1	0	0	19.2 MHz 入力 CLK
1	0	1	26 MHz 入力 CLK
1	1	0	38.4 MHz 入力 CLK
1	1	1	52 MHz 入力 CLK

**表 4. EZ-USB FX3 入力クロック仕様**

パラメータ	項目	仕様		単位
		Min	Max	
位相ノイズ	100 Hz オフセット	-	-75	dB
	1 kHz オフセット	-	-104	dB
	10 kHz オフセット	-	-120	dB
	100 kHz オフセット	-	-128	dB
	1 MHz オフセット	-	-130	dB
最大周波数偏差		-	150	ppm
デューティ比		30	70	%
オーバーシュート		-	3	%
アンダーシュート		-	-3	%
立ち上がり時間 / 立ち下がり時間		-	3	ns

### 32kHz ウォッチドッグタイマー クロック入力

EZ-USB FX3 はウォッチドッグ タイマーを内蔵しています。ウォッチドッグタイマーを使用して、ARM926EJ-S コアに割り込みをかけて、スタンバイモード中のEZ-USB FX3を自動ウェイクアップし、ARM926EJ-S コアをリセットすることができます。

す。ウォッチドッグタイマーは 32 kHz クロックで動作します。この 32 kHz クロックは、EZ-USB FX3 の専用ピンにある外部ソースからオプションとして供給されます。

ウォッチドッグタイマーはファームウェアで無効にすることができます。



オプションの 32 kHz クロック入力の要件を表 5 で一覧表示しています。

**表 5. 32 kHz クロック入力の要件**

パラメータ	Min	Max	単位
デューティ比	40	60	%
周波数偏差	-	±200	ppm
立ち上がり時間 / 立ち下がり時間	-	3	ns

## 電源

EZ-USB FX3 には次の電源電圧ドメインがあります。

**IO\_VDDQ:** これは、デジタル I/O の独立した電源電圧ドメインのグループを指します。これらの電源の電圧レベルは 1.8V ~ 3.3V です。EZ-USB FX3 は、次に一覧表示するデジタル I/O 用に 6 つの独立した電源電圧ドメインを提供します。各パワードメインに割り当てられた信号の詳細については、表 16 を参照してください。

- VIO1 - GPIF II I/O 電源電圧ドメイン
- VIO2 - IO2 電源電圧ドメイン
- VIO3 - IO3 電源電圧ドメイン
- VIO4 - UART/SPI/I<sup>2</sup>S 電源電圧ドメイン
- VIO5 - I<sup>2</sup>C および JTAG 電源電圧ドメイン (1.2V ~ 3.3V をサポート)
- CVDDQ - クロック電源電圧ドメイン
- V<sub>DD</sub>: これはロジック コアの電源電圧ドメインです。定格電源電圧レベルは 1.2 V であり、コア ロジック回路に電源を供給します。同じ電源を以下にも使用します。

- **AVDD:** これは、PLL、水晶振動子、およびコア アナログ回路用の 1.2V 電源電圧です。
- **U3TXVDDQ/U3RXVDDQ:** これらは、USB 3.0 インタフェース用の 1.2V 電源電圧です。

**VBATT/VBUS:** これは、USB I/O およびアナログ回路用の 3.2V ~ 6V バッテリ電源電圧です。これは、EZ-USB FX3 内部電圧レギュレータを通して USB トランシーバに電源供給します。VBATT は内部で 3.3V に調整されます。

## パワー モード

EZ-USB FX3 には、次のようなさまざまなパワー モードがあります。

- **標準モード** これは全機能を動作させるモードです。このモードでは、内部 CPU クロックと内部 PLL が有効になります。通常動作消費電力は I<sub>CC</sub> コア max と I<sub>CC</sub> USB max の和を超えません (電流消費の仕様については表 7 を参照してください)。
- VIO2、VIO3、VIO4、VIO5 への I/O 電源電圧の供給は、対応するインタフェースを使用しないときには、オフにすることができます。GPIFII インタフェースをアプリケーションで使用する場合には、どのようなときでも VIO1 をオフにすることはできません。
- EZ-USB FX3 は次の 4 つのパワーモードをサポートしています。
  - USB 3.0 PHY を有効にしたサスペンドモード (L1)
  - USB 3.0 PHY を無効にしたサスペンドモード (L2)
  - スタンバイモード (L3)
  - コア電源遮断モード (L4)

異なるローパワーモードについては、表6で説明しています。

表6. ローパワーモードを開始、終了する方法

ローパワーモード	特性	開始する方法	終了する方法
USB 3.0 PHY を有効にしたサスペンドモード (L1)	<ul style="list-style-type: none"> <li>■ このモードの消費電力は <math>ISB_1</math> を超えません</li> <li>■ USB 3.0 PHY が有効で、U3 モードになります (USB 3.0 仕様で定義されたサスペンドモードの1つ) このブロック1つだけが内部クロックで動作可能で、その他すべてのクロックはシャットダウンします</li> <li>■ すべての I/O は前の状態を維持します</li> <li>■ ウェイクアップ ソースとコア電源への電源電圧を保持する必要があります。他のすべてのパワードメインは個別にオン/オフにすることができます</li> <li>■ 構成レジスタ、バッファメモリ、およびすべての内部 RAM の状態が維持されます</li> <li>■ EZ-USB FX3 がサスペンドモードに入る前に、すべてのトランザクションを完了する必要があります (未完了トランザクションの状態は保持されません)</li> <li>■ プログラムカウンタがリセットしないので、ファームウェアはサスペンドした時点から動作を再開します (RESET# アサーションによってウェイクアップした場合を除く)</li> </ul>	<ul style="list-style-type: none"> <li>■ ARM926EJ-S コアで実行するファームウェアは、EZ-USB FX3 をサスペンドモードにすることができます。たとえば、USB サスペンド状態で、ファームウェアは EZ-USB FX3 をサスペンド状態にする決定を行う場合があります</li> <li>■ 外部プロセッサは、メールボックスレジスタを使用して EZ-USB FX3 をサスペンドモードにすることができます</li> </ul>	<ul style="list-style-type: none"> <li>■ ローまたはハイへの D+ の遷移</li> <li>■ ローまたはイへの D- の遷移</li> <li>■ OTG_ID ピンでのインピーダンス変化</li> <li>■ SSRX +/- での再開条件</li> <li>■ VBUS の検知</li> <li>■ UART_CTS でのレベル検知 (プログラマブル極性)</li> <li>■ GPIF II インタフェース CTL[0] のアサーション</li> <li>■ RESET# のアサーション</li> </ul>

表 6. ローパワーモードを開始、終了する方法(つづき)

ローパワーモード	特性	開始する方法	終了する方法
<p>USB 3.0 PHY を無効にしたサスペンドモード (L2)</p>	<ul style="list-style-type: none"> <li>■ このモードの消費電力は <math>ISB_2</math> を超えません</li> <li>■ USB 3.0 PHY は無効にされ、USB インタフェースはサスペンドモードになります</li> <li>■ クロックはシャットオフされます。PLL は無効になります</li> <li>■ すべての I/O は前の状態を維持します</li> <li>■ USB インタフェースは前の状態を維持します</li> <li>■ ウェイクアップ ソースとコア電源への電源電圧を保持する必要があります。他のすべてのパワードメインは個別にオン / オフにすることができます</li> <li>■ 構成レジスタ、バッファメモリ、およびすべての内部 RAM の状態が維持されます</li> <li>■ EZ-USB FX3 がサスペンドモードに入る前に、すべてのトランザクションを完了する必要があります (未完了トランザクションの状態は保持されません)</li> <li>■ プログラムカウンタがリセットしないので、ファームウェアはサスペンドした時点から動作を再開します (RESET# アサーションによってウェイクアップした場合を除く)</li> </ul>	<ul style="list-style-type: none"> <li>■ ARM926EJ-S コアで実行するファームウェアは、EZ-USB FX3 をサスペンドモードにすることができます。たとえば、USB サスペンド状態で、ファームウェアは EZ-USB FX3 をサスペンド状態にする決定を行う場合があります</li> <li>■ 外部プロセッサは、メールボックスレジスタを使用して EZ-USB FX3 をサスペンドモードにすることができます</li> </ul>	<ul style="list-style-type: none"> <li>■ ローまたはハイへの D+ の遷移</li> <li>■ ローまたはハイへの D- の遷移</li> <li>■ OTG_ID ピンでのインピーダンス変化</li> <li>■ SSRX +/- での再開条件</li> <li>■ VBUS の検知</li> <li>■ UART_CTS でのレベル検知 (プログラマブル極性)</li> <li>■ GPIF II インタフェース CTL[0] のアサーション</li> <li>■ RESET# のアサーション</li> </ul>

表 6. ローパワーモードを開始、終了する方法(つづき)

ローパワーモード	特性	開始する方法	終了する方法
スタンバイモード (L3)	<ul style="list-style-type: none"> <li>■ このモードの消費電力は ISB3 を超えません</li> <li>■ すべての構成レジスタ設定及びプログラム/データ RAM コンテンツは維持されます。ただし、バッファ内またはデータバスの他の部分にあるデータについては、保証はありません。このため、外部プロセッサは、EZ-USB FX3 をスタンバイモードにする前に、必要なデータを読み込む必要があります</li> <li>■ プログラムカウンタは、スタンバイモードからのウェイクアップ時にリセットされず</li> <li>■ GPIO ピンはその構成を維持します。</li> <li>■ 水晶振動子はオフになります</li> <li>■ 内部 PLL はオフになります</li> <li>■ USB トランシーバはオフになります</li> <li>■ ARM926EJ-S コアは電源を遮断されます ウェイクアップ時に、コアはプログラム/データ RAM に保存されたプログラムを再起動し、実行します</li> <li>■ ウェイクアップソースとコア電源への電源電圧を保持する必要があります。他のすべてのパワードメインは個別にオン/オフにすることができます</li> </ul>	<ul style="list-style-type: none"> <li>■ ARM926EJ-S コアまたは外部プロセッサでのファームウェアの実行により、適切なレジスタが構成されます</li> </ul>	<ul style="list-style-type: none"> <li>■ VBUS の検知</li> <li>■ UART_CTS でのレベル検知 (プログラマブル極性)</li> <li>■ GPIF II インタフェース CTL[0] のアサーション</li> <li>■ RESET# のアサーション</li> </ul>
コア電源遮断モード (L4)	<ul style="list-style-type: none"> <li>■ このモードの消費電力は ISB4 を超えません</li> <li>■ コア電源がオフになります</li> <li>■ すべてのバッファメモリ、構成レジスタ、およびプログラム RAM は状態を維持しません。このモードから退出するときに、ファームウェアをリロードする必要があります</li> <li>■ このモードでは、他のすべてのパワードメインは個別にオン/オフにすることができます</li> </ul>	<ul style="list-style-type: none"> <li>■ V<sub>DD</sub> をオフにする</li> </ul>	<ul style="list-style-type: none"> <li>■ VDD を再供給</li> <li>■ RESET# のアサーション</li> </ul>

## 構成オプション

構成オプションは、特定の使用モードで利用することができます。詳細については、Cypress アプリケーション / マーケティング までお問い合わせください。

## デジタル I/O

EZ-USB FX3 は、ファームウェア制御のプルアップまたはプルダウンレジスタをすべてのデジタル I/O ピンで内部的に提供します。ピンは、内部 50 k $\Omega$  レジスタを通してプルアップするか、内部 10 k $\Omega$  レジスタを通してプルダウンし、ピンのフローティングを防ぐことができます。I/O ピンは以下の状態になる可能性があります。

- トライステート (High-Z)
- 弱いプルアップ (内部 50 k $\Omega$  を介して)
- プルダウン (内部 10 k $\Omega$  を介して)
- ロー パワー モード のとき、ホールド (I/O はその値を保持)
- JTAG 信号 TDI、TMC、TRST# 信号には 50 k $\Omega$  プルアップ、TCK 信号には 10 k $\Omega$  プルダウン レジスタが付いています。

## GPIO

EZ-USB では、GPIF II とシリアル ペリフェラル インタフェースの双方で柔軟なピン構成が可能です。GPIF II インタフェースでの使用しない制御ピン (CTL[15] を除く) は GPIO として使用することができます。同様に、シリアル ペリフェラル インタフェースでの使用しないピンは GPIO として構成できます。ピン構成のオプションについては、ピン リストを参照してください。

GPIF II および GPIO ピンはすべて、ピンごとに最大 16pF の外部負荷をサポートします。

## EMI

EZ-USB FX3 は、FCC 15B (米国) および EN55022 (ヨーロッパ) で概要を規定している EMI 要件を満たしています。EZ-USB FX3 は、これらの仕様で概要を規定している、発生源からの適度な EMI への耐久性があり、正常に機能し続けます。

## システム レベル ESD

EZ-USB FX3 は、USB インタフェースの D+、D-、GND ピンで ESD 保護が組み込まれています。これらのポートで提供されている ESD 保護レベルは次の通りです。

- JESD22-A114 仕様に基づいた  $\pm 2.2$  KV 人体モデル (HBM)
- IEC61000-4-2 レベル 3A に基づいた  $\pm 6$  KV 接触放電および  $\pm 8$  KV エアギャップ放電
- IEC61000-4-2 レベル 4C に基づいた  $\pm 8$  KV 接触放電および  $\pm 15$  KV エアギャップ放電

この保護により、規定のレベルまでの ESD イベントが発生したあともデバイスが継続して機能することを保証しています。

SSRX+、SSRX-、SSTX+、SSTX- ピンは、最大  $\pm 2.2$  KV 人体モデル (HBM) 内部 ESD 保護を備えています。

## 絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。

保存温度 .....	-65 °C ~ +150 °C
通電時の 周囲温度 (工業用) .....	-40 °C ~ +85 °C
グラウンド電位に対する電源電圧 V <sub>DD</sub> 、A <sub>VDDQ</sub> .....	1.25V
V <sub>IO1</sub> 、V <sub>IO2</sub> 、V <sub>IO3</sub> 、V <sub>IO4</sub> 、V <sub>IO5</sub> .....	3.6V
U3TX <sub>VDDQ</sub> 、U3RX <sub>VDDQ</sub> .....	1.25V
任意の入力ピンへの DC 入力電圧 .....	V <sub>CC</sub> +0.3
High-Z 状態の出力に印加される DC 電圧 .....	V <sub>CC</sub> +0.3

(V<sub>CC</sub> は対応する IO 電圧)

静電放電電圧 ESD 保護レベル:

- JESD22-A114 に基づいた ± 2.2 KV 人体モデル (HBM)
- D+、D-、GND ピン、およびシリアルペフェラルピンでの追加 ESD 保護レベル

- ± 6 KV 接触放電、IEC61000-4-2 レベル 3A に基づく ± 8 KV エアギャップ放電、± 8 KV 接触放電、および IEC61000-4-2 レベル 4C に基づく ± 15 KV エアギャップ放電

ラッチアップ電流 .....

> 200 mA  
すべての I/O 構成の最大出力短絡電流  
(V<sub>out</sub> = 0V) .....

## 動作条件

T<sub>A</sub> (バイアス印加時の周囲温度)

工業用 .....

V<sub>DD</sub>、A<sub>VDDQ</sub>、U3TX<sub>VDDQ</sub>、U3RX<sub>VDDQ</sub>

電源電圧 .....

1.15 V ~ 1.25 V  
V<sub>BATT</sub> 電源電圧 .....

3.2 V ~ 6 V  
V<sub>IO1</sub>、V<sub>IO2</sub>、V<sub>IO3</sub>、V<sub>IO4</sub>、C<sub>VDDQ</sub>

電源電圧 .....

1.7 V ~ 3.6 V  
V<sub>IO5</sub> 電源電圧 .....

表 7. DC 仕様

パラメータ	項目	Min	Max	単位	注記
V <sub>DD</sub>	コア電圧電源	1.15	1.25	V	1.2 V 標準
A <sub>VDD</sub>	アナログ電圧電源	1.15	1.25	V	1.2 V 標準
V <sub>IO1</sub>	GPIO II I/O 電源電圧ドメイン	1.7	3.6	V	1.8、2.5、および 3.3 V 標準
V <sub>IO2</sub>	IO2 電源電圧ドメイン	1.7	3.6	V	1.8、2.5、および 3.3 V 標準
V <sub>IO3</sub>	IO3 電源電圧ドメイン	1.7	3.6	V	1.8、2.5、および 3.3 V 標準
V <sub>IO4</sub>	UART/SPI/I2S 電源電圧ドメイン	1.7	3.6	V	1.8、2.5、および 3.3 V 標準
V <sub>BATT</sub>	USB 電源電圧	3.2	6	V	3.7 V 標準
V <sub>BUS</sub>	USB 電源電圧	4.1	6	V	5 V 標準
U3TX <sub>VDDQ</sub>	USB 3.0 1.2-V 電源	1.15	1.25	V	1.2 V 標準 この電源電圧には、22 μF バイパス コンデンサが必要です。
U3RX <sub>VDDQ</sub>	USB 3.0 1.2-V 電源	1.15	1.25	V	1.2 V 標準 この電源電圧には、22 μF バイパス コンデンサが必要です。
C <sub>VDDQ</sub>	クロック電圧電源	1.7	3.6	V	1.8、3.3 V 標準
V <sub>IO5</sub>	I <sup>2</sup> C および JTAG 電圧電源	1.15	3.6	V	1.2、1.8、2.5、および 3.3 V 標準
V <sub>IH1</sub>	入力 HIGH 電圧 1	0.625 × V <sub>CC</sub>	V <sub>CC</sub> + 0.3	V	2.0V ≤ V <sub>CC</sub> ≤ 3.6V (USB ポートを除く) 用。V <sub>CC</sub> は対応する IO 電圧電源です。
V <sub>IH2</sub>	入力 HIGH 電圧 2	V <sub>CC</sub> - 0.4	V <sub>CC</sub> + 0.3	V	For 1.7V ≤ V <sub>CC</sub> ≤ 2.0V (USB ポートを除く) 用。V <sub>CC</sub> は対応する IO 電圧電源です。
V <sub>IL</sub>	入力 LOW 電圧	-0.3	0.25 × V <sub>CC</sub>	V	V <sub>CC</sub> は対応する IO 電圧電源です。

**表 7. DC仕様 (つづき)**

パラメータ	項目	Min	Max	単位	注記
V <sub>OH</sub>	出力 HIGH 電圧	0.9 × VCC	-	V	I <sub>OH</sub> (最大) = -100 μA。VCC は対応する IO 電圧電源です。
V <sub>OL</sub>	出力 LOW 電圧	-	0.1 × VCC	V	I <sub>OL</sub> (最小) = +100 μA。VCC は対応する IO 電圧電源です。
I <sub>Ix</sub>	SSTXP/SSXM/SSRXP/SSRXM を除くすべてのピンの入力漏れ電流	-1	1	μA	V <sub>DDQ</sub> で保持されるすべての I/O 信号 (プルアップ/プルダウン抵抗を接続した I/O) の漏れ電流は V <sub>DDQ</sub> /R <sub>pu</sub> または V <sub>DDQ</sub> /R <sub>pd</sub> ごとに増加
I <sub>OZ</sub>	SSTXP/SSXM/SSRXP/SSRXM を除くすべてのピンの出力 High-Z 漏れ電流	-1	1	μA	V <sub>DDQ</sub> で保持されるすべての I/O 信号
I <sub>CC</sub> コア	コアおよびアナログ電圧動作電流	-	200	mA	A <sub>VDD</sub> 、V <sub>DD</sub> を通る合計電流
I <sub>CC</sub> USB	USB 電圧電源動作電流	-	60	mA	
I <sub>SB1</sub>	USB 3.0 PHY を有効にしたサスペンドモード (L1) 中の合計サスペンド電流	-	-	mA	コア電流 : 1.5 mA I/O 電流 : 20 uA USB 電流 : 2 mA 標準 PVT (一般的シリコン、25 °C での各定格レベルにおける全電源電圧)
I <sub>SB2</sub>	USB 3.0 PHY を無効にしたサスペンドモード (L2) 中の合計サスペンド電流	-	-	mA	コア電流 : 250 uA I/O 電流 : 20 uA USB 電流 : 1.2 mA 標準 PVT (一般的シリコン、25 °C での各定格レベルにおける全電源電圧)
I <sub>SB3</sub>	スタンバイモード (L3) 中の合計スタンバイ電流	-	-	μA	コア電流 : 60 uA I/O 電流 : 20 uA USB 電流 : 40 uA 標準 PVT (一般的シリコン、25 °C での各定格レベルにおける全電源電圧)
I <sub>SB4</sub>	コア電源オフモード (L4) 中の合計スタンバイ電流	-	-	μA	コア電流 : 0 uA IO 電流 : 20 uA USB 電流 : 40 uA 標準 PVT (一般的シリコン、25 °C での各定格レベルにおける全電源電圧)
V <sub>RAMP</sub>	コアおよび I/O 電源での電圧ランプレート	0.2	50	V/ms	電圧の立ち上がりは単調でなければなりません
V <sub>N</sub>	V <sub>DD</sub> および I/O 電源で許容されるノイズレベル	-	100	mV	A <sub>VDD</sub> を除き、すべての電源で許容される最大 p-p ノイズレベル
V <sub>N_AVDD</sub>	A <sub>VDD</sub> 電源で許容されるノイズレベル	-	20	mV	A <sub>VDD</sub> で許容される最大 p-p ノイズレベル

## AC タイミングパラメータ

### GPIF II タイミング

図 7. 同期モードでの GPIF II タイミング

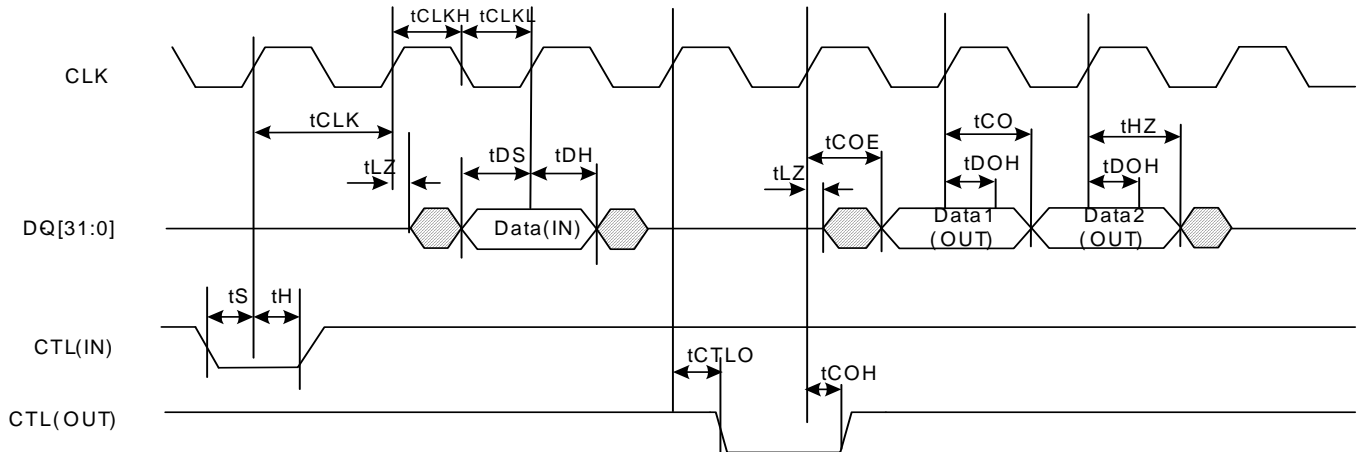


表 8. 同期モードでの GPIF II タイミングパラメータ [3]

パラメータ	項目	Min	Max	単位
周波数	インタフェース クロック周波数	-	100	MHz
tCLK	インタフェース クロック周期	10	-	ns
tCLKH	クロック HIGH 期間	4	-	ns
tCLKL	クロック LOW 期間	4	-	ns
tS	クロックに対する CTL 入力のセットアップ時間 (同期速度 = 1)	2	-	ns
tH	クロックに対する CTL 入力のホールド時間 (同期速度 = 1)	0.5	-	ns
tDS	クロックに対するデータ入力のセットアップ時間 (同期速度 = 1)	2	-	ns
tDH	クロックに対するデータ入力のホールド時間 (同期速度 = 1)	0.5	-	ns
tCO	DQ バスがすでに出力方向の場合におけるクロックからデータ出力までの伝播遅延 (同期速度 = 1)	-	8	ns
tCOE	DQ ラインがトライステートからの出力に変化し、DQ バスで有効なデータを利用可能な場合における、クロックからデータ出力までの伝播遅延 (同期速度 = 1)	-	9	
tCTLO	クロックから CTLX 出力までの伝播遅延 (同期速度 = 1)	-	8	ns
tDOH	クロックからデータ出力のホールド	2	-	ns
tCOH	クロックから CTL 出力のホールド	0	-	ns
tHZ	クロックから High-Z まで	-	8	ns
tLZ	クロックから Low-Z まで (同期速度 = 1)	0	-	ns
tS_ss0	クロックに対する CTL 入力 / データ入力のセットアップ時間 (同期速度 = 0)	5	-	ns
tH_ss0	クロックに対する CTL 入力 / データ入力のホールド時間 (同期速度 = 0)	2.5	-	ns
tCO_ss0	クロックからデータ出力 / CTL 出力まで 伝播遅延 (同期速度 = 0)	-	15	ns
tLZ_ss0	クロックから Low-Z まで (同期速度 = 0)	2	-	ns

注

3. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。



図 8. 非同期モードでの GPIF II タイミング

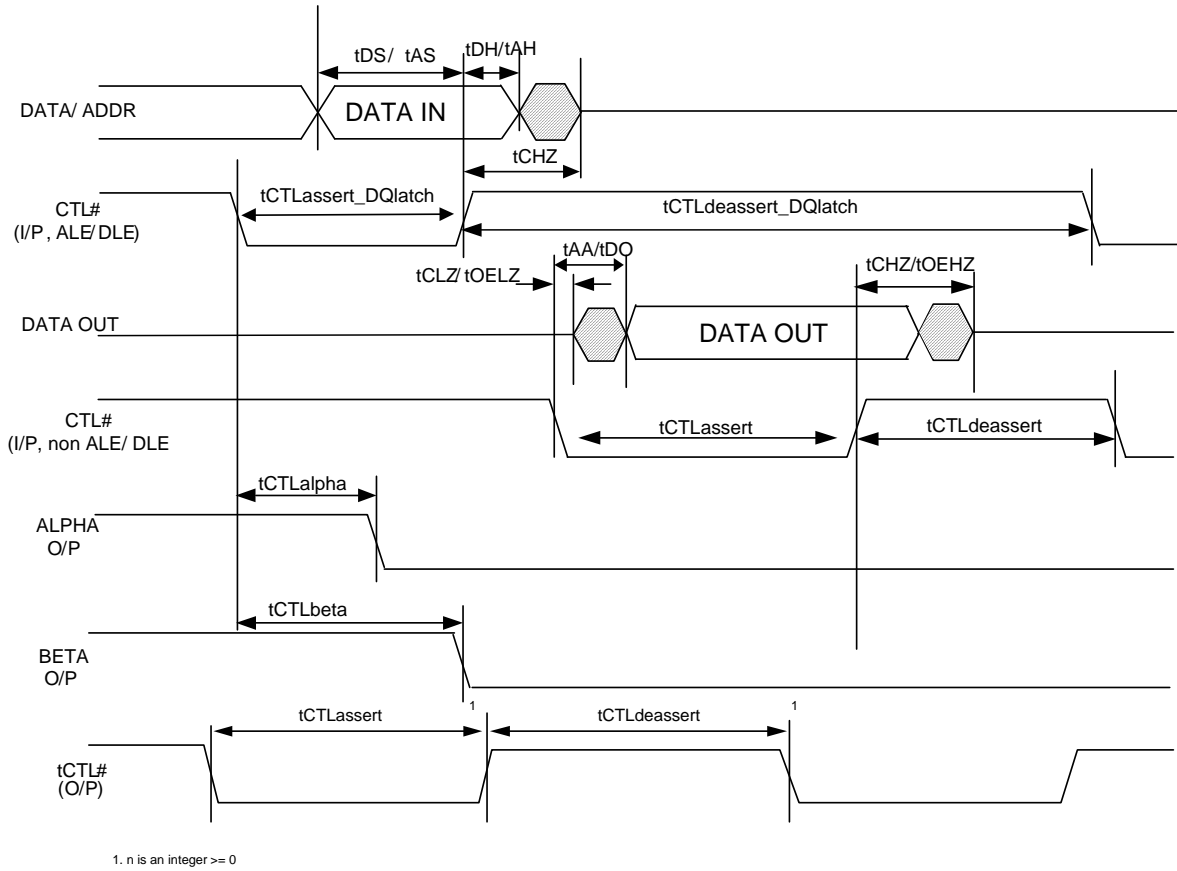


図 9. 非同期 DDR モードでの GPIF II タイミング

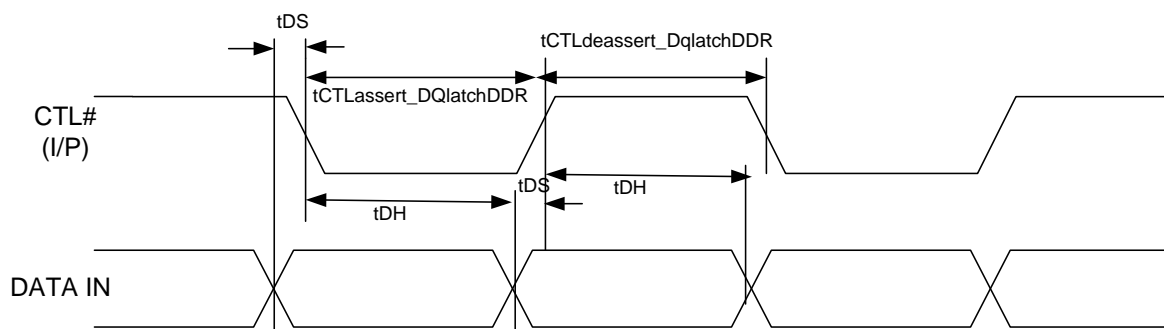


表 9. 非同期モードでの GPIF II タイミング<sup>[4]</sup>

注：以下のパラメータは、1 状態遷移を仮定し

パラメータ	項目	Min	Max	単位	注記
tDS	データ入力から DLE セットアップ時間まで DDR 非同期でも有効です。	2.3	-	ns	
tDH	データ入力から DLE ホールド時間まで DDR 非同期モードでも有効です。	2	-	ns	
tAS	アドレス入力から ALE セットアップ時間まで	2.3	-	ns	
tAH	ALE に対するアドレス入力の ホールド時間	2	-	ns	
tCTLassert	DQ 入力接続していない CTRL 入力、および出力の CTL I/O アサート幅	7	-	ns	
tCTLdeassert	DQ 入力接続していない CTRL 入力、および出力の CTL I/O デアサート幅	7	-	ns	
tCTLassert_DQassert	アサートしているエッジで DQ 入力が有効であるが、これらの DQ 入力に内蔵ラッチ (ALE/DLE) を採用しないことを示す CTL 入力の CTL アサートパルス幅。	20	-	ns	
tCTLdeassert_DQassert	アサートしているエッジで DQ 入力が有効であるが、これらの DQ 入力に内蔵ラッチ (ALE/DLE) を採用しないことを示す CTL 入力の CTL デアサートパルス幅。	7	-	ns	
tCTLassert_DQdeassert	デアサートしているエッジで DQ 入力が有効であるが、これらの DQ 入力に内蔵ラッチ (ALE/DLE) を採用しないことを示す CTL 入力の CTL アサートパルス幅。	7	-	ns	
tCTLdeassert_DQdeassert	デアサートしているエッジで DQ 入力が有効であるが、これらの DQ 入力に内蔵ラッチ (ALE/DLE) を採用しないことを示す CTL 入力の CTL デアサートパルス幅。	20	-	ns	
tCTLassert_DQlatch	DQ 入力をラッチするために内蔵ラッチ (ALE/DLE) を採用する CTL 入力の CTL アサートパルス幅。この非 DDR ケースでは、内蔵ラッチは必ずデアサートしているエッジの付近になります。	7	-	ns	
tCTLdeassert_DQlatch	DQ 入力をラッチするために内蔵ラッチ (ALE/DLE) を採用する CTL 入力の CTL デアサートパルス幅。この非 DDR ケースでは、内蔵ラッチは必ずデアサートしているエッジの付近になります。	10	-	ns	
tCTLassert_DQlatchDDR	DDR モードで DQ 入力をラッチするために内蔵ラッチ (DLE) を採用する CTL 入力の CTL アサートパルス幅。	10	-	ns	
tCTLdeassert_DQlatchDDR	DDR モードで DQ 入力をラッチするために内蔵ラッチ (DLE) を採用する CTL 入力の CTL デアサートパルス幅。	10	-	ns	
tAA	DQ 変更または CTL 変更を検知し、入力および出力 DQ ラインの内部更新に影響を与える必要があるときの、DQ/CTL 入力から DQ 出力までの時間。	-	30	ns	
tDO	CTL 変更により、データがすでに確立した出力フロップ更新を有効になるだけの場合の、CTL からデータ出力まで。	-	25	ns	

注

4. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。

表 9. 非同期モードでの GPIF II タイミング<sup>[4]</sup> (つづき)

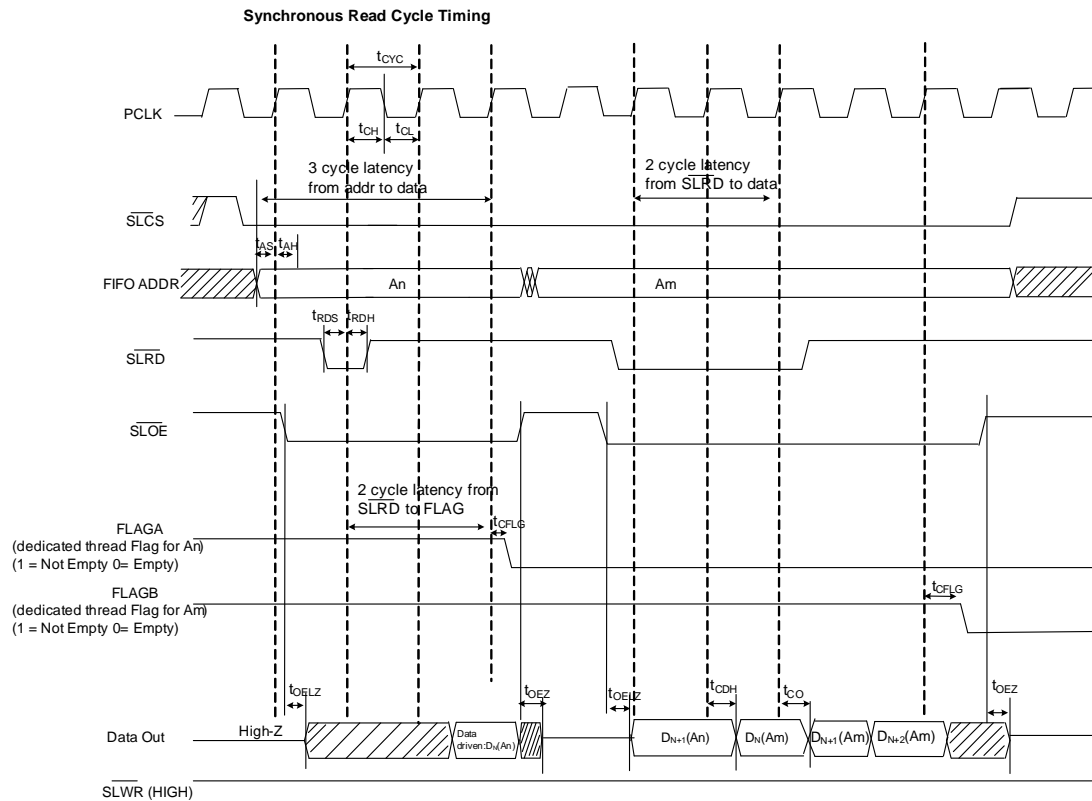
注：以下のパラメータは、1 状態遷移を仮定し

パラメータ	項目	Min	Max	単位	注記
tOELZ	OE から Low-Z までとして指定された CTL。外部デバイスがデータ駆動を停止するべき時点。	0	-	ns	
tOEHZ	OE から High-Z までとして指定された CTL	8	8	ns	
tCLZ	CTL (非 OE) から Low-Z まで。外部デバイスがデータ駆動を停止するべき時点。	0	-	ns	
tCHZ	CTL (非 OE) から High-Z まで	30	30	ns	
tCTLalpha	CTL から、出力でのアルファ変更	-	25	ns	
tCTLbeta	CTL から、出力でのベータ変更	-	30	ns	
tDST	DLE/ALE を使用しないときのアドレス/データ セットアップ	2	-	ns	
tDHT	DLE/ALE を使用しないときのアドレス/データ ホールド	20	-	ns	

スレーブ FIFO インタフェース

同期スレーブ FIFO タイミング

図 10. 同期スレーブ FIFO 読み取りモード



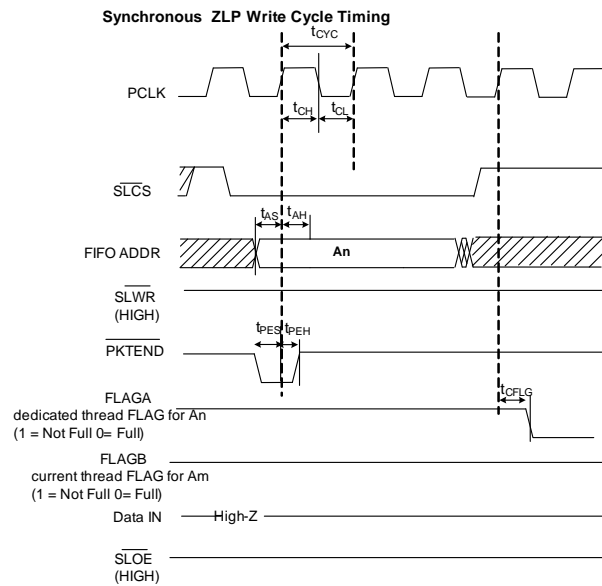
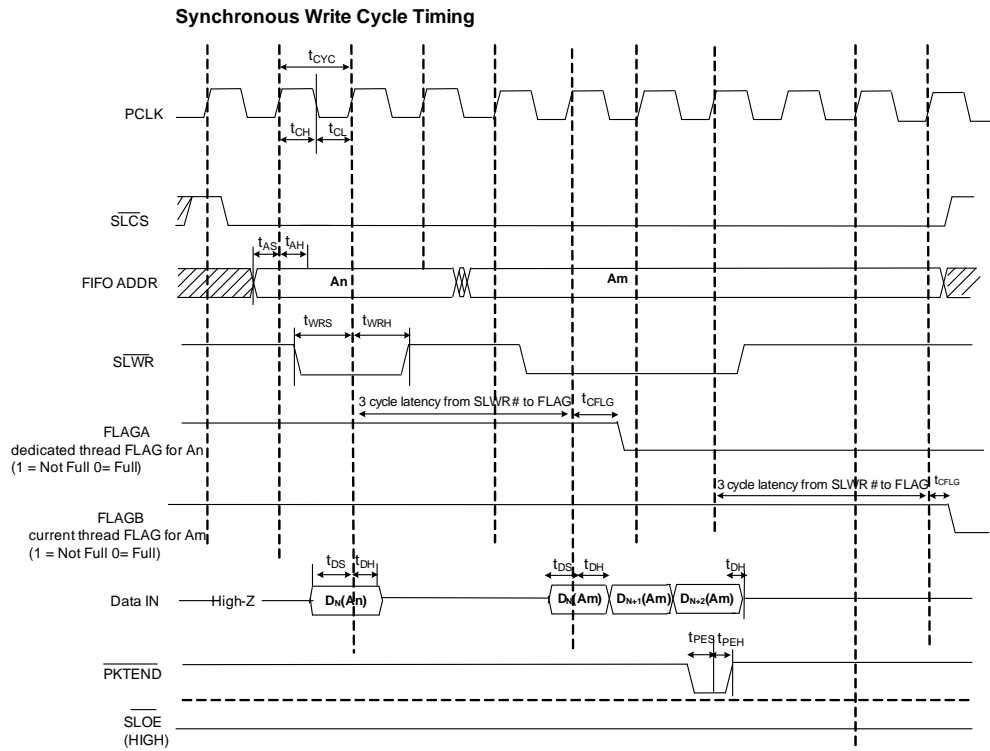
### 同期スレーブ FIFO シーケンスの説明

1. FIFO アドレスが安定し、SLCS がアサートされます
2. SLOF がアサートされます。SLOE は、出力イネーブルのみで、その唯一の機能は、データバスを駆動することです。
3. SLRD がアサートされます
4. PCLK の立ち上がりエッジで、SLRD がアサートされている間、FIFO ポインタが更新されます。これで、新たにアドレス指定されるデータのデータバスへの伝播が始まります。tCO の伝搬遅延 (PCLK の立ち上がりエッジから測定) 後、新しいデータ値が存在します。N は、FIFO から読み出される最初のデータ値です。FIFO データバス上のデータを取得するには、SLOE もアサートしなければなりません。

同じ一連のイベントがバースト読み取りについても示されません。

**注** バーストモードでは、読み取り期間中、SLRD# および SLOE# がアサートされたままになります。SLOE# がアサートされると、以前にアドレス指定された FIFO からのデータを持つデータバスが駆動されます。PCLK の後続の各立ち上がりエッジで、SLRD# がアサートされている間、FIFO ポインタが増分され、次のデータ値がデータバスに配置されます。

図 11. 同期スレーブ FIFO 書き込み



**同期スレーブ FIFO 書き込みシーケンスの説明**

- FIFO アドレスが安定し、信号 SLCS# がアサートされます
- 外部マスタ / 周辺機器の出力データ バス上のデータ
- SLWR# がアサートされます
- SLWR# がアサートされている間、データが FIFO に書き込まれ、PCLK の立ち上がりエッジで FIFO ポインタが増分されます
- FIFO フラグも、クロックの立ち上がりエッジから遅延  $t_{WFLG}$  後に更新されます

同じ一連のイベントがバースト書き込みについて示されます

**注** バーストモードについては、すべての必須データ値の書き込み中は SLWR# および SLCS# がアサートされたままとなります。このバースト書き込みモードでは、SLWR# がアサートされた後、PCLK の立ち上がりエッジごとに FIFO データバス上のデータが FIFO に書き込まれます。FIFO ポインタは、PCLK の立ち上がりエッジごとに更新されます。

**ショートパケット:** ショートパケットは、PKTEND# を使用し、USB ホストにコミットできます。外部デバイス / プロセッサは、データの最後のワードと最後のワードに対応する SLWR# パルスと共に、PKTEND# をアサートするよう設計される必要があります。FIFOADDR ラインは、PKTEND# アサート中は一定に保たれなければなりません。

**長さゼロのパケット:** 外部デバイス / プロセッサは、SLWR# をアサートせず、単に PKTEND# をアサートすることによって、長さゼロパケット (ZLP) を EZ-USB FX3 へ信号で伝えます。上のタイミング図に示されているように、SLC# とアドレスを駆動する必要があります。

**FLAG の使用:** FLAG 信号は、フロー制御用に、外部プロセッサによって監視されます。FLAG 信号は、EZ-USB FX3 からの出力される信号で、専用のスレッドまたは現在アドレス指定されているスレッドで、空 / フル / 部分的なステータスを表示するように構成されます。

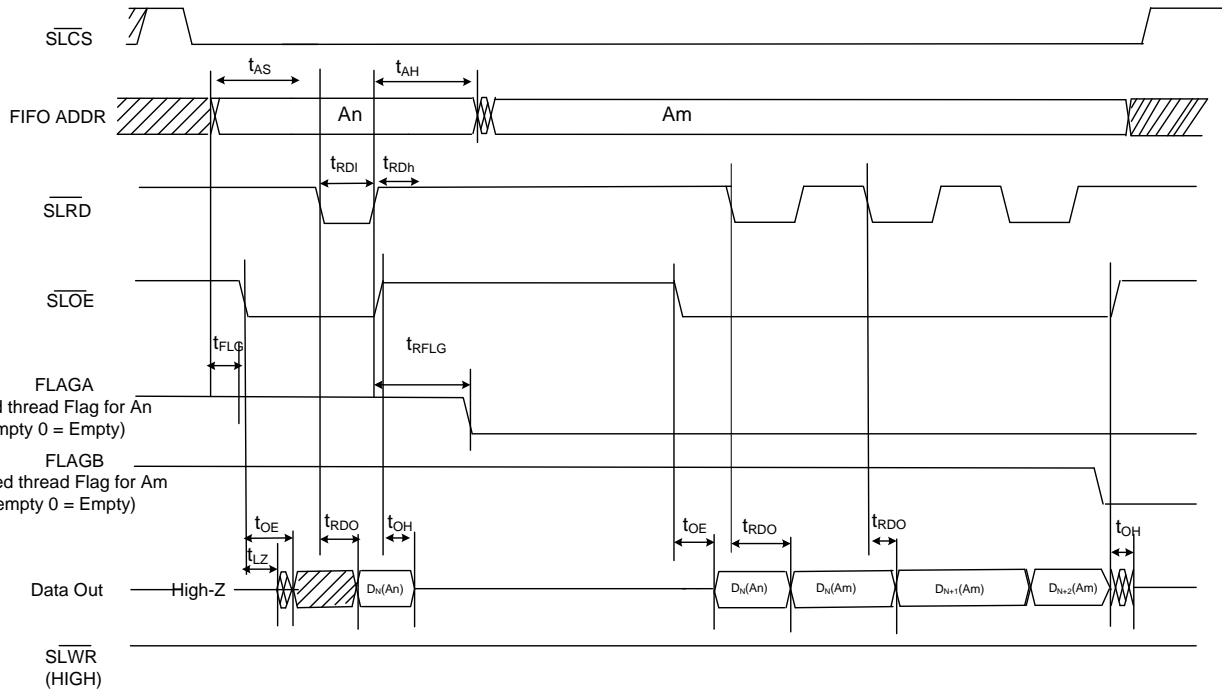
**表 10. スレーブ FIFO 同期アドレスのパラメータ [5]**

パラメータ	項目	Min	Max	単位
FREQ	インタフェース クロック周波数	-	100	MHz
tCYC	クロック周期	10	-	ns
tCH	クロック HIGH 期間	4	-	ns
tCL	クロック LOW 期間	4	-	ns
tRDS	SLRD# から CLK セットアップ時間まで	2	-	ns
tRDH	SLRD# から CLK ホールド時間まで	0.5	-	ns
tWRS	SLWR# から CLK セットアップ時間まで	2	-	ns
tWRH	SLRW# から CLK ホールド時間まで	0.5	-	ns
tCO	クロックからデータ有効まで	-	8	ns
tDS	データ入力セットアップ時間	2	-	ns
tDH	CLK からデータ入力ホールドまで	0.5	-	ns
tAS	アドレスから CLK セットアップ時間まで	2	-	ns
tAH	CLK からアドレス ホールド時間まで	0.5	-	ns
tOELZ	SLOE# からデータ LOW-Z まで	0	-	ns
tCFLG	CLK からフラグ出力までの伝播遅延	-	8	ns
tOEZ	SLOE# デアサートからデータ HI Z まで	-	8	ns
tPES	PKTEND# から CLK セットアップまで	2	-	ns
tPEH	CLK から PKTEND# ホールドまで	0.5	-	
tCDH	CLK からデータ出力ホールドまで	2	-	ns
注 ADDR から DATA/FLAGS までの 3 サイクルレイテンシ				

**注**  
5. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。

非同期スレーブ FIFO タイミング

図 12. 非同期スレーブ FIFO 読み取りモード



非同期スレーブ FIFO 読み取りシーケンス説明

- FIFO アドレスが安定し、SLCS# がアサートされます。
- SLOF# がアサートされます。これによってデータ バスが駆動されます。
- SLRD# がアサートされます。
- SLRD# のアサート時に、FIFO からのデータが実行されます。このデータは、SLRD# の立ち下がりエッジから、tRDO の伝搬遅延後、有効になります。
- FIFO ポインタは、SLRD# のアサート時にインクリメントされます。

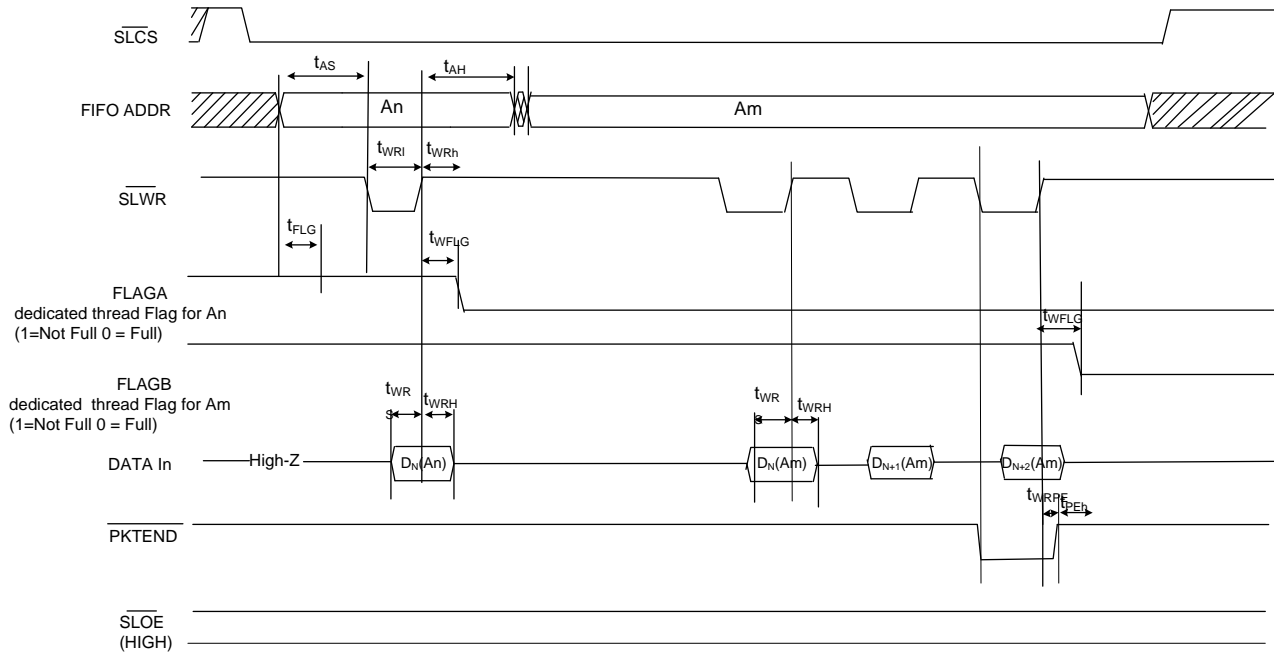
図 12 のデータ N は、FIFO から読み出される最初の有効データです。読み取りサイクル中にデータ バスにデータが現れるようにするには、SLOE# がアサートされた状態でなければなりません。SLRD# と SLOE# は接続することもできます。

同じ一連のイベントがバースト読み取りについても示されます。

**注** バースト読み取りモードでは、SLOE# のアサート中、データバスは駆動状態にあります(以前にアドレス指定された FIFO からデータを出力します)。SLRD# がアサートされると、FIFO からのデータは、データバスに出力され (SLOE# もアサートされる必要があります)、FIFO ポインタが、SLRD# のアサート時に増分されます。

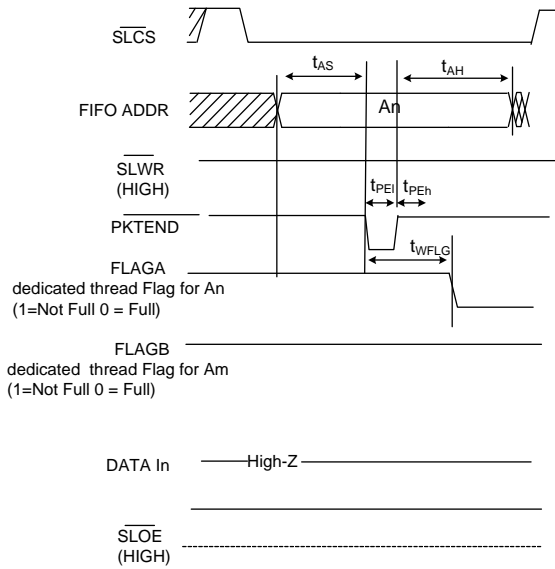
図 13. 非同期スレーブ FIFO 書き込みモード

Asynchronous Write Cycle Timing



$t_{WRPE}$ :  $\overline{SLWR\#}$  de-assert to PKTEND deassert = 2ns min (This means that PKTEND should not be deasserted before  $\overline{SLWR\#}$ )  
 Note: PKTEND must be asserted at the same time as  $\overline{SLWR\#}$ .

Asynchronous ZLP Write Cycle Timing





**非同期スレーブ FIFO 書き込みシーケンスの説明**

- FIFO アドレスが駆動され、SLCS# がアサートされます。
- SLWR# がアサートされます。SLCS# は、SLWR# と共に、または SLWR# がアサートされる前にアサートする必要があります
- データは、SLWR# のデアサートエッジの tWRS 前に、バスに存在する必要があります
- SLWR# のデアサートによって、データがデータバスから FIFO に書き込まれ、FIFO ポインタがインクリメントされます
- FIFO フラグは、SLWR のデアサート エッジから tWFLG 後に、更新されます。

同じ一連のイベントがバースト読み取りについて示されます。

バースト書き込みモードでは、SLWR# がデアサートされた後、データが FIFO に書き込まれ、FIFO ポインタがインクリメントされますので、注意してください。

ショートパケット：ショートパケットは、PKTEND# を使用し、USB ホストにコミットできます。外部デバイス / プロセッサは、データの最後のワードと最後のワードに対応する SLWR# パルスと共に、PKTEND# をアサートするよう設計する必要があります。FIFOADDR ラインは、PKTEND# アサート中は一定に保たれなければなりません。

Zero length Packet 外部デバイス / プロセッサは、SLWR# をアサートせず、単に PKTEND# をアサートすることによって、Zero Length Packet (ZLP) を EZ-USB FX3 へ信号で伝えます。上のタイミング図に示されているように、SLC# とアドレスを駆動する必要があります。

FLAG の使用：FLAG 信号は、フロー制御用に、外部プロセッサによって監視されます。FLAG 信号は、EZ-USB FX3 からの出力される信号で、専用のアドレスまたは現在のアドレスで、empty/full/partial ステータスを表示するように構成されます。

**表 11. 非同期スレーブ FIFO パラメータ<sup>[6]</sup>**

パラメータ	項目	Min	Max	単位
tRDI	SLRD# LOW	20	-	ns
tRDh	SLRD# HIGH	10	-	ns
tAS	アドレスから SLRD#/SLWR# セットアップ時間まで	7	-	ns
tAH	SLRD#/SLWR#/PKTEND# からアドレス ホールド時間まで	2	-	ns
tRFLG	SLRD# から FLAGS までの出力伝播遅延	-	35	ns
tFLG	ADDR から FLAGS 出力までの伝播遅延		22.5	
tRDO	SLRD# からデータ有効まで	-	25	ns
tOE	OE# LOW からデータ有効まで	-	25	ns
tLZ	OE# LOW からデータ LOW-Z まで	0	-	ns
tOH	SLOE# デアサート データ出力ホールド	-	22.5	ns
tWRI	SLWR# LOW	20	-	ns
tWRh	SLWR# HIGH	10	-	ns
tWRS	データから SLWR# セットアップ時間まで	7	-	ns
tWRH	SLWR# からデータ ホールド時間まで	2	-	ns
tWFLG	SLWR#/PKTEND# から出力までの伝搬遅延	-	35	ns
tPEI	PKTEND LOW	20	-	ns
tPEh	PKTEND HIGH	7.5	-	ns
tWRPE	SLWR# デアサートから PKTEND デアサートまで	2	-	

**注**

6. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。

シリアルペリフェラル タイミング

I<sup>2</sup>C タイミング

図 14. I<sup>2</sup>C タイミング定義

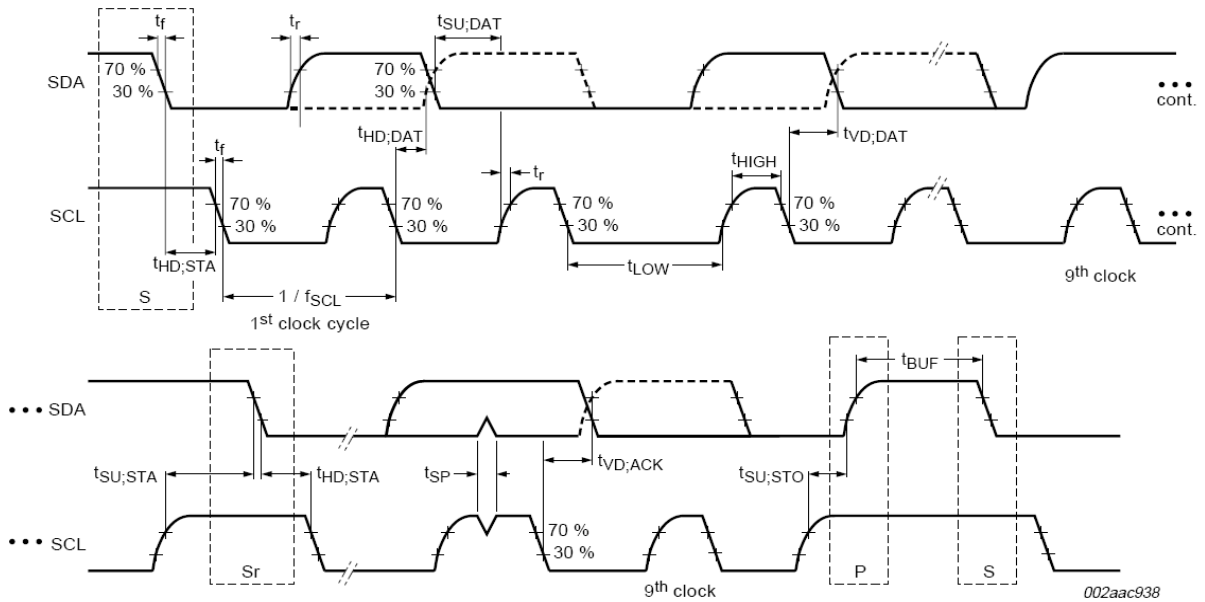


表 12. I<sup>2</sup>C タイミングパラメータ<sup>[7]</sup>

パラメータ	項目	Min	Max	単位	注記
<b>I<sup>2</sup>C 標準モードパラメータ</b>					
fSCL	SCL クロック周波数	0	100	kHz	
tHD:STA	ホールド時間 START コンディション	4	–	μs	
tLOW	SCL の LOW 期間	4.7	–	μs	
tHIGH	SCL の HIGH 期間	4	–	μs	
tSU:STA	リピーティッド START コンディションのセットアップ時間	4.7	–	μs	
tHD:DAT	データ ホールド時間	0	–	μs	
tSU:DAT	データ セットアップ時間	250	–	ns	
tr	SDA および SCL 信号の立ち上がり時間	–	1000	ns	
tf	SDA および SCL 信号の立ち下がり時間	–	300	ns	
tSU:STO	STOP コンディションのセットアップ時間	4	–	μs	
tBUF	STOP コンディションと START コンディションとの間のバス空き時間	4.7	–	μs	
tVD:DAT	データ有効時間	–	3.45	μs	
tVD:ACK	データ有効 ACK	–	3.45	μs	
tSP	入力フィルタによって抑制する必要があるスパイクのパルス幅	該当なし	該当なし		
<b>I<sup>2</sup>C 高速モードパラメータ</b>					
fSCL	SCL クロック周波数	0	400	kHz	
tHD:STA	ホールド時間 START コンディション	0.6	–	μs	
tLOW	SCL の LOW 期間	1.3	–	μs	
tHIGH	SCL の HIGH 期間	0.6	–	μs	
tSU:STA	リピーティッド START コンディションのセットアップ時間	0.6	–	μs	
tHD:DAT	データ ホールド時間	0	–	μs	
tSU:DAT	データ セットアップ時間	100	–	ns	
tr	SDA および SCL 信号の立ち上がり時間	–	300	ns	
tf	SDA および SCL 信号の立ち下がり時間	–	300	ns	
tSU:STO	STOP コンディションのセットアップ時間	0.6	–	μs	
tBUF	STOP コンディションと START コンディションとの間のバス空き時間	1.3	–	μs	
tVD:DAT	データ有効時間	–	0.9	μs	
tVD:ACK	データ有効 ACK	–	0.9	μs	
tSP	入力フィルタによって抑制する必要があるスパイクのパルス幅	0	50	ns	
<b>I<sup>2</sup>C 高速モードプラスパラメータ (I2C_VDDQ=1.2V ではサポートしていません)</b>					
fSCL	SCL クロック周波数	0	1000	kHz	
tHD:STA	ホールド時間 START コンディション	0.26	–	μs	
tLOW	SCL の LOW 期間	0.5	–	μs	
tHIGH	SCL の HIGH 期間	0.26	–	μs	
tSU:STA	リピーティッド START コンディションのセットアップ時間	0.26	–	μs	
tHD:DAT	データ ホールド時間	0	–	μs	
tSU:DAT	データ セットアップ時間	50	–	ns	
tr	SDA および SCL 信号の立ち上がり時間	–	120	ns	
tf	SDA および SCL 信号の立ち下がり時間	–	120	ns	
tSU:STO	STOP コンディションのセットアップ時間	0.26	–	μs	
tBUF	STOP コンディションと START コンディションとの間のバス空き時間	0.5	–	μs	
tVD:DAT	データ有効時間	–	0.45	μs	
tVD:ACK	データ有効 ACK	–	0.55	μs	
tSP	入力フィルタによって抑制する必要があるスパイクのパルス幅	0	50	ns	

注  
7. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。

I<sup>2</sup>S タイミングダイアグラム

図 15. I<sup>2</sup>S 送信サイクル

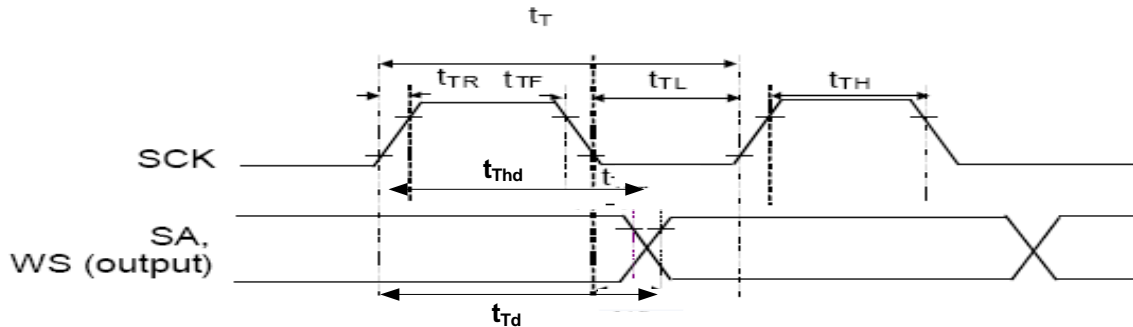


表 13. I<sup>2</sup>C タイミングパラメータ [8]

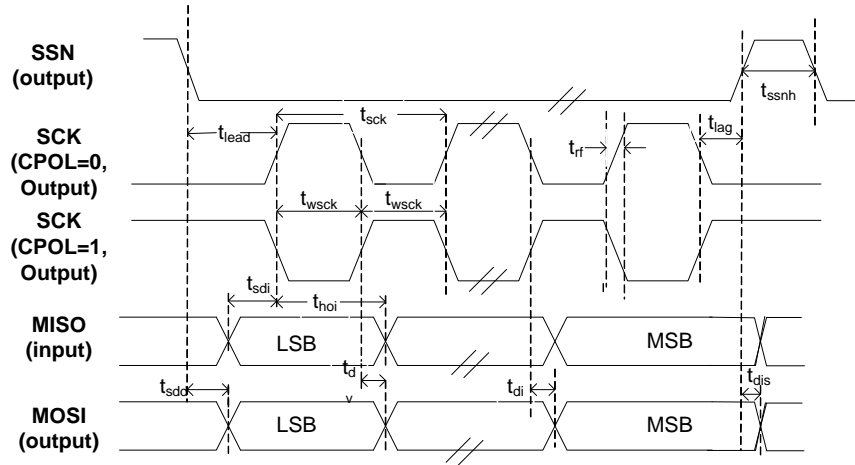
パラメータ	項目	Min	Max	単位
$t_T$	I <sup>2</sup> S トランスミッタ クロック サイクル	$T_{tr}$	–	ns
$t_{TL}$	I <sup>2</sup> S トランスミッタ サイクル LOW 期間	$0.35 T_{tr}$	–	ns
$t_{TH}$	I <sup>2</sup> S トランスミッタ サイクル HIGH 期間	$0.35 T_{tr}$	–	ns
$t_{TR}$	I <sup>2</sup> S トランスミッタ 立ち上がり時間	–	$0.15 T_{tr}$	ns
$t_{TF}$	I <sup>2</sup> S トランスミッタ 立ち下がり時間	–	$0.15 T_{tr}$	ns
$t_{Thd}$	I <sup>2</sup> S トランスミッタ データ ホールド時間	0	–	ns
$t_{Td}$	I <sup>2</sup> S トランスミッタ 遅延時間	–	$0.8t_T$	ns

注  $t_T$  はクロック ギアで選択可能です。最大  $T_{tr}$  は、32 ビットでの 96 kHz コーデックで 326 ns (3.072 MHz) に設計されています。

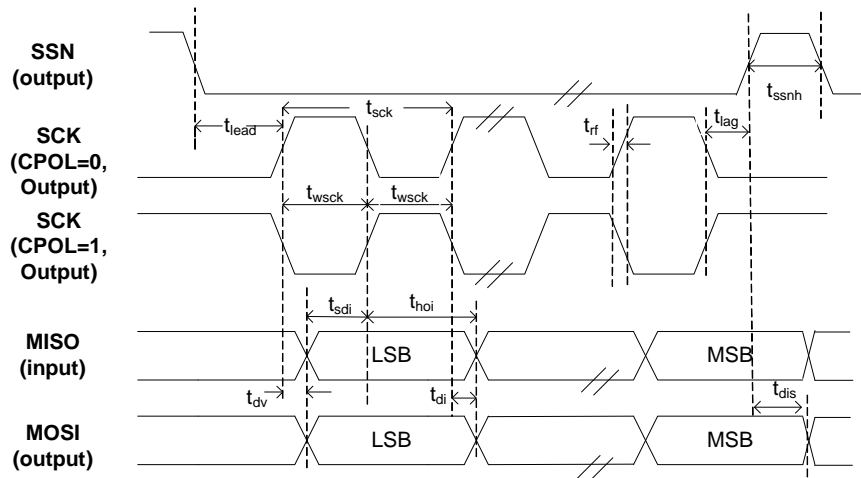
注  
8. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。

SPI タイミング仕様

図 16. SPI タイミング



SPI Master Timing for CPHA = 0



SPI Master Timing for CPHA = 1

**表 14. SPI タイミングパラメータ [9]**

パラメータ	項目	Min	Max	単位
fop	動作周波数	0	33	MHz
tsck	サイクル時間	30	-	ns
twsck	SPI クロック High 期間	13.5	-	ns
tlead	SSN-SCK リードタイム	$1/2 \text{ tsck}^{[10]} - 5$	$1.5 \text{ tsck}^{[10]} + 5$	ns
tlag	遅延時間を有効化	0.5	$1.5 \text{ tsck}^{[10]} + 5$	ns
trf	立ち上がり / 立ち下がり時間	-	8	ns
tsdd	出力 SSN から有効なデータまでの遅延時間	-	5	ns
tdv	出力データ有効時間	-	5	ns
tdi	出力データ無効	0	-	ns
tssnh	最小 SSN High 時間	10	-	ns
tsdi	データセットアップ時間入力	8	-	ns
thoi	データ ホールド時間入力	0	-	ns
tdis	SSN High でデータ出力を無効化	0	-	ns

### シーケンスのリセット

EZ-USB FX3 のハードリセットシーケンス要件をここで示します。

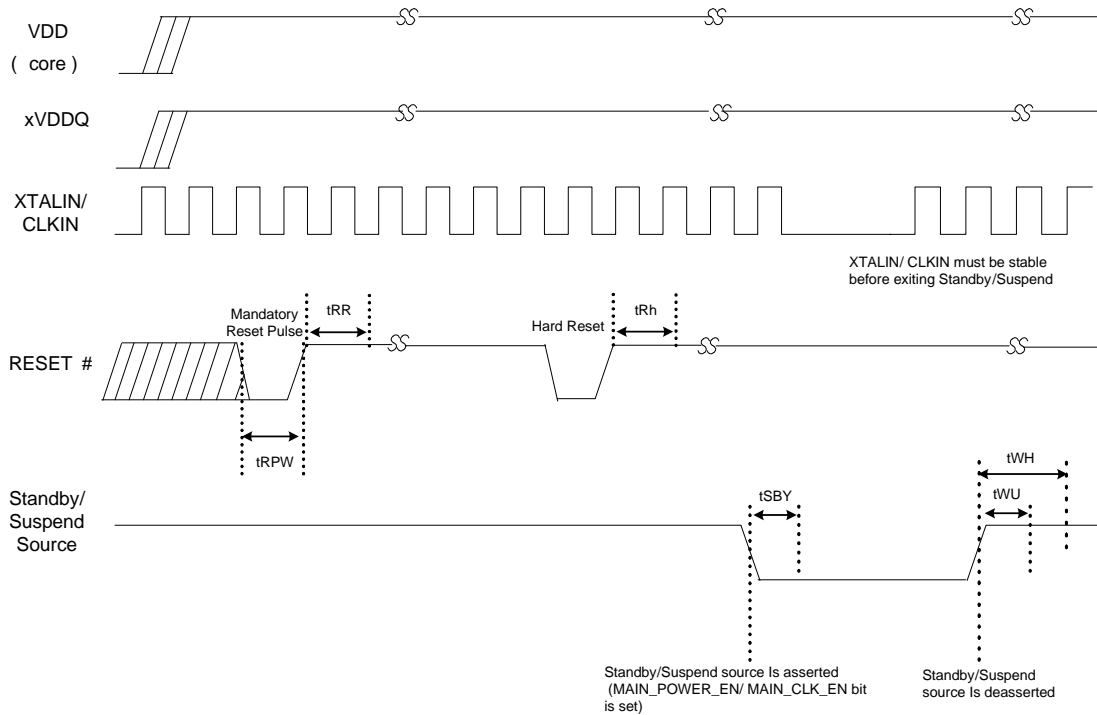
**表 15. リセットおよびスタンバイ タイミングパラメータ**

パラメータ	定義	条件	最小 (ms)	最大 (ms)
tRPW	最小 RESET# パルス幅	クロック入力	1	-
		水晶振動子入力	1	-
tRH	RESET# での最小 High	-	5	-
tRR	リセット回復時間 (ブートローダーがファームウェアのダウンロード開始後)	クロック入力	1	-
		水晶振動子入力	5	-
tSBY	スタンバイ / サスペンド開始までの時間 (MAIN_CLOCK_EN/ MAIN_POWER_EN ビットを設定した時点から)	-	-	1
tWU	スタンバイ状態からウェイクアップするまでの時間	クロック入力	1	-
		水晶振動子入力	5	-
tWH	スタンバイ / サスペンドソースを再アサートする前の最小時間	-	5	-

**注**

9. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。  
 10. SPI\_CONFIG レジスタでの LAG および LEAD 設定によって決まります。

図 17. リセットシーケンス



ボールマップ

図 18. EZ-USB FX3 のボールマップ (平面図)

	1	2	3	4	5	6	7	8	9	10	11
A	U3VSSQ	U3RXVDDQ	SSRXM	SSRXP	SSTXP	SSTXM	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	R_USB3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	O[60]
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

ピンの説明

表 16. ピンリスト

ピン		I/O	名前	項目	
				GPIO II (VIO1 パワー ドメイン)	
				GPIO™ II インタフェース	スレーブ FIFO インタフェース
F10	VIO1	I/O	GPIO[0]	DQ[0]	DQ[0]
F9	VIO1	I/O	GPIO[1]	DQ[1]	DQ[1]
F7	VIO1	I/O	GPIO[2]	DQ[2]	DQ[2]
G10	VIO1	I/O	GPIO[3]	DQ[3]	DQ[3]
G9	VIO1	I/O	GPIO[4]	DQ[4]	DQ[4]
F8	VIO1	I/O	GPIO[5]	DQ[5]	DQ[5]
H10	VIO1	I/O	GPIO[6]	DQ[6]	DQ[6]
H9	VIO1	I/O	GPIO[7]	DQ[7]	DQ[7]
J10	VIO1	I/O	GPIO[8]	DQ[8]	DQ[8]
J9	VIO1	I/O	GPIO[9]	DQ[9]	DQ[9]
K11	VIO1	I/O	GPIO[10]	DQ[10]	DQ[10]
L10	VIO1	I/O	GPIO[11]	DQ[11]	DQ[11]
K10	VIO1	I/O	GPIO[12]	DQ[12]	DQ[12]
K9	VIO1	I/O	GPIO[13]	DQ[13]	DQ[13]
J8	VIO1	I/O	GPIO[14]	DQ[14]	DQ[14]
G8	VIO1	I/O	GPIO[15]	DQ[15]	DQ[15]
J6	VIO1	I/O	GPIO[16]	PCLK	CLK
K8	VIO1	I/O	GPIO[17]	CTL[0]	SLCS#
K7	VIO1	I/O	GPIO[18]	CTL[1]	SLWR#
J7	VIO1	I/O	GPIO[19]	CTL[2]	SLOE#
H7	VIO1	I/O	GPIO[20]	CTL[3]	SLRD#
G7	VIO1	I/O	GPIO[21]	CTL[4]	FLAGA
G6	VIO1	I/O	GPIO[22]	CTL[5]	FLAGB
K6	VIO1	I/O	GPIO[23]	CTL[6]	GPIO
H8	VIO1	I/O	GPIO[24]	CTL[7]	PKTEND#
G5	VIO1	I/O	GPIO[25]	CTL[8]	GPIO
H6	VIO1	I/O	GPIO[26]	CTL[9]	GPIO
K5	VIO1	I/O	GPIO[27]	CTL[10]	GPIO
J5	VIO1	I/O	GPIO[28]	CTL[11]	A1
H5	VIO1	I/O	GPIO[29]	CTL[12]	A0
G4	VIO1	I/O	GPIO[30]	PMODE[0]	PMODE[0]
H4	VIO1	I/O	GPIO[31]	PMODE[1]	PMODE[1]
L4	VIO1	I/O	GPIO[32]	PMODE[2]	PMODE[2]
L8	VIO1	I/O	INT#	INT#/CTL[15]	CTL[15]
C5	CVDDQ	I	RESET#	RESET#	RESET#
				IO2 (VIO2 パワー ドメイン)	
				GPIO II (32 ビット データ モード)	
K2	VIO2	I/O	GPIO[33]	DQ[16]	GPIO
J4	VIO2	I/O	GPIO[34]	DQ[17]	GPIO
K1	VIO2	I/O	GPIO[35]	DQ[18]	GPIO
J2	VIO2	I/O	GPIO[36]	DQ[19]	GPIO
J3	VIO2	I/O	GPIO[37]	DQ[20]	GPIO



**表 16. ピンリスト(つづき)**

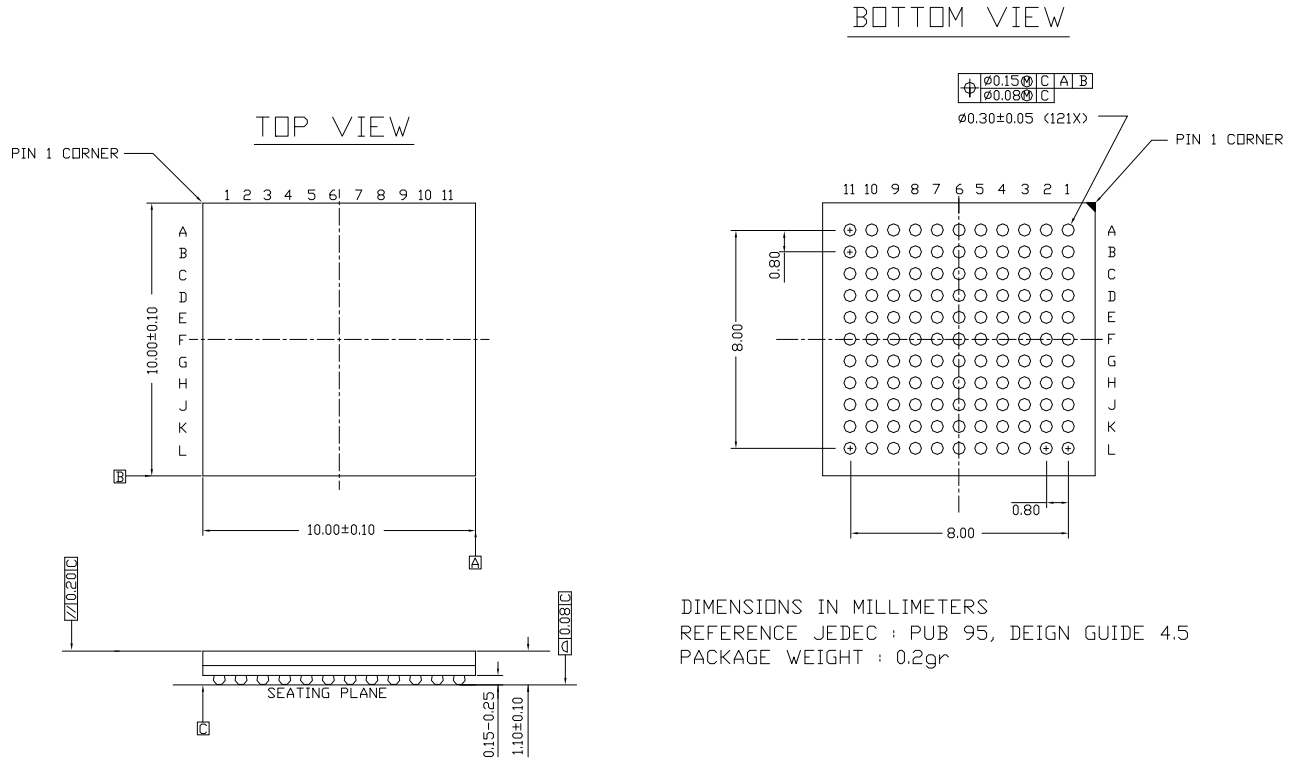
ピン		I/O	名前	項目						
J1	VIO2	I/O	GPIO[38]	DQ[21]				GPIO		
H2	VIO2	I/O	GPIO[39]	DQ[22]				GPIO		
H3	VIO2	I/O	GPIO[40]	DQ[23]				GPIO		
F4	VIO2	I/O	GPIO[41]	DQ[24]				GPIO		
G2	VIO2	I/O	GPIO[42]	DQ[25]				GPIO		
G3	VIO2	I/O	GPIO[43]	DQ[26]				GPIO		
F3	VIO2	I/O	GPIO[44]	DQ[27]				GPIO		
F2	VIO2	I/O	GPIO[45]	GPIO						
<b>IO3 (VIO3 パワー ドメイン)</b>										
				GPIO+SPI	GPIO+UART	GPIOのみ	GPIF II - 32 (FX3) +UART+I2S	GPIO+I2S	UART+SPI+I2S	
F5	VIO3	I/O	GPIO[46]	GPIO	GPIO	GPIO	DQ[28]	GPIO	UART_RTS	
E1	VIO3	I/O	GPIO[47]	GPIO	GPIO	GPIO	DQ[29]	GPIO	UART_CTS	
E5	VIO3	I/O	GPIO[48]	GPIO	GPIO	GPIO	DQ[30]	GPIO	UART_TX	
E4	VIO3	I/O	GPIO[49]	GPIO	GPIO	GPIO	DQ[31]	GPIO	UART_RX	
D1	VIO3	I/O	GPIO[50]	GPIO	GPIO	GPIO	I2S_CLK	GPIO	I2S_CLK	
D2	VIO3	I/O	GPIO[51]	GPIO	GPIO	GPIO	I2S_SD	GPIO	I2S_SD	
D3	VIO3	I/O	GPIO[52]	GPIO	GPIO	GPIO	I2S_WS	GPIO	I2S_WS	
<b>IO4 (VIO4) パワー ドメイン</b>										
<b>D4</b>	VIO4	I/O	GPIO[53]	SPI_SCK	UART_RTS	GPIO	UART_RTS	GPIO	SPI_SCK	
C1	VIO4	I/O	GPIO[54]	SPI_SSN	UART_CTS	GPIO	UART_CTS	I2S_CLK	SPI_SSN	
C2	VIO4	I/O	GPIO[55]	SPI_MISO	UART_TX	GPIO	UART_TX	I2S_SD	SPI_MISO	
D5	VIO4	I/O	GPIO[56]	SPI_MOSI	UART_RX	GPIO	UART_RX	I2S_WS	SPI_MOSI	
C4	VIO4	I/O	GPIO[57]	GPIO	GPIO	GPIO	I2S_MCLK	I2S_MCLK	I2S_MCLK	
<b>USB ポート (VBATT/VBUS パワー ドメイン)</b>										
C9	VBUS/ VBATT	I	OTG_ID	OTG_ID						
<b>USB ポート (U3TXVDDQ/U3RXVDDQ パワー ドメイン)</b>										
A3	U3RXVDDQ	I	SSRXM	SSRX-						
A4	U3RXVDDQ	I	SSRXP	SSRX+						
A6	U3RXVDDQ	O	SSTXM	SSTX-						
A5	U3RXVDDQ	O	SSTXP	SSTX+						
<b>USB ポート (VBATT/VBUS パワー ドメイン)</b>										
A9	VBUS/VBATT	I/O	DP	D+						
A10	VBUS/VBATT	I/O	DM	D-						
A11			NC	接続なし						
<b>水晶/クロック (CVDDQ パワー ドメイン)</b>										
B2	CVDDQ	I	FSLC[0]	FSLC[0]						
C6	AVDD	I/O	XTALIN	XTALIN						
C7	AVDD	I/O	XTALOUT	XTALOUT						
B4	CVDDQ	I	FSLC[1]	FSLC[1]						
E6	CVDDQ	I	FSLC[2]	FSLC[2]						
D7	CVDDQ	I	CLKIN	CLKIN						
D6	CVDDQ	I	CLKIN_32	CLKIN_32						
<b>I2CおよびJTAG (VIO5 パワー ドメイン)</b>										
D9	VIO5	I/O	I2C_GPIO[58]	I2C_SCL						
D10	VIO5	I/O	I2C_GPIO[59]	I2C_SDA						

**表 16. ピンリスト(つづき)**

ピン		I/O	名前	項目
E7	VIO5	I	TDI	TDI
C10	VIO5	O	TDO	TDO
B11	VIO5	I	TRST#	TRST#
E8	VIO5	I	TMS	TMS
F6	VIO5	I	TCK	TCK
D11	VIO5	I/O	O[60]	チャージャー検知出力
				<b>電源</b>
E10		PWR	VBATT	
B10		PWR	VDD	
A1		PWR	U3VSSQ	
E11		PWR	VBUS	
D8		PWR	VSS	
H11		PWR	VIO1	
E2		PWR	VSS	
L9		PWR	VIO1	
G1		PWR	VSS	
F1		PWR	VIO2	
G11		PWR	VSS	
E3		PWR	VIO3	
L1		PWR	VSS	
B1		PWR	VIO4	
L6		PWR	VSS	
B6		PWR	CVDDQ	
B5		PWR	U3RXVDDQ	
A2		PWR	U3RXVDDQ	
C11		PWR	VIO5	
L11		PWR	VSS	
A7		PWR	AVDD	
B7		PWR	AVSS	
C3		PWR	VDD	
B8		PWR	VSS	
E9		PWR	VDD	
B9		PWR	VSS	
F11		PWR	VDD	
H1		PWR	VDD	
L7		PWR	VDD	
J11		PWR	VDD	
L5		PWR	VDD	
K4		PWR	VSS	
L3		PWR	VSS	
K3		PWR	VSS	
L2		PWR	VSS	
A8		PWR	VSS	
				<b>高精度抵抗</b>
C8	VBUS/VBATT	I/O	R_usb2	USB用の高精度抵抗 2.0 (このピンと GND の間に 6.04 kΩ +/-1% 抵抗を接続)
B3	U3RXVDDQ	I/O	R_usb3	USB用の高精度抵抗 3.0 (このピンと GND の間に 200 Ω +/-1% 抵抗を接続)

パッケージ図

図 19. 121 ボールFBGA 10 × 10 × 1.2 図



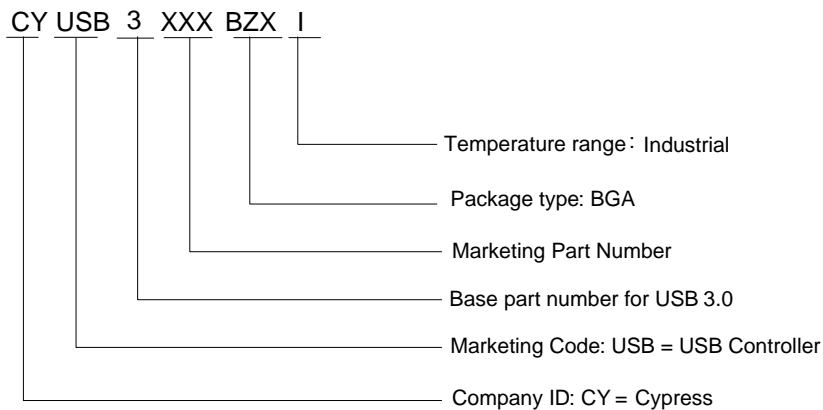
001-54471 \*C

注文情報

表 17. 注文情報

注文コード	パッケージタイプ
CYUSB3014-BZXI	121 ボール BGA

注文コードの定義



略号

略号	項目
DMA	ダイレクトメモリアクセス
HNP	ホストネゴシエーションプロトコル
MMC	マルチメディアカード
MTP	メディア転送プロトコル
PLL	位相同期回路
SD	セキュア デジタル
SD	セキュア デジタル
SDIO	セキュア デジタル入力/出力
SLC	単一レベルセル
SPI	シリアルペリフェラルデバイスインタフェース
SRP	セッションリクエストプロトコル
USB	ユニバーサルシリアルバス
WLCSP	ウェハレベルチップスケールパッケージ

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
Mbps	メガビット/秒
MBps	メガバイト/秒
MHz	メガヘルツ
ms	ミリ秒
ns	ナノ秒
Ω	オーム
pF	ピコファラッド
V	ボルト

改訂履歴

ドキュメントのタイトル: CYUSB3014 EZ-USB® FX3 SuperSpeed USB コントローラ 文書番号: 001-52136				
版	ECN	担当者	提出日	変更内容
**	3616497	HZEN	2012-5 -15	これは英語版 001-52136 Rev *K を翻訳した日本語版 Rev. ** です

セールス、ソリューション、および法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#)をご覧ください。

製品

自動車	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
クロック & バッファ	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
インタフェース	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明 & 電源管理	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>
	<a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
メモリ	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
光学 & イメージ センサ	<a href="http://cypress.com/go/image">cypress.com/go/image</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
タッチセンサ	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB コントローラ	<a href="http://cypress.com/go/USB">cypress.com/go/USB</a>
ワイヤレス /RF	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

PSoC ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 5

Copyright © 2005-2012 Cypress Semiconductor Corporation 本書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™ 及び Programmable System-on-Chip™ は、Cypress Semiconductor Corp. の商標、PSoC® は同社の登録商標です。本書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード (ソフトウェア及び / 又はファームウェア) は Cypress Semiconductor Corporation (以下「サイプレス」) が所有し、全世界 (米国及びその他の国) の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び / 又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項: サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。