

入門書： 高速シリアル規格のコンプライアンスと検証

～SATA/SAS、 PCI Express、 Ethernet、 USB、 HDMI/DisplayPort～

目次

シリアル・バス — 確立された設計規格	4
高速シリアル規格	4~8
SATA/SAS	4
PCI Express	6
Ethernet	6
USB	7
HDMI/DisplayPort	7
一般的なアーキテクチャ要素	8
第2世代、第3世代シリアル規格の課題	10
ギガビット速度	10
ジッタ	10
伝送線路効果	10
ノイズ	10
コンプライアンス・テスト項目	10~13
アイ測定	11
振幅テスト	11
タイミング・テスト	12
ジッタ・テスト	12
レシーバ感度テスト	13
基板とインターコネクトのテスト	13
コンプライアンス・テストのソリューション	13~19
接続性	13
TriMode差動プローブ	14
擬似差動による可動プローブ接続	14
SMAケーブルによる擬似差動接続	15
移動可能な真の差動プローブ	15
真の差動SMAプローブ	15
フィクスチャ	16
パターン生成	16
レシーバの感度テスト	17
テスト・プロセス	17
レシーバの仕組み	18
レシーバの振幅感度測定	18
レシーバのタイミング測定	18
レシーバのジッタ・トレランス測定	19

信号取込の実際	19~21
周波数帯域の要件	19
周波数帯域とトランジション	20
複数レーンの取込み	20
サンプル・レートとレコード長	21
信号解析の実際	21~26
リアルタイム・オシロスコープと等価時間オシロスコープ	21
アイの解析	22
ジッタ解析	23
ジッタとビット・エラー・レート性能の特定	23
ノイズ解析	25
SSC解析.....	25
伝送メディア解析	26
ディエンベッド／ノーマライゼーション	26
まとめ	27

シリアル・バス — 確立された設計規格

高速シリアル・バス・アーキテクチャは、今日の高性能設計の新しい基準となっています。シリアル・バスはコンピュータ、携帯電話、娯楽システムなどのさまざまな市場に普及し、回路の設計やレイアウトにおいてコストを抑え、配線を減らすことができるなど、優れた利点を提供しています。

2.5GbpsのPCI Express、1.5GbpsのSerial ATA (SATA) など、第1世代のシリアル規格に携われた方もいらっしゃるでしょう。第2世代の規格による製品も市場に出回り始めています。さらに、ワーキング・グループで策定中の第3世代の6Gbps SATAの設計仕様も、既に、一部のエンジニアに注目されています。

シリアル・バスのエッジ・レートはさらに高速に、ユニット・インターバル (UI) はさらに狭くなっており、設計、コンプライアンス・テスト、デバッグにおいて新たな課題が生まれています。規格の速度は、RFアナログ特性や伝送線路効果を考慮する必要があるほど高速になっており、それが設計に及ぼす影響はかつてないほど大きくなっています。

高速のトランジション時間、短いUI、異なるインピーダンス経路、ノイズ源などはすべて、ビット・エラー・レートに影響するため、エンジニアは、接続性、パターン生成、レシーバ側のテスト、データ取込や解析などに取り組まなければなりません。これらの問題に加えて、新しい規格の登場、コンプライアンス・テスト要件の厳格化などが絡み、新製品の市場投入を遅らせる要因になっています。

この入門書では、第2世代の規格に関する課題に焦点を当てながら、シリアル規格のコンプライアンス要件を考察します。続いて、3種類の代表的な規格の特徴に触れ、基本的なテストを含むさまざまな課題と、コンプライアンス・テスト、デバッグで注意すべき点に着目します。この一連の説明の中心となるのが、DUT (被測定デバイス) との接続、正確なテスト・パターンの生成、レシーバのテスト、データの取込み、データの解析、の5項目です。

高速シリアル規格

電気業界では、市場、顧客のニーズに合わせて、製造メーカ、企業が多目的のシリアル・バス規格を発表してきました。その主な目的は、各ベンダが共通のアーキテクチャで製品を提供し、製品間の相互運用性 (インターオペラビリティ) を確保することにあります。これらの規格はすべて、委員会の運営組織、ワーキング・グループによって管理され、設計とテストの要件が決められています。表1に代表的なシリアル規格を示します。

仕様では、電気、光 (該当する場合)、機械、インターコネク (内部接続)、ケーブル、経路の損失など、製品が満たすべき要件の項目が規定されています。運営委員会は、製品が規格に適合していることを証明するための標準的なテスト要件を取りまとめ、発表します。これらのテストには、必要なテスト機器を詳細に規定しているものもあれば、準拠すべき特性の選定を設計エンジニア/製造メーカ自身に任せているものもあります。仕様は、規格が固まるまでの間に変更されることがあるため、その要件は常にチェックしておく必要があります。

当社は、多くの規格団体に参画し、さまざまなワーキング・グループにおいて他の企業と共に、コンプライアンス・テストの効果的なテスト・プロセスと手順を策定しています。

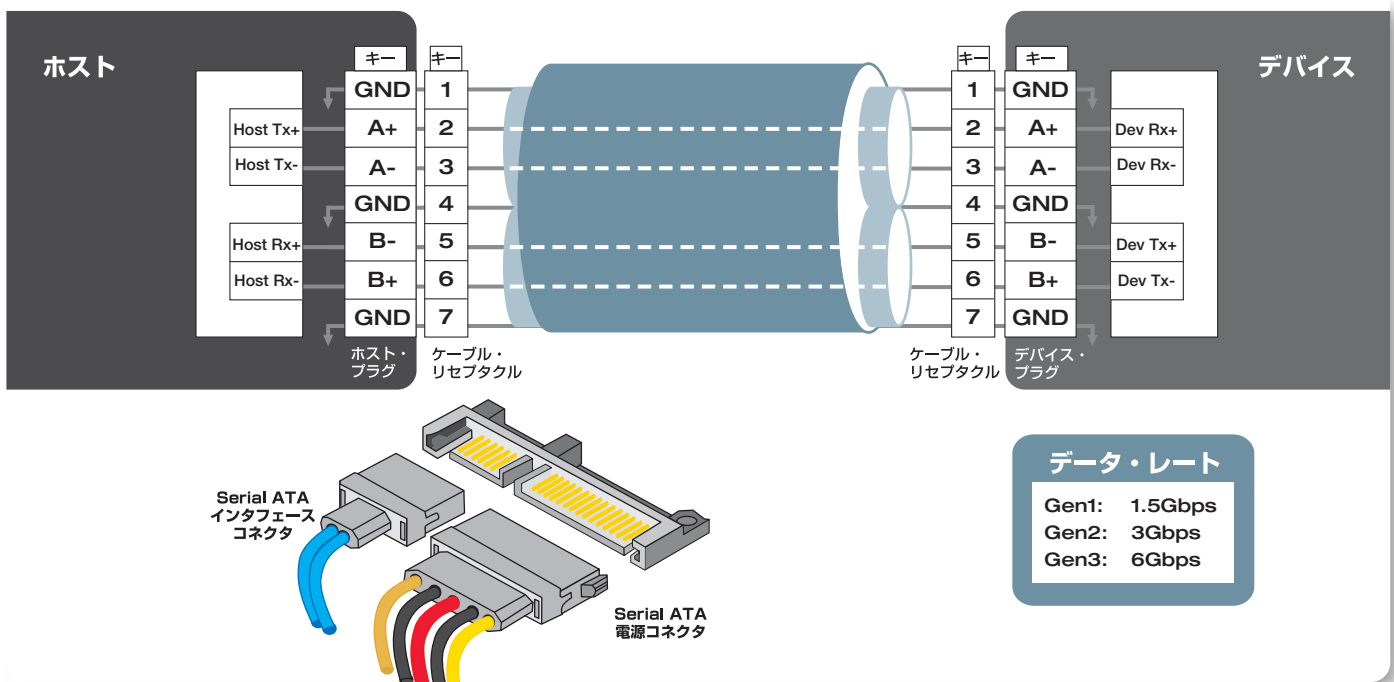
次に代表的な3種類の規格について説明します。当社はそのすべての規格のワーキング・グループに参加しています。

SATA/SAS

SATAは、今日のデスクトップPCやコンピュータ・プラットフォームで広く使われているストレージのシリアル規格です。当初の伝送速度は1.5Gbpsでしたが、第2世代 (Gen2) では3Gbpsになりました。第3世代のSATA (6Gbps) デバイスも市場に出回り始めています。SAS (Serial Attached SCSI) もSATAと同様、ストレージ・アプリケーションのシリアル規格です。しかし、SASデザインは主にデータ・センタおよびエンタープライズ・アプリケーションで使用されます。SASの伝送速度は3Gbps、SAS2では6Gbpsとなります。

目的	規格	規格団体	
ストレージ・デバイス	Serial ATA (SATA)	SATA-I/O	www.sata-io.org
	Serial-attached SCSI (SAS)	SCSI Trade Association	www.scsita.org
チップ・ツー・チップ、 チップ・ツー・モジュール 用インターコネク	PCI Express	PCI-SIG	www.pcisig.org
	Rapid I/O (RapidIO)	Rapid I/O Trade Association	www.rapidio.org
高品位ディスプレイ	High-Definition Multimedia Interface (HDMI)	HDMI	www.hdmi.org
	DisplayPort	Video Electronics Standards Association (VESA)	www.vesa.org
メモリ・アクセス	Fully Buffered DIMM (FB-DIMM)	JEDEC	www.jedec.org
システム・ インターコネク	InfiniBand	InfiniBand Trade Association	www.infinibandta.org
	Fibre Channel	International Committee for Information Technology Standards	www.incits.org
	10 Gbit Ethernet/XAUI	IEEE	www.ieee.org
	Universal Serial Bus (USB)	USB Implementers Forum (USB-IF)	www.usb.org

▶ 表1：代表的なシリアル規格



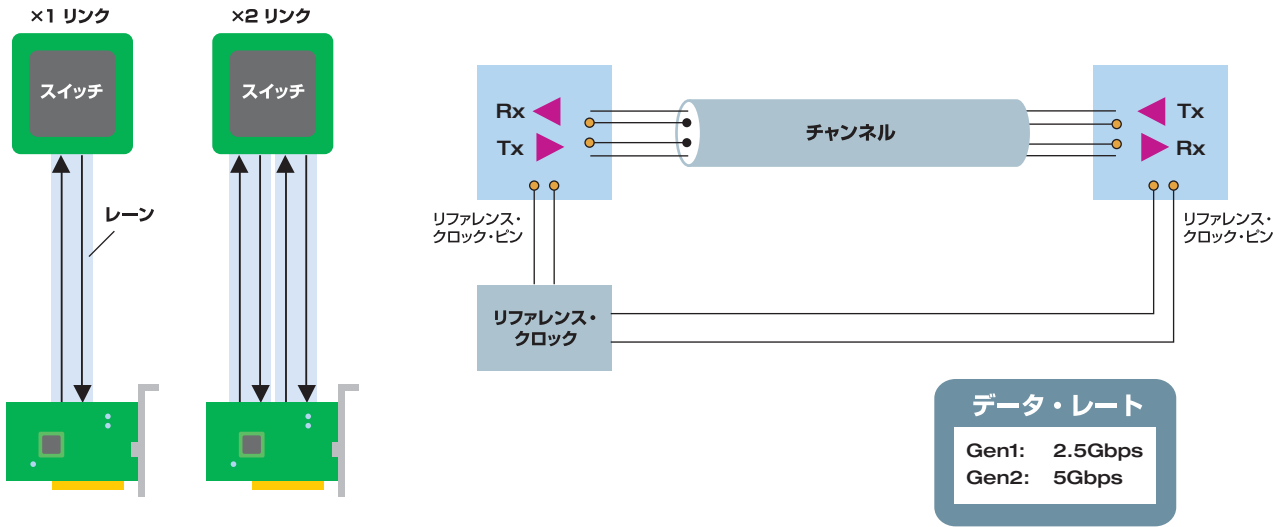
▶ 図1：SATAの機械的レイアウト

他のシリアル規格と同様、SATAはLVDS（Low-Voltage Differential Signaling、小振幅差動シグナリング）と8B/10Bのエンコーディングを使用しています。データはデュアルシンプレックス・チャンネル（送受信ペアで構成された1組のレーン）

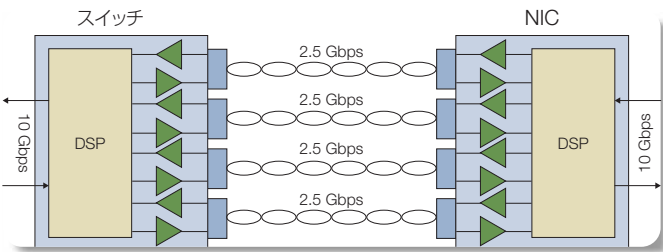
によってトランスミッタ/レシーバ間を伝送されます。SATAでは、エンベデッド・クロックでスペクトラム拡散クロック（SSC）を採用しており、別途リファレンス・クロックをレシーバに伝送する必要はありません。

入門書：高速シリアル規格のコンプライアンスと検証

▶ 入門書



▶ 図2：PCI Express アーキテクチャ



▶ 図3：10GBASE-T Ethernetのアーキテクチャ

PCI Express

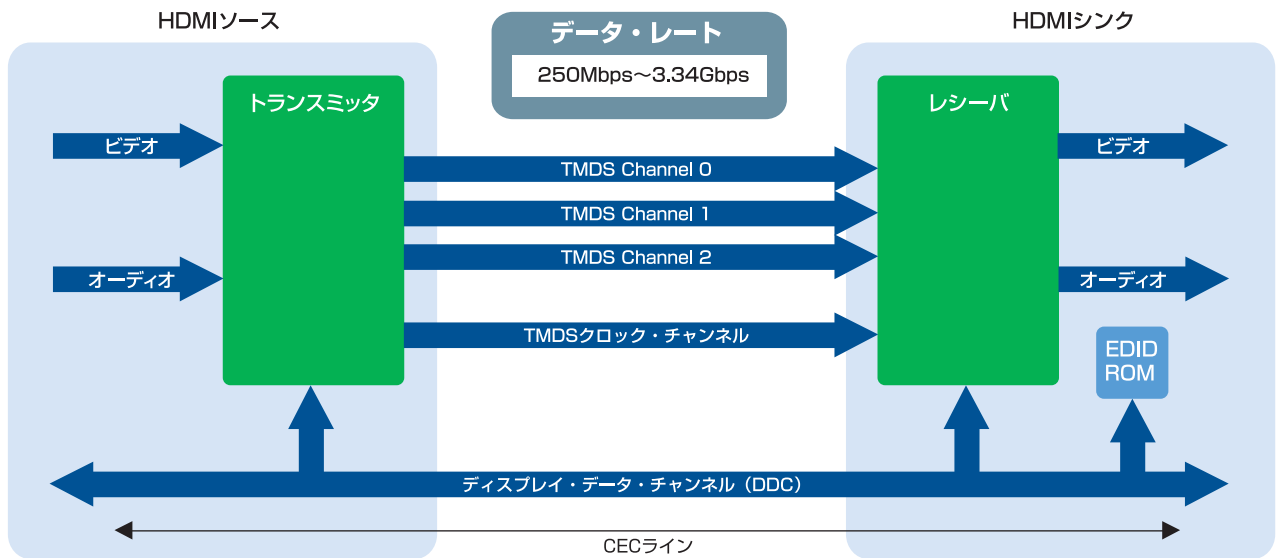
PCI Expressは、配線が交差する回路基板やケーブル接続を含む、ほとんどのチップ・ツー・チップ・アプリケーションでPCIに取って代わりました。PCI Expressはスケーラビリティに優れており、1つのPCI Expressリンクで1~16本のデュアルシンプレックス・レーンを提供できます。マルチレーン・アプリケーションでは、データ・ストリームは分割され、利用可能なレーンに振り分けられて、ほぼ同時にレーン・レートで伝送されます。最高速のPCI Expressアプリケーションであるグラフィックスでは、システムのチップセットとグラフィックス・プロセッサの間の16レーンで、高速、高分解能のグラフィック・データを伝送します。図2にPCI Expressのアーキテクチャを示します。

PCI Expressのレーンあたりの伝送速度は、第1世代で2.5 Gbps、第2世代で5Gbpsですが、最新の規格である第3世代の8Gbps製品がまもなく登場します。PCI Expressでは、データ・ストリームにクロックを組込んでいますが、レシーバのPLLリファレンス入力をドライブするリファレンス・クロックも使用しています。

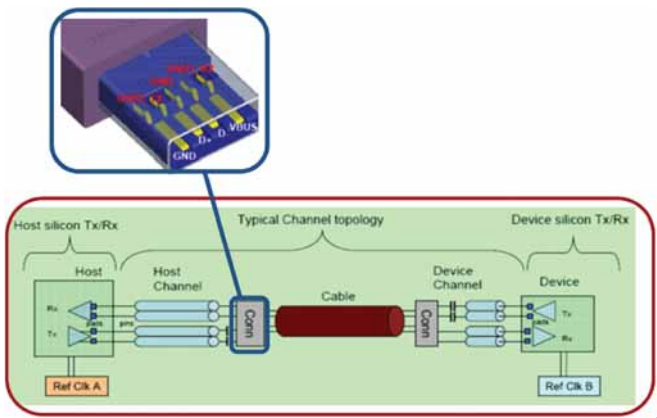
Ethernet

EthernetはIEEE 802.3規格で定義されたLAN (Local Area Network) 技術であり、複数のコンピュータ間の通信規格として広く採用されています。Ethernetのインターフェースはアプリケーションによって異なり、また伝送媒体も電気 (ツイストペア・ケーブル、バックプレーン) および光 (マルチモード・ファイバ) があります。現在、最も広く使われているEthernetインターフェースは、UTP (Unshielded Twisted Pair) です。

第1世代、第2世代のEthernet規格である、10BASE-Tおよび100BASE-Tの転送速度は、それぞれ10Mbpsおよび100Mbpsとなっています。10GBASE-TデザインによるGigabit Ethernet (1000Mbps) の採用も広がりつつあります。10GBASE-Tの仕様では、4ペア以上の平衡ケーブルによる全二重ベースバンド通信となっています。図3に示すように、各ケーブル・ペア同時に各方向に2500Mbpsを伝送することで10Gbpsのデータ・レートを達成します。



▶ 図4：HDMIアーキテクチャ



▶ 図5：USBのアーキテクチャ

USB

USB (Universal Serial Bus) は、PCと周辺機器を接続するための事実上の業界標準規格として広く知られています。2000年に発表されたUSB 2.0 (480Mbps) では、従来のUSB 1.1 (12Mbps) 仕様の40倍の速度となっています。USB 3.0 (SuperSpeed USB) の仕様では、USB 2.0の速度の10倍となっています。SuperSpeed USBのデータ・レートは5Gbpsであり、HDビデオ、フラッシュ・メモリ・デバイスとの高速のI/Oなど、データ量の多いアプリケーションにも対応します。広く採用されている従来のUSB製品と互換性を保つため、USB 3.0では完全な後方互換性を実現しています。SuperSpeed USBのリンク・アーキテクチャを図5に示します。

HDMI/DisplayPort

HDMI (High Definition Multimedia Interface) は、特に商用のエンターテインメント・システム・マーケットのニーズに対応して設計された初の仕様です。PC用のDVI (Digital Visual Interface) をベースとし、大型スクリーン、高品位テレビ、ホーム・シアタ・システムなどの家庭用エンターテインメント機器に採用されています。図4にHDMIのアーキテクチャを示します。

HDMIは一方向のアーキテクチャであり、高解像度ビデオとマルチチャンネル・オーディオをソース機器からシンク機器へ伝送します。HDMIでは3つのデータ・チャンネルを使用します。その伝送速度は250Mbps~3.34Gbpsと仕様が規定されていますが、実際の速度はディスプレイの解像度によって決まります。高速データ・レート、高分解能のアプリケーションについては、機械仕様においてType Bのコネクタが規定されており、2つのHDMIリンクを統合することで最高6.68Gbpsのスループットを実現できます。

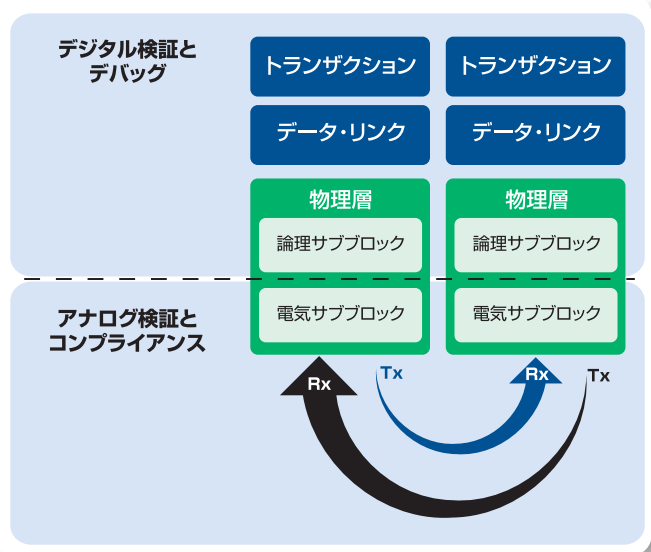
ほとんどの高速シリアル規格ではLVDSと8B/10Bエンコーディングが採用されていますが、HDMIではTMDS (Transition-Minimized Differential Signaling) という差動伝送技術により、リンクのトランジションの数を減らし、EMIを低減します。

HDMIはまた、データ・レートの1/10でリファレンス・クロックを伝送します。DDCバスと呼ばれる低速シリアル・バス (I²C) は、ソースとシンク間でコンフィグレーション・データと認識データを双方向でやりとりします。

DisplayPortの仕様では、ビジネス、企業、民生アプリケーションで広い普及を目指して、拡張性のあるデジタル・ディスプレイ・インタフェースと光オーディオ/コンテンツ保護機能を定義しています。インタフェースは、Reduced Bit Rate (1.62Gbps) と High Bit Rate (2.7Gbps) およびバージョン1.2ではHigh Bit Rate 2として5.4Gbpsの3種類のデータ・レートが規定されています。

入門書：高速シリアル規格のコンプライアンスと検証

▶ 入門書



▶ 図6：階層モデル

一般的なアーキテクチャ要素

すべての高速シリアル規格は、図4に示すレイヤ・モデルに従っています。このうち、物理層は、電気サブブロックと論理サブブロックで構成されています。この入門書では、電気的なコンプライアンス・テストが実行される電気サブブロックに焦点を当てます。

多くの高速シリアル規格でも、電気レベルにおいて、同等または類似のアーキテクチャと評価方法が採用されています。その例を以下に示します。

- ▶ 差動シグナリング（LVDSまたはTMDS）で高速データ・レートと高いノイズ耐性を実現
- ▶ 8B/10Bエンコーディングでシグナル・インテグリティの改善とEMI低減を実現
- ▶ エンベデッド・クロックとEMIを低減するためのスペクトラム拡散クロッキングによるリファレンス・クロック
- ▶ 高周波損失に対する補償のためのイコライザ
- ▶ 一般的な測定（ジッタ、振幅、差動スキュー、立上り／立下り時間、コモンモードなど）
- ▶ 仕様とテスト要件は、規格の内容が整理されるのと並行して策定

表2に、アーキテクチャの主要な要素とコンプライアンス・テスト項目を示します。

差動伝送

差動伝送は、初期の電話ネットワークの頃から通信技術の一部として使用されてきました。差動伝送される信号は、振幅が等しい、逆極性の2つの波形から成り、これらは2本の導線を通して差動レシーバへと伝送されます。差動パスの一方が正極性になると、もう一方は負極性になります。この2つの反転した信号は、受信点で合成され1つになります。差動技術は、クロストーク、外的要因によって発生するノイズ、およびその他の信号劣化に対する耐性を備えています。正しく設計された差動アーキテクチャは、ノイズの影響を受けやすい高周波信号に対してノイズ耐性の高い伝送路を提供します。

8B/10Bエンコーディング

多くのシリアル規格は、8ビットのデータ・バイトを10ビットの伝送シンボルに変換するために、IBM社の特許技術であった8B/10Bエンコーディングを採用しています。10ビットに変換された伝送シンボルは、伝送特性を向上させ、ビットの同期の容易化、レシーバやトランスミッタの設計の簡素化、エラー検出率の向上、制御キャラクタ（特殊キャラクタなど）とデータ・キャラクタとの識別を容易にするなどのメリットをもたらします。

エンベデッド・クロック

今日のシリアル・デバイスの多くは、トランスミッタとレシーバ間の同期を確立するためにエンベデッド・クロックを使用しています。クロック信号用のラインは存在せず、タイミング情報はデータ信号中に存在します。この入門書の後半で述べるように、これはデータ信号に特別な特性が求められます。8B/10Bなどのエンコーディング方式は、同期に必要なクロック・タイミング・リファレンス・エッジを正確に発生させるために用いられます。

	筐体内部		筐体外部						ディスプレイ	
	PCI Express	Serial ATA	Ethernet	XAUI	FibreChannel	InfiniBand	USB 3.0	1394B	DisplayPort	HDMI
アプリケーション										
データ・レート(最大値)	8Gbps	6Gbps	10Gbps	3.125Gbps	2.125Gbps	2.5Gbps	5Gbps	800Mbps	2.7Gbps	3.4Gbps
レーン	最大16	1	1	4	1	最大12	1	1	4	3
エンコーディング	8B10B	8B10B		8B10B	8B10B	8B10B	8B10B	8B10B	8B10B	8B10B
シグナリング	LVDS	LVDS		LVDS	LVDS	LVDS			LVDS	TMDS
エンベデッド・クロック	•	•		•	•	•	•		•	
レシーバ/シンクテスト	感度/振幅	•	•	•	•	•	•	•	•	•
	タイミング・スキュー	•	•						•	•
	ディエンファシス	•		•	•	•				
	PLLループ帯域	•	•	•	•	•	•		•	
	ジッタ・トレランス	•	•	•	•	•	•	•	•	•
トランスミッター/ソーステスト	アイ・ダイアグラム	•		•	•	•	•		•	•
	トランジション・タイミング (立上り/立下り)	•	•		•	•	•	•	•	•
	振幅	•	•	•	•	•	•	•	•	•
	コモン・モード	•	•	•		•			•	
	ディエンファシス	•			•	•			•	
	ジッタ	•	•	•	•	•	•	•	•	•
リターン・ロス		•	•							
ケーブル/コネクタテスト	クロストーク	•	•		•	•	•		•	•
	トランジション・タイミング (立上り/立下り)	•	•		•	•				•
	損失	•	•		•	•	•		•	•
	インピーダンス	•	•		•	•	•	•	•	•

▶ 表2：シリアル規格の主な要素とテスト項目

ディエンファシス

ディエンファシスと呼ばれる技術は、ビット・シーケンスにより特定のビットの振幅を変化させる方法です。これは、同じ極性のビットが連続する場合は連続したビットの振幅を相対的に下げることの意味です。ディエンファシスは、2番目以降のビットに適用されます。これにより、FR4（ガラス・エポキシ）回路基板などの伝送媒体における周波数に依存する損失の影響を低減することができます。

低振幅シグナリング

最近のシリアル・アーキテクチャでは差動伝送と合わせて、低振幅シグナリングを採用しています。これは、LVDS（Low Voltage Differential Signaling）と呼ばれます。高速バスではステートの遷移時間の短縮のために、数百mVという振幅の小さな信号を採用しています。これは、干渉やノイズの影響を受けやすいように見えますが、差動伝送を併用することで、これらの干渉やノイズに対する耐性を高めています。

第2世代、第3世代シリアル規格の課題

次世代シリアル規格のデータ・レートでは、信号のアナログ的な異常が従来よりシグナル・インテグリティと品質に大きく影響します。回路基板配線、ビア、コネクタ、ケーブルを含む信号経路の導体は、信号レベルの低下、スキュー、ノイズの原因となるリターン・ロスや反射などの伝送線路効果をもたらします。

ギガビット速度

規格の伝送レートが高速になるとUIが短くなり、伝送信号品質の耐性とレシーバ感度が厳しくなります。LVDS信号とマルチレベル・シグナリングは、信号が高速になるほど、シグナル・インテグリティ問題、差動スキュー、ノイズ、ISI (Inter-Symbol Interference、シンボル間干渉) の影響を受けやすくなります。トランスミッタ/レシーバ間のタイミング問題、インピーダンスの不連続性や、ハードウェアとソフトウェア間のシステム・レベルの相互関係もまた影響します。マルチレーン構造では、設計はますます複雑になり、レーン間のスキュー・タイミング違反やクロストークの可能性も高くなります。

ジッタ

高速なデータ・レートとエンベデッド・クロックを使用すると、ジッタの影響を受けやすくなり、ビット・エラー・レート性能も低下します。ジッタは、主にクロストーク、システム・ノイズ、同時スイッチング出力、その他定期的に発生する干渉信号が原因となって発生します。これらのイベントがデータ伝送に影響（信号ジッタ）を及ぼす可能性は、高速なレート、マルチレーン構造、より小型の機構設計などの要因によりさらに高くなります。

伝送線路効果

シリアル・データ・ネットワークは、信号トランスミッタ、導体によるパス（経路）、レシーバによって構成されます。このネットワークには、分布容量/インダクタンス/抵抗など、周波数が高くなると信号遅延に影響を及ぼす成分が含まれています。伝送線路効果はこのような分布ネットワークから発生し、信号品質に大きく影響し、データ・エラーの原因となります。

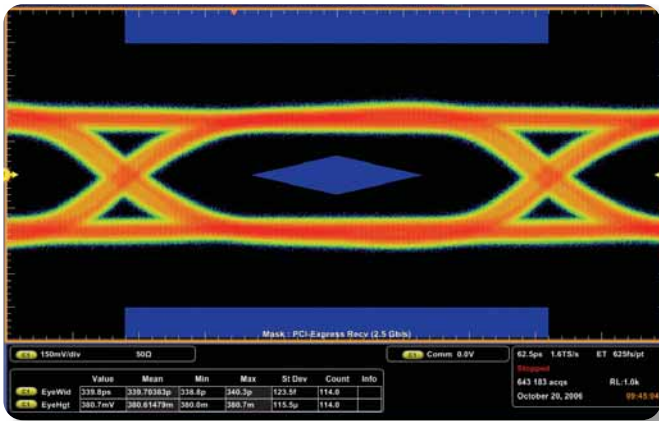
ノイズ

ノイズは、信号レベルの予期せぬアバレーション（逸脱）です。AC電源などの外部ソースや、デジタル・クロック、マイクロプロセッサ、スイッチング電源などの内部ソースの両方が原因となって発生します。ノイズにはトランジェント（過渡的）なものも、広帯域にランダムに発生するものがあり、位相エラーやシグナル・インテグリティ問題の原因となります。周波数領域におけるジッタと同様、ノイズは高速信号において振幅方向の変動となり、ビット・エラー・レート性能に大きな影響をもたらします。

コンプライアンス・テスト項目

シリアル規格では、通常、コンプライアンス・テストの項目として、振幅、タイミング、ジッタおよびアイ測定が規定されています。一部の規格の最新バージョンでは、新たに、SSCクロック、レシーバ感度テスト、コネクタ、ケーブル、その他の信号経路におけるリターン・ロスと反射の測定も規定されています。すべての規格のコンプライアンス（適合性）において、これらすべての測定が求められているわけではありません。

テスト・ポイントは、規格のテスト・ドキュメントまたは仕様自体に記述されています。



▶ 図7：オシロスコープのアイ・ダイアグラム

アイ測定

コンプライアンスの主な検証は、アイ測定から得られます。図7に示すアイ・ダイアグラムを示します。アイ・ダイアグラムは、リカバリ・クロックでトリガしたデータ・ストリームの1UI（ユニット・インターバル）の信号取込み（1クロック・サイクルと等価）を何回も重ね合わせたものです。アイの中心、上部、下部のフェイル・ゾーン（青の領域）はマスクと呼ばれ、テストにおける違反領域を示しています。アイ測定の詳細については、後半の「解析」のセクションで説明します。

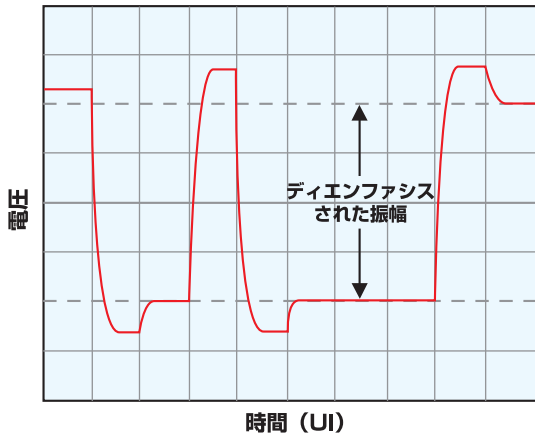
次の表に、プラグフェスタ（適合性と相互運用性を確認するイベント）と最終的なコンプライアンス検証手順で必要とされる一般的な測定項目を示します。

振幅テスト

表3の振幅テストでは、信号が信頼のおける伝送メディアを通過して、レシーバに正確な“0”か“1”を伝えるのに必要な電圧レベルに達していて、かつ安定していることを確認します。

テスト項目	概要
差動電圧	アイの仕様では、ピーク・ツー・ピーク差動電圧を定義しています。この基本仕様によって、適切な電圧レベルの信号が出力され伝送されることが保証されます。
アイの高さ	アイの高さは振幅方向におけるアイの開口であり、レシーバ回路のサンプル・ポイントにおける振幅を表します。リカバリされたクロックを基準として0.5UIポイントで測定します。アイ・ダイアグラムの詳細については、後半の「解析」のセクションで説明します。
ディエンファシス	信号伝播では、伝送メディアによってビットがローからハイ、またはハイからローに遷移するときにスルー・レートがロールオフまたは低下します。この影響を補償するため、トランスミッタはトランジション・ビットの振幅を、それに続く同じ値の振幅よりもわずかに大きく出力します。トランジション・ビットの振幅をそれに続くビットよりも大きくすることで、レシーバのピンにはアイの開いた信号が届きます。 ディエンファシスは、トランジション・ビットと2番目以降のビットの振幅の比です（図8を参照）。ディエンファシスは、プリエンファシスまたはイコライゼーションと呼ばれることもあります。
コモン・モード電圧 (AC, DC)	トランスミッタでのコモン・モードの不均衡とノイズは、差動信号に悪影響を及ぼすことがあります。この問題のトラブルシューティングには、差動信号をシングルエンド成分に分解します。これにより、差動ペアの片側だけにカップリングするクロストークやノイズの影響を特定することもできます。

▶ 表3：振幅テストの概要



▶ 図8：データ・ストリームのディエンファシス

タイミング・テスト

表4のタイミング・テストでは、信号にタイミング違反がないこと、トランジションが十分に高速で、信号を正確に伝えて、データ値を維持できることを確認します。このテストでは、分布容量、抵抗、クロストークなどに起因するアブレーションや信号の劣化を測定しますが、測定ツールセットにはきわめて高い性能が要求されます。

ジッタ・テスト

データ・レートが高くなると、それだけジッタの解決は難しくなります。このため、ジッタ測定は、規格団体のワーキング・グループでも常に関心が高く、議論的となる話題です。また、ジッタの原因と結果をすばやく特定し、この複雑な問題を理解するための解析ツールを開発する企業にとっても重要な問題です。

ジッタは、デターミニスティック・ジッタとランダム・ジッタの2つの成分で構成されます。インターオペラビリティ（相互運用性）を保証するためには、トランスミッタは大きなジッタを発生することなく、レシーバはある程度のジッタを許容しながら、クロックをリカバリし、データ・ストリームをデシリアライズできなければなりません。このジッタ耐性に影響するのが、振幅や立上り時間などの特性です。実際には、ジッタはビット・エラー・レートを測定することで評価します。

テスト項目	概要
ユニット・インターバル (UI) とビット・レート	エンベデッド・クロック周波数の変動は、エンベデッド・クロックを100万以上の連続したサイクルで測定し、その平均値から測定します。規格によっては、平均値が仕様の値に比べて100PPM以上異なった場合に不合格とするものもあります。
立上り／立下り時間	立上り時間は、速すぎるとEMIの原因になり、遅すぎるとデータ・エラーの原因になります。 立上り時間測定の誤差はプローブ／計測器の組合せによって生ずるため、立上り時間をコンプライアンス・テストに含めていない規格もあります。しかし、測定値に「二乗和平方根」の公式を使用すれば、出力信号の立上り時間／立下り時間が規格を満たすかどうかを判断することが可能になります。さらに、最新のオシロスコープには、測定システムの影響を信号から排除するDSPフィルタを備えているものもあり、プローブ先端におけるエッジ時間やその他の信号特性を表示できるものもあります。
アイの幅	アイの幅は、信号のタイミングとジッタの量的な尺度です。アイの高さと同様、時間方向でマスクと比較し、違反があった場合はコンプライアンス・テストで不合格になります。 すべての規格が、アイ・ダイアグラムをジッタ適合性の最終判断材料にしているわけではありません。たとえば、Serial ATA仕様のセクション6には、「波形を取込んでマスクと比較することで得られる統計的信憑性では、規格が必要とされる 10^{-12} ビット・エラー・レート ($\pm 7\sigma$) を保証できない」との記載があります。アイ・ダイアグラム測定では、十分なエッジを取込めるとはいえません。

▶ 表4：タイミング・テストの概要

ジッタ測定の基本としてよく使用されるのが、タイム・インターバル・エラー（TIE）です。TIEとは、リカバリされたクロック（ジッタ・タイミング・リファレンス）のエッジと実際の波形のエッジとの時間差のことです。TIEの波形に対してヒストグラムとスペクトルの解析を行うことで、より高度なジッタ測定に必要なベース・データが得られます。ヒストグラムにより、スイッチング電源など、他の回路で発生するジッタを分離することもできます。

ジッタ測定では、 10^{-12} のビット・エラー・レート性能を正確に取込むために数百万サイクルを記録しなければなりません。そのため測定に時間がかかるのが普通です。高速の取込レートとジッタ解析ツールを持つオシロスコープであれば、このようなジッタ・トレランス・テストの時間を短縮することができます。

ジッタ測定の詳細については、後半の「解析」のセクションで説明します。

レシーバ感度テスト

規格団体によっては、最新のテスト仕様で、レシーバの感度テストに重点をおいているところもあります。レシーバの感度テストでは、レシーバ・コンポーネントのクロックデータ・リカバリ（CDR）ユニットとデシリアライザの能力を検証し、ジッタ、振幅、タイミング違反などの悪条件下でもクロックやデータ・ストリームを確実にリカバリできることを確認します。これらのテストの詳細については、後半の「レシーバ感度テスト」の項で説明します。

基板とインターコネクットのテスト

伝送メディアが信号品質に及ぼす影響はますます大きなものになっています。コネクタ、ケーブルを接続したFR4（ガラス・エポキシ基板）などの低コストのメディアにコネクタ、ケーブルを接続したものに数ギガビットのデータ・レートのLVDS信号を伝送すると、製品とテスト・フィクスチャの設計、テストの両方において、多くのレイアウト問題が発生します。多くの規格では、損失、インピーダンス、クロストークのテストと、アイ解析による詳細な特性評価を要求しています。

コンプライアンス・テストのソリューション

性能評価では、測定システムからの影響を最小にして正しい信号を得ることが非常に重要です。このテストで重要となるのが次の5項目です。

- ▶ 接続性
- ▶ パターン生成
- ▶ レシーバ・テスト
- ▶ アクイジション
- ▶ 解析

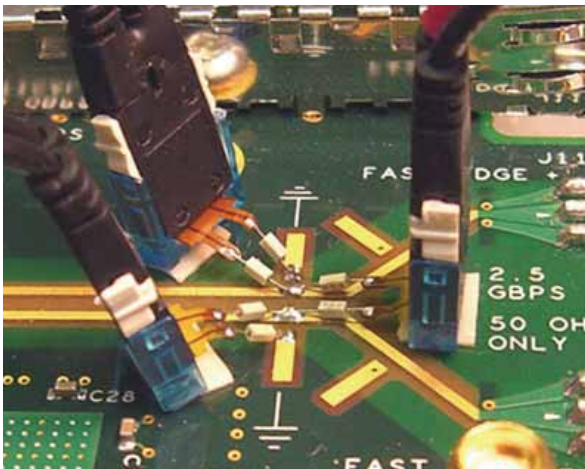
接続性

DUTからオシロスコープまでの信号パスを含む測定パスには、伝送線路効果があり、信号が減衰し、テストに不合格となる原因になることがあります。そこで大切なのが、正しいプローブを使用して正しく接続することです。

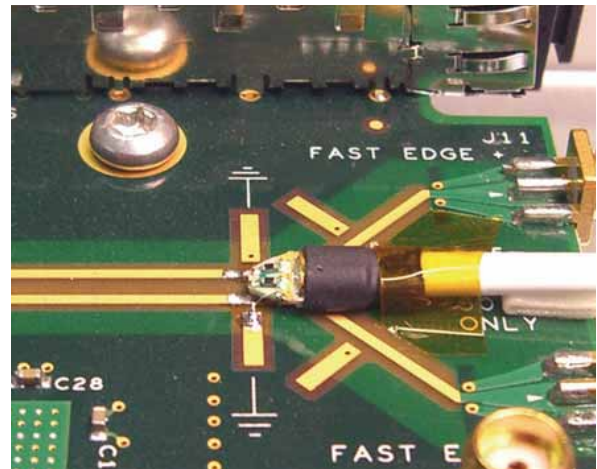
このDUTとの接続を規定しているのが、規格の機械仕様、別称、物理媒体依存（PMD）仕様です。規格が異なれば構成も異なり、その特性もまた異なるものです。

プロービングの問題に対しては、次の5つのアプローチがあります。

- ▶ 新型のTriMode™差動プローブを使用する。これにより、1箇所でのテスト・ポイント、1回の設定で、シングルエンド測定と差動測定およびコモンモード測定を実行できる。
- ▶ 測定ポイントが移動可能なプローブによる擬似差動接続で、シングルエンド測定、差動測定およびコモンモード測定を実行する。
- ▶ SMAケーブルを使用して擬似差動測定を行う。
- ▶ 移動可能な真の差動プローブを使用して差動測定を行う。
- ▶ 真の差動SMAプローブを使用して差動測定を行う。



▶ 図9a：従来のセットアップ



▶ 図9b：TriMode™プローブのセットアップ（より簡単な測定が可能）

どのプローブであろうとDUT（被測定デバイス）にある程度の負荷がかかるのは避けられません。プローブには独自の回路モデルがあり、周波数が上がるとインピーダンスが変化します。これによって回路の振る舞いや測定結果に影響が出るため、測定結果の検証には注意が必要です。

TriMode™差動プローブ

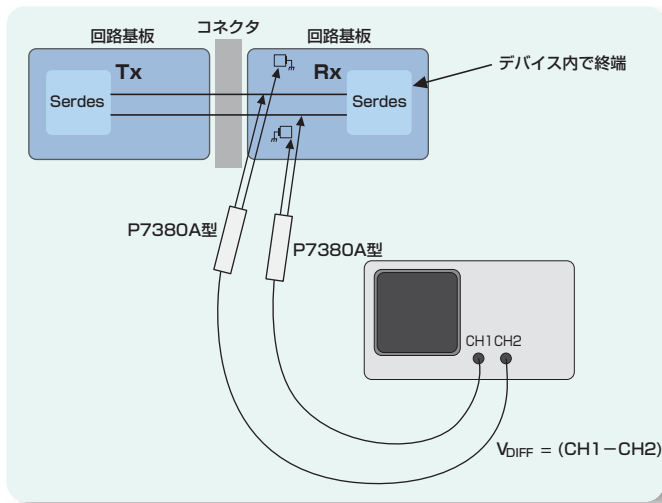
新型のTriModeプローブは従来の差動プローブの概念を変えたプローブであり、DUTへの1回の接続で、シングルエンド、差動、コモンモード測定を実行することができます。

従来の測定方法では、コモンモード測定で2本のシングルエンド・プローブが必要であり、真の差動信号取込では差動プローブを用意する必要があります（図9aを参照）。新しいTriModeプローブでは、1本のプローブで2種類の測定のセットアップが可能です（図9bを参照）。

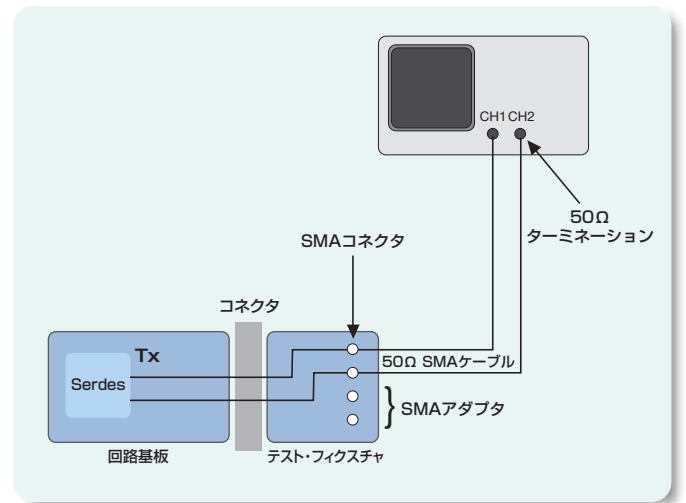
擬似差動による可動プローブ接続

トラブルシューティングでは、デバイスの基板の任意のポイントにプロービングできなければなりません。そこで必要になるのが、回路波形やピンに自在にアクセスできる可動プローブです。2本のシングルエンド・アクティブ・プローブを使用し、それぞれを差動信号に接続して、擬似差動測定とコモンモード測定を実行します。この接続方法を図10に示します。

オシロスコープの2つのチャンネルで2種類のデータを取込み、その後、1つの演算波形として処理します。2種類の波形がオシロスコープの異なる2つのチャンネルに入力されるため、測定前に2つの入力をデスクューし、信号取込みにおける計測器の影響を最小限に抑える必要があります。



▶ 図10：レシーバ入力の擬似差動プロービング



▶ 図11：SMA終端ケーブル入力の擬似差動プロービング

SMAケーブルによる擬似差動接続

コンプライアンス・テスト・フィクスチャやプロトタイプの場合は、外部機器とのテストのためのSMA高周波コネクタが付いていることがよくあります。このような状況では、SMAケーブルによる擬似差動測定が有効です。トランスミッタの出力はオシロスコープの2つの入力に直接接続されます。どちらの入力インピーダンスも50Ωです。SMAアダプタの機械的なターミネーションは、オシロスコープの前面パネルで行います。

先にも説明したように、この擬似差動ではオシロスコープの2つのチャンネルを使用し、プローブのデスクューが不可欠です。図11にこの接続方法を示します。

移動可能な真の差動プローブ

真の差動アクティブ・プローブは、差動信号を忠実に、かつ損失を抑えて取込めるよう最適化されています。図12は、コネクタベースのカード・ツー・カードのシリアル・リンクのレシーバ側にプロービングした例です。

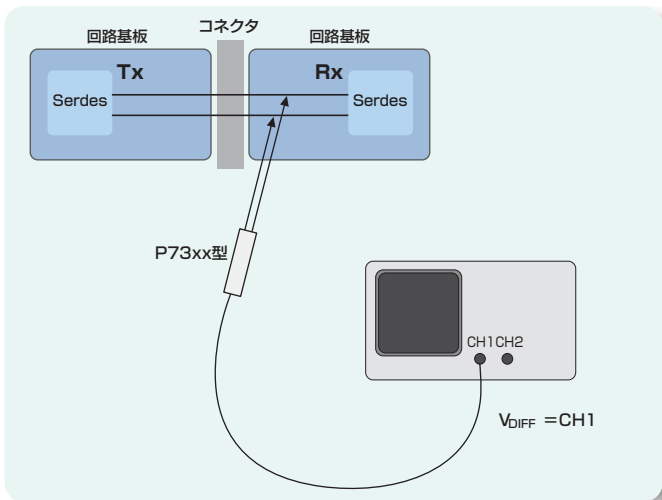
擬似差動による接続とは異なり、このプロービングではオシロスコープに必要なチャンネルは1つだけです。当然、波形の演算処理も不要です。その他、オシロスコープの複数のチャンネルで同時に複数のレーンの信号を高いサンプル・レートで取込める、という利点もあります。また、複数の高速テスト・ポイントのデバッグ行えます。

真の差動SMAプローブ

SMA入力の差動プローブは、インターオペラビリティ・ポイントがカード・ツー・カードまたはカード・ツー・ケーブル・インタフェースで定義されるコンプライアンス・テストにも最適です。整合のとれた100Ω終端ネットワークにより、差動信号の両端はユーザの用意した共通モード電圧に適切に終端できます。電圧は、グラウンド・レベルと、テストするロジック・ファミリに適した終端電圧のどちらでもかまいません。また、トランスミッタが100Ω差動負荷をドライブする場合、共通モード・コネクタはオープンにしておくことができます。図13に、カード・ツー・カード・インタフェースとフィクスチャに接続した真の差動SMAプローブを示します。

入門書：高速シリアル規格のコンプライアンスと検証

▶ 入門書



▶ 図12：レシーバ入力の真の差動プロービング

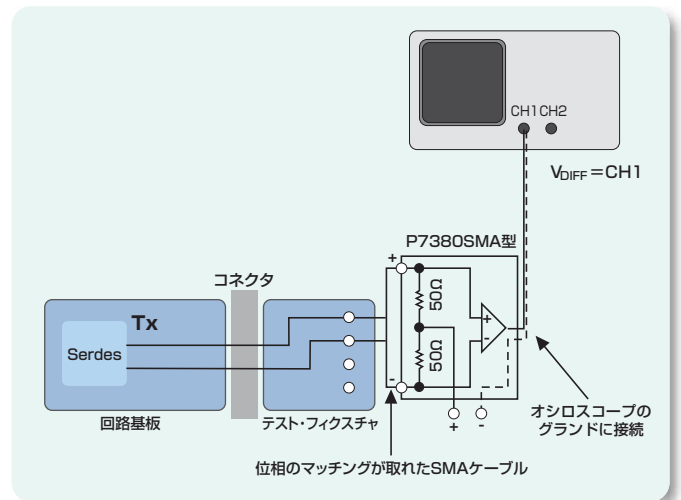
フィクスチャ

他のシリアル・アーキテクチャの問題と同様、データ・レートが高速になるとテスト・フィクスチャの影響が生じます。新しい規格においても、既存のフィクスチャが測定システムに正しい信号を供給することを確認しなければなりません。高速なPCI ExpressやHDMIでは既存のフィクスチャが及ぼす影響を無視できず、基板の設計やレイアウトで見直しが必要になります。

FR4などの低コストのメディアでは、第2世代、第3世代のシリアル・アーキテクチャの新しい設計にはもはや対応できません。このような低コストのメディアは損失やリターンが大きく、信号を正しく伝搬できず、適切なシグナル・インテグリティも維持できません。このような問題を解消できることのメリットがコスト増を上回るのであれば、低損失な新素材の採用を検討すべきです。

パターン生成

規格のテスト・ドキュメントには、適合性検証でDUTに入力すべき“ゴールデン”パターンが規定されています。目的とする結果を達成できるかどうかは、この特殊なパターンを用意できるかどうかにかかっています。

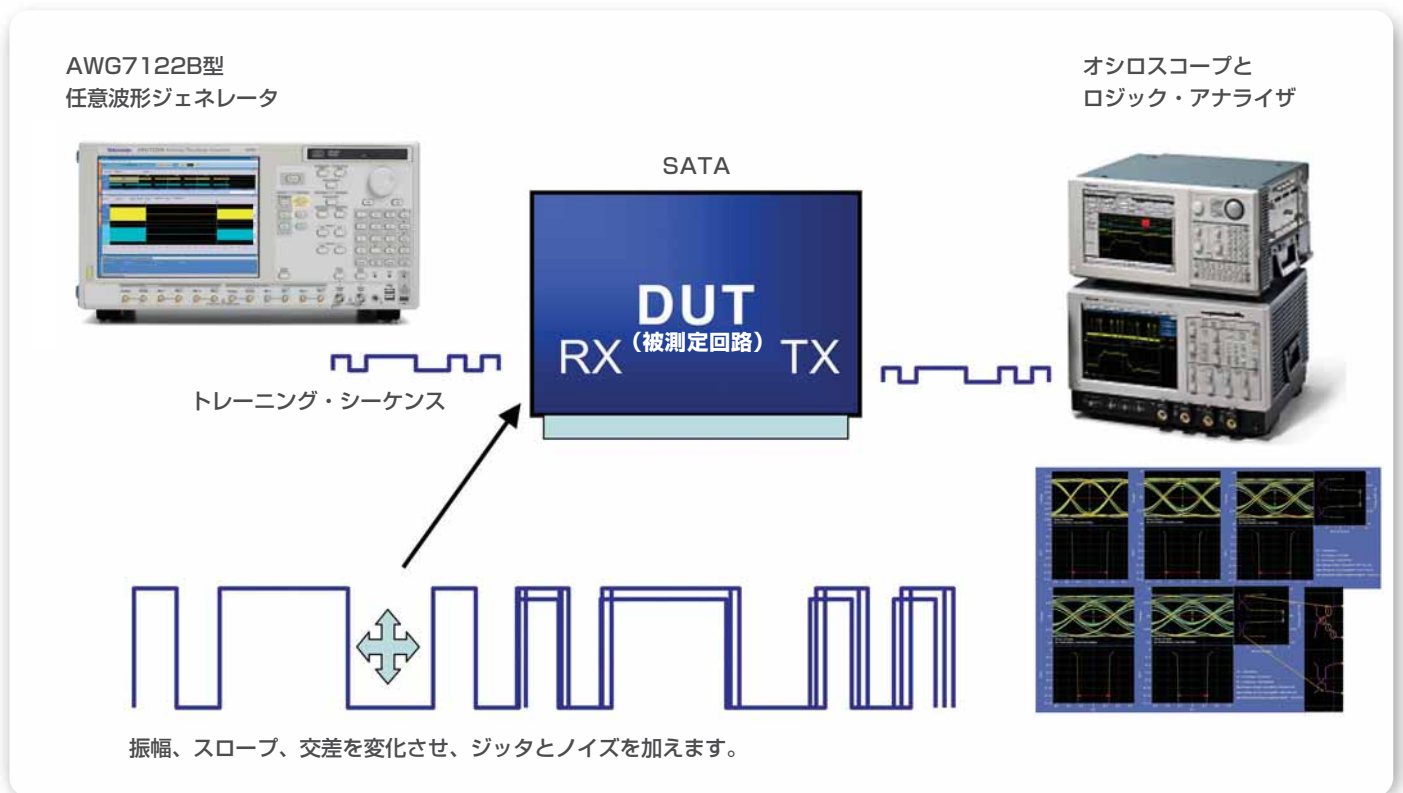


▶ 図13：フィクスチャの差動接続（SMA終端ケーブル使用）

PCI Expressなどでは、トランスミッタ／レシーバは独自のテスト・シーケンスを出力します。これより複雑な信号のハンドリングが必要な規格では、ホスト・プロセッサが必要なケースも考えられます。

外部信号が必要な場合、テスト機器は必要な周波数と特性を持ったゴールデン・パターンを出力し、テスト仕様に従ってデバイスをテストできなければなりません。そこで必要となるのが以下に示すシグナル・ソースです。

- ▶ データ・タイミング・ジェネレータ：TS1、TS2のトレーニング信号、擬似ランダム・ビット・ストリーム（PRBS）などの規格テスト信号を出力します。
- ▶ 任意波形ジェネレータ：高度に定義可能な実際の信号とデジタル・パターンを出力します。
- ▶ ジッタ・ソース：ストレス・テストに必要なジッタ成分を入力信号に付加します。
- ▶ オールインワン・タイプの新しいシグナル・ジェネレータ：アナログ波形、デジタル・パターンによりテストを容易にし、シグナル・ソースによってさまざまな変調方式で出力を変化させます。



▶ 図14：SATAのレシーバ・テストのセットアップ例

オシロスコープ、ロジック・アナライザ、PCなどのテスト機器を互いに接続し、テスト・プロセスを自動化すれば、適合性検証を効率よく済ませることが出来ます。また、MATLABなどのアプリケーションのプログラム（波形演算）機能、波形の取込み、再生機能も、テストの迅速化に役立ちます。

レシーバの感度テスト

レシーバは、さまざまな伝送パスの最終端です。トランスミッタがどのメーカーのものであろうと、また、それがどのインターコネクタで接続されていると、また、トランスミッタが信号に及ぼす影響がどのようなものであろうと、レシーバは正しく機能しなければなりません。

インターオペラビリティ（相互運用性）を保証するには、レシーバ・セクション、特にクロック・リカバリ（CDR）ユニットとデシリアライザが広範囲な条件下で正しく機能することが必要です。CDRは、ジッタや振幅の条件にかかわらずクロックを抽出できなければなりません。同様に、デシリアライザは、規格で規定される振幅、ジッタ、スキューに対する耐性が必要です。

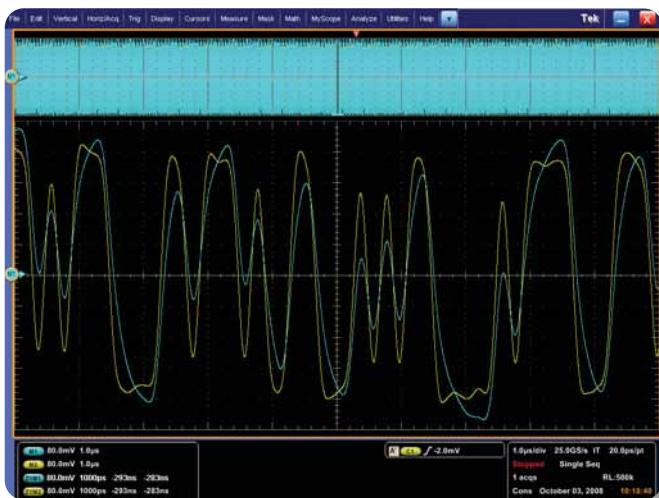
テスト・プロセス

図14に、シングルレーンのSATAレシーバ・テストのセットアップ例を示します。実際のテスト・パラメータ、手順、トレランス（耐性）は規格によって異なりますが、以下に基本的な手順を示します。

- ▶ デバイスをループバック・モードに設定し、トランスミッタ出力をロジック・アナライザ、オシロスコープ、シリアル・バス・アナライザまたはエラー・ディテクタで監視し、伝送されたパターンがテスト・パターンと同じであることを確認します。
- ▶ 規定のゴールデン・テスト・パターンを入力します。
- ▶ 振幅を変化させ、レシーバが正確に0と1の値を認識するか確認します。
- ▶ 差動ペア間のスキューを変化させ、基板レイアウトと配線のトレランスを確認します。
- ▶ ジッタを挿入し、クロック・リカバリPLLが入力に追従できるかどうかを確認します。

入門書：高速シリアル規格のコンプライアンスと検証

▶ 入門書

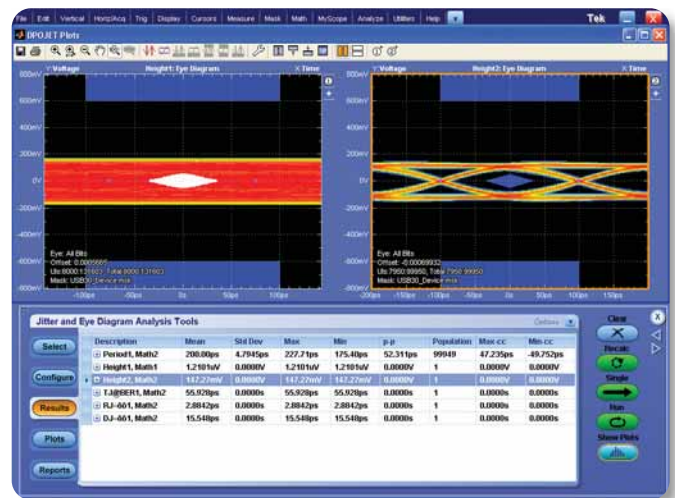


▶ 図15a：レシーバ（青）およびイコライゼーション後（黄）のUSB 3.0信号

レシーバの仕組み

レシーバ・テストのテストとデバッグで難しいのは、デバイス内の信号に直接プロービングして問題をデバッグすることができないことです。多くのレシーバは、伝送線路損失/効果を補正して“クリーン”な信号をCDRに送るための入力フィルタを考慮して設計されています。したがって、レシーバの入力ピンをオシロスコープのプローブでプロービングすることは、フィルタ前の信号を観測することになります。

プログラマブルDSPフィルタを搭載した高性能オシロスコープは、レシーバ内の“仮想テスト・ポイント”で信号を取込み、フィルタ後の信号特性を観測することができます。入力フィルタの係数をオシロスコープのFIR（有限インパルス応答）フィルタに入力するにより、任意のフィルタおよびイコライザを適用した後の信号特性を観測することができます。これにより、CDR入力における正確なアイとジッタのテストが可能になります。FIRフィルタによるアイの測定の違いを、図15aと図15bに示します。



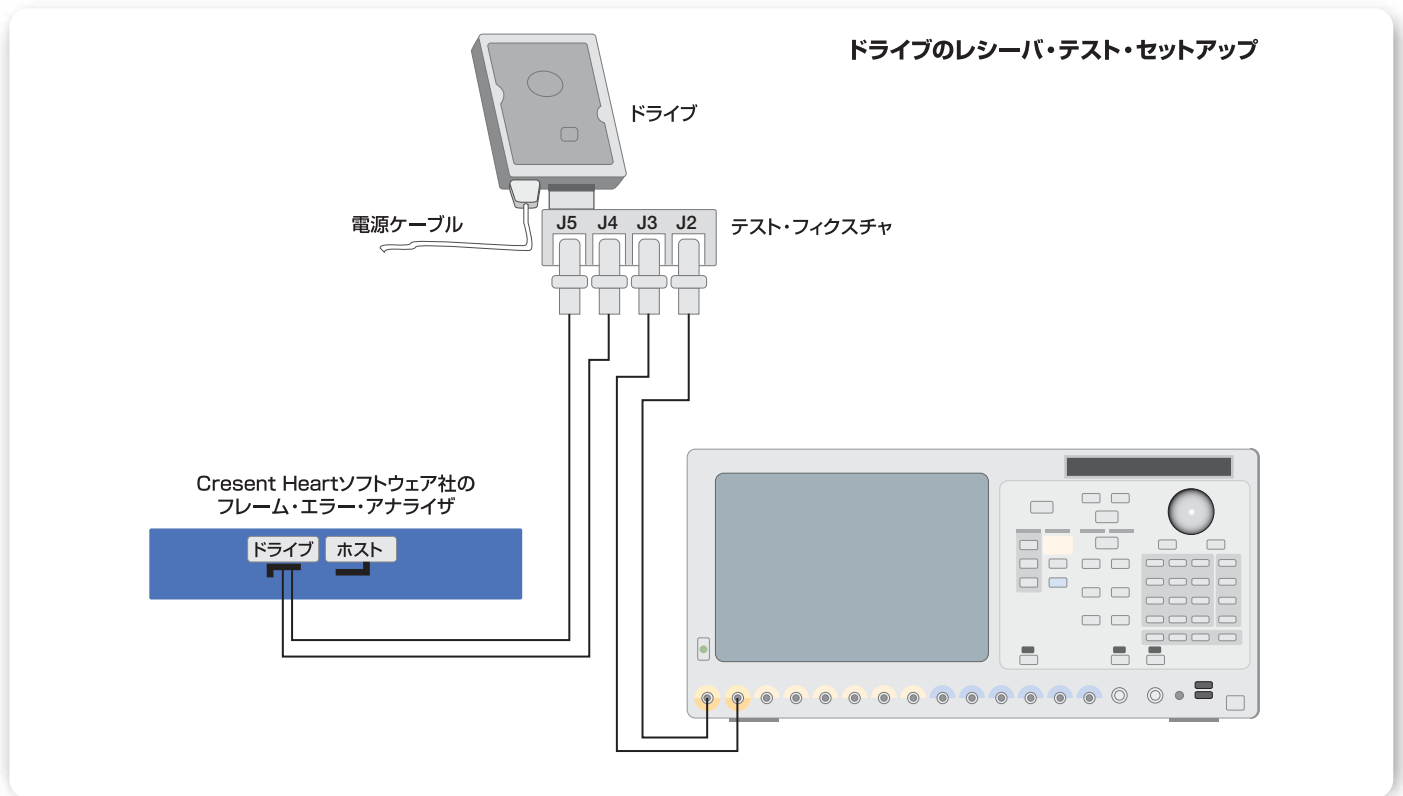
▶ 図15b：イコライゼーション前（左）とイコライゼーション後（右）のUSB 3.0のアイ

レシーバの振幅感度測定

信号はレシーバに到達するまでの間に減衰します。振幅感度測定では、信号がCDRやデシリアライザに届いたとき、レシーバが正しいビット値として正確に認識するかを確認します。

レシーバのタイミング測定

タイミング・テストでは、差動ペアとエッジ・レートのスキューを変化させ、信号タイミングの変化に対するレシーバのトレランスを検証します。これには、デジタル出力でテスト信号を供給できるパターン・ジェネレータまたは任意波形ジェネレータが不可欠です。



▶ 図16：レシーバのジッタ測定セットアップ

レシーバのジッタ・トレランス測定

レシーバのジッタ・トレランスとは、ジッタが存在していてもデータを完全に再生できる能力のことをいいます。このジッタ・トレランス仕様への適合が確認されると、CDRではクロックをリカバリ、データ・サンプル・ストロブをUIの中心にセットすることができます。また、ある程度のジッタが存在していても、デシリアライザはデータを認識できます。図16に、レシーバのジッタ測定のセットアップ例を示します。

SATAなどのアプリケーションでは、8B/10Bでエンコーディングされたデータ・ストリームにクロックが埋め込まれているため、特に厳格なジッタ・テストが必要です。波形ジェネレータは、正弦波、方形波、三角波、ノイズなど、特定の振幅変調、周波数変調プロファイルを持ったジッタを出力できなければなりません。対象となるデバイスに適切にストレスを付加するためには、立上りエッジ、立下りエッジのどちらか、あるいはその両方にジッタを付加する必要があります。

ワーキング・グループでは、レシーバ・テストにおけるISI（シンボル間干渉）が議題の中心となっており、レシーバにおけるISIの影響と、信号レートが高速になった場合の影響に関する最良のテスト／評価方法が検討されています。例えば、DisplayPortやHDMIのような規格では、ワーストケースのISIモデルをエミュレートしたジッタ耐性テストを行うために、ケーブル・エミュレータやダイレクト・シンセシスを利用しています。

信号取込の実際

測定システムによっては、デバイスが正しく機能していても非適合になってしまうことがあります。プローブ、ケーブル、オシロスコープの入力を含むアキュイジション・システムが信号取込時に十分な情報を伝達できないと、測定精度は保証されません。アキュイジションで重要なのは次の項目です。

- ▶ 周波数帯域
- ▶ 適切な入力チャンネル数
- ▶ サンプル・レート
- ▶ レコード長

周波数帯域の要件

初期の第1世代シリアル・バス・アーキテクチャのデータ・レートは1.5~3.125Gbpsであり、基本周波数は最高1.56GHzでした。このデータ・レートは、オシロスコープの周波数帯域が4~5GHzであればカバーできました。しかし、信号忠実度の測定や正確なアイの解析では、さらに高い周波数帯域が必要です。

第2世代以降の規格ではデータ・レートは10Gbpsまで上がり、周波数帯域の要件も高くなっています。

入門書：高速シリアル規格のコンプライアンスと検証

▶ 入門書

信号 立上り/立下り時間	3%	確度 5% ^a	10% ^b
100ps	5.6GHz	4.8GHz	4.0GHz
75ps	7.5GHz	6.4GHz	5.3GHz
60ps	9.3GHz	8.0GHz	6.7GHz
50ps	11.2GHz	9.6GHz	8.0GHz
40ps	14.0GHz	12.0GHz	10.0GHz
30ps	18.7GHz	16.0GHz	13.3GHz

a オシロスコープに必要な周波数帯域=1.2×信号の最高周波数
b 信号の最高周波数成分=0.4/立上り時間 (20~80%)

▶ 表5：周波数帯域と立上り時間の測定確度

周波数帯域とトランジション

規格の中には、立上り時間要件に関して、データ・レートより周波数帯域を重視しているものもあります。立上り時間において、さまざまな測定確度を満たすための周波数帯域の要件を表5に示します。

オシロスコープとプローブのトランジション時間は、測定する信号の立上り時間と立下り時間に影響します。プローブ/オシロスコープのシステム、信号、測定される立上り時間の関係を以下の式に示します。真の立上り時間を求めるためには、プローブとオシロスコープはシステムとして考慮しなければならず、測定値から取り除く必要があります。

$$Tr(\text{測定される値}) = \sqrt{tr(\text{システム})^2 + tr(\text{信号})^2}$$

例えば、20~80%の立上り時間仕様が65psのシステムに、真の立上り時間75psの信号を入力すると、測定値は99psと表示されます。この結果では、システムが測定に及ぼす影響は無視できません。したがって、立上り時間の仕様が高速のオシロスコープ、プローブでは、測定システムの影響を最小限に抑える必要があります。

複数レーンの取込み

高速なデータ・レート、低コストのメディアで複数レーンの規格 (HDMIなど) を用いた設計をすると、レーン相互のスキューやクロストークに悪影響がでる可能性があります。最新のシリアル規格に対応し、複数レーンを同時かつリアルタイムに取込むことのできるオシロスコープがあれば、テスト、検証、デバッグを迅速に、簡単に実行することができます。

複数レーンで時間相関をとって波形データを取込むと、エラーが発生した場合の状況が理解しやすくなります。HDMIでは、時間相関のとれたすべてのデータを取込むことにより、問題となっているイベントだけでなく、その前後のすべてのレーンにおけるイベントまでも詳細に観測することができます。

サンプル・レートとレコード長

規格テストに使用するオシロスコープについては、適切な周波数帯域で信号特性を取込めるだけでなく、十分なサンプル・レート、レコード長で、詳細な波形情報を記録する必要があります。テストの実行に必要な取込データ量は規格によって異なります。当然、データ量が多いほど、長い時間の間に発生する信号異常を詳細に解析することができます。長いレコード長、高速なサンプリング・レート、広い周波数帯域をサポートした高性能のオシロスコープであれば、これらの利点を生かして詳細な解析を行うことができます。

長いレコード長と解析ツールが内蔵された高性能オシロスコープでは、専用の解析手法を装備し、取込波形全域を詳細に解析して、設計を確実に評価することができます。たとえば、PCI Express 1.0の適合性検証では、最低でも250サイクルのサンプリングが必要ですが、高性能ツールではPCI Express 1.1以降で必要とされる100万サイクルを取込み、レコード内の任意の連続した250サイクルを解析して、信号品質をより詳細に検証することができます。

複数レーンの取込みでは、詳細に信号を取込めるように、オシロスコープの各チャンネルごとに十分なレコード長とサンプル・レートが必要となります。

信号解析の実際

正しいプローブの正しい使用、DUTへのゴールデン・パターンへの入力、アキュイジション・システムとしての最適な計測器の選択などにより、解析結果は正確なものになります。

自動測定／解析ツールは、コンプライアンス・テスト項目やアブリケーションをすばやく切り替えるために広く使用されています。自動解析ツールを装備したオシロスコープでは、ビット・エラー・レート、アイの開口、リターン・ロス、反射などをすばやく検証することができます。高性能な計測器では、最新のユニークな手法や技術により、さらに詳細な解析やトラブルシューティングが可能で、設計を正確に評価することや問題点をすばやく特定することが可能です。

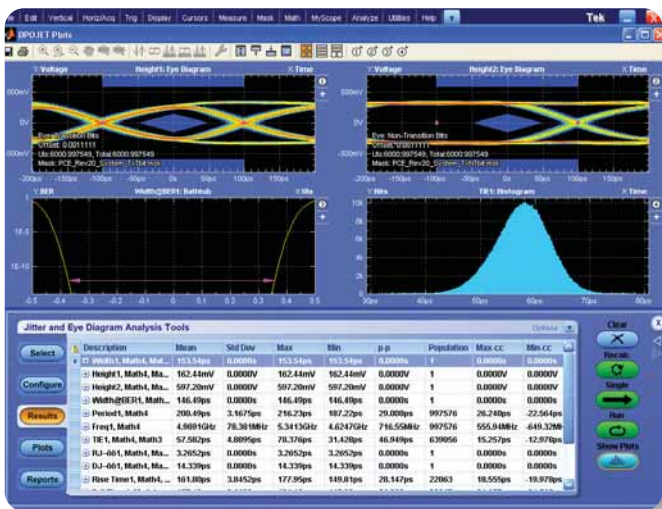
リアルタイム・オシロスコープと等価時間オシロスコープ

ほとんどの規格は、適合性検証においてリアルタイム・オシロスコープを使うよう規定されていますが、一部の規格では等価時間オシロスコープ（サンプリング・オシロスコープ）を使用するよう規定されています。その要件と利点は、それぞれ異なります。

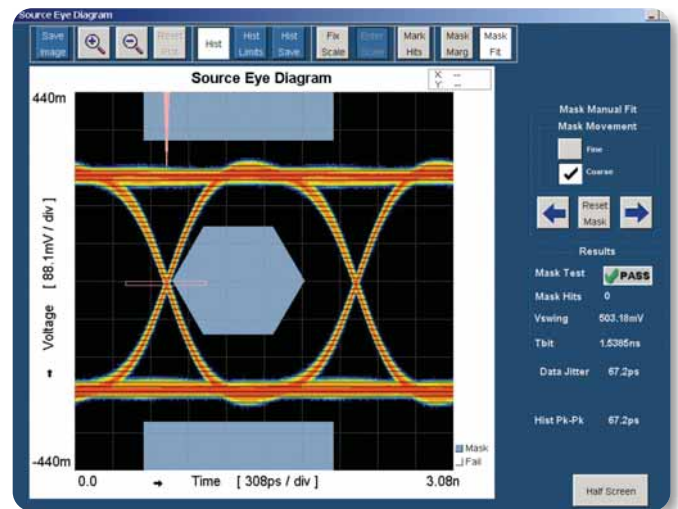
リアルタイム（RT）オシロスコープは、1回のトリガで数多くの測定データを取込み、次にそのデータから測定、解析を行います。取込めるデータの量や詳細の度合いは、オシロスコープの周波数帯域、レコード長、サンプル・レートで決まります。高性能なオシロスコープでは、ソフトウェアによりクロックを抽出します。これは、異なるクロック・リカバリ・モデルをすばやくロードして、別のテストに適用できることを意味します。リアルタイム・オシロスコープは、決まった信号パターン、繰り返しの信号パターン、あるいは単発の信号異常など、どのような種類の入力信号でも取込めます。

入門書：高速シリアル規格のコンプライアンスと検証

▶ 入門書



▶ 図17：アイ測定



▶ 図18：HDMIマスク

等価時間（ET：Equivalent Time、サンプリング）オシロスコープは、繰り返し性のある信号のサンプルを基に波形を構築します。リアルタイム・オシロスコープより高速な信号をサンプリングして再生できますが、繰り返し性のある信号であることが必要です。高速のオシロスコープは一般にETシステムを採用しています。サンプリング・オシロスコープは、ハードウェアベースのクロック・リカバリ・ユニットを採用しており、サンプルごとにトリガする必要があります。測定に長い時間がかかり、取込みを何回も繰返し行う必要がありますが、トリガ回路のリアム時間を短くした高性能なトリガ・システムでは、測定時間が短くなります。

最新の高性能サンプリング・オシロスコープには、TDR（Time Domain Reflectometry）やTDT（Time Domain Transmission）機能も組み込まれており、回路や伝送メディアにおけるSパラメータベースのモデリングと解析を行うことができます。これらの機能により、テスト機器の影響や回路要素、さらには拡張信号処理機能も組み込むことができ、より正確な信号特性を明らかにして、設計問題の原因を精査することができます。

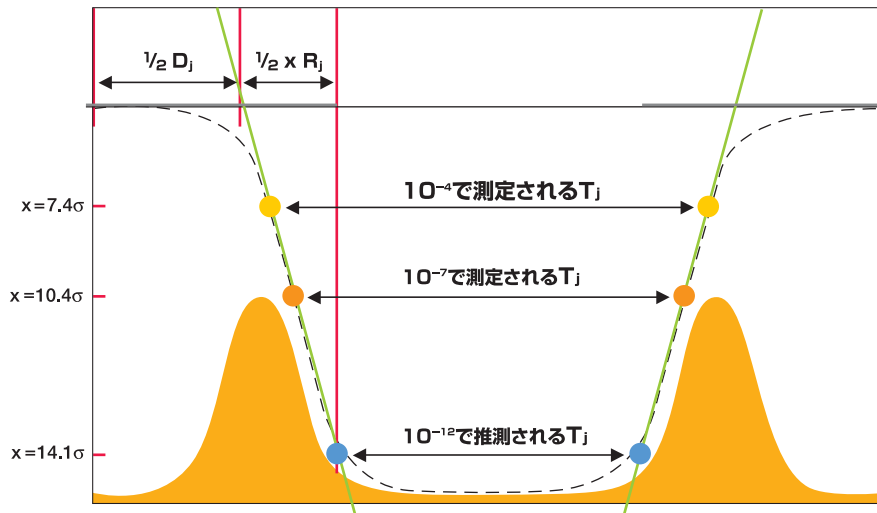
アイの解析

クロック・リカバリ方法などのアイ測定のデータ取込方法や、適合、非適合を判断するためのマスクも、規格ごとに規定されています。オシロスコープの解析ツールを使用すると、アイ測定の表示だけでなく、統計解析を行うこともでき、マスク違反やその他のパラメータ違反がないか確認できます。図17は、マスク・テストに合格したすべてのエッジのアイ測定（ディエンファシス有/無）を示しています。この1回の測定から、アイ開口、ノイズ、ジッタ、立上り時間、立下り時間に関する情報が読み取れます。

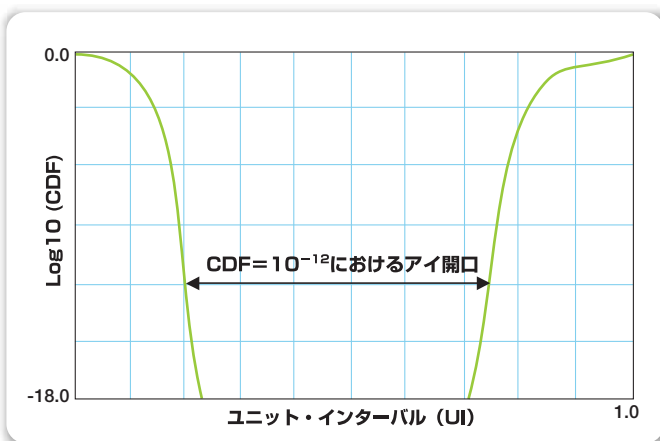
先にも説明したように、アイの高さの解析では、適切な周波数帯域によって5次の高調波を取込む必要があります。この性能がないと、DUTは実際には仕様を満たしていても不合格と判定されることがあります。

ほとんどの規格では、マスクはアイの中心に設定されています。しかし、HDMIでは、図18に示すようにマスクがオフセットされています。異なったアーキテクチャで作業する場合、アイ測定の規格の違いを理解することが大切です。

バイモーダル分布 (Dual Dirac)、2つのBERフィット・カーブ・ポイントから T_j を測定、スロープは R_j 、切片は D_j となります。



▶ 図20：ジッタのアイ開口のDual Diracモデル



▶ 図19：ジッタのバスタブ曲線

ジッタとビット・エラー・レート性能の特定

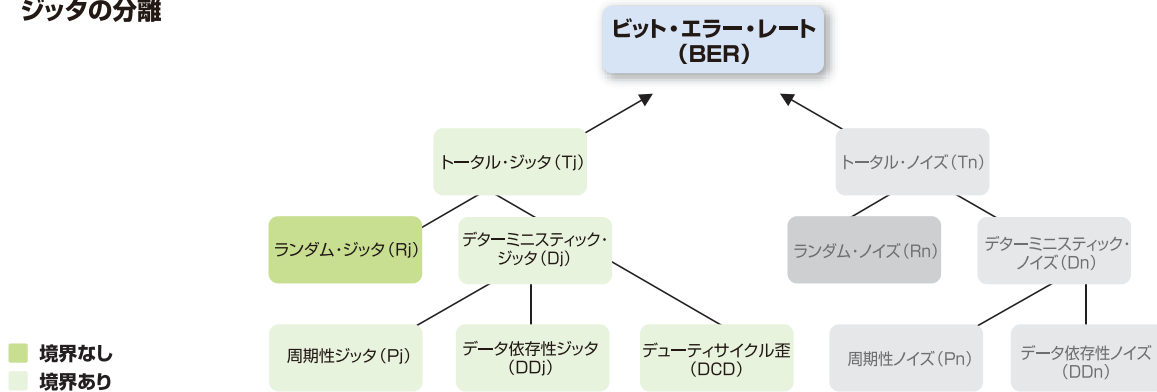
各種規格では、 10^{-12} ビット・エラー・レート ($\pm 7\sigma$) におけるトータル・ジッタ耐性が規定されています。必要なサイクル数を取込んでこのレベルのジッタを解析するには非常に長い時間がかかるため、 $\pm 7\sigma$ の値を正確に予測するように規定している規格もあります。

予測方法は規格によって異なります。最も一般的な方法としては、CDF (Cumulative Distortion Function：累積分布関数)、またはTIE測定から得られるバスタブ曲線 (図19を参照) を使用します。InfiniBandでは、この方法を採用しています。第1世代のPCI ExpressではTIEのヒストグラムを、第2世代のPCI ExpressではDual Diracモデル (図20を参照) を採用しています。

ジッタ解析

ジッタ測定では、各規格で定められているゴールデン・クロック・モデルをベースにした信号エッジの期待値と、エンベデッド・クロックからリカバリされた実際の信号エッジ間の差を測定します。ジッタが大きいとビット・エラー・レート性能が低下します。

ジッタの分離



▶ 図21：ジッタ成分

10^{-12} ビット・エラー・レートにおけるジッタ量はジッタのアイ開口とみなされ、アイ測定アイ幅と区別されます。T_j、ジッタのアイ開口、UIの関係は、次の通りです。

トータル・ジッタ+ジッタのアイ開口=1UI (ユニット・インターバル)

トータル・ジッタ (T_j) は、図21に示すように、さまざまなソースのランダム・ジッタ (R_j) 成分とデターミニスティック・ジッタ (D_j) 成分からなります。

図20に示すように、D_jとR_jはCDFから測定できます。高性能リアルタイム・オシロスコープとサンプリング・オシロスコープでは、ジッタ測定用のソフトウェア・ツールセット、R_jとD_jを分離するためのソフトウェア・ツールセットが組込まれています。R_jとD_jを明らかにすることで、ジッタに影響を及ぼす回路成分を特定することができます。

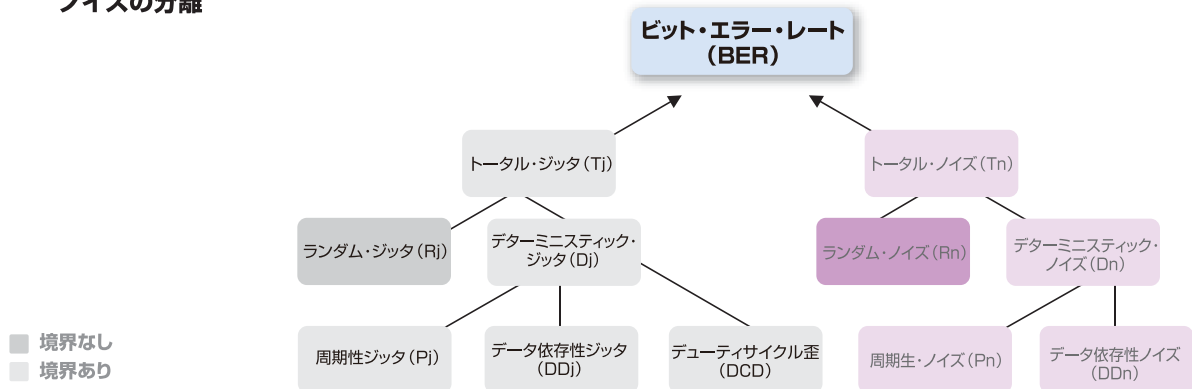
すべてのジッタ測定が同じわけではありません。規格によってクロック・リカバリ・モデルが異なり、独自のジッタ測定が行われます。したがって、自動ツールはすべての規格のクロック・リカバリ方法を用意し、その規格に合ったジッタ測定を実行しなければなりません。方法が異なると、ジッタ検証の結果は異なったものになります。正しい方法を使用し、テスト・ドキュメントの要件に従ってテストすることが大切です。ソフトウェアベースのクロック・リカバリを装備したプログラム可能なオシロスコープと、サンプリング・オシロスコープ用のハードウェアによるクロック・リカバリ・システムを使用すると、この作業は簡単なものになります。



▶ 図22：ジッタ解析のマルチビュー

高性能オシロスコープには、規格に準拠していない独自のツールも用意されています。このようなツールセットでは、ジッタその他の項目を詳細かつ包括的に測定することができます。図22は、アイ開口、TIEスペクトル解析、バスタブ曲線に基づくビット・エラー・レートなどを1つに表示したジッタ解析のマルチビューの例です。統計解析により各種測定の結果が表示され、DUTの性能と適合性をただちに確認できます。

ノイズの分離



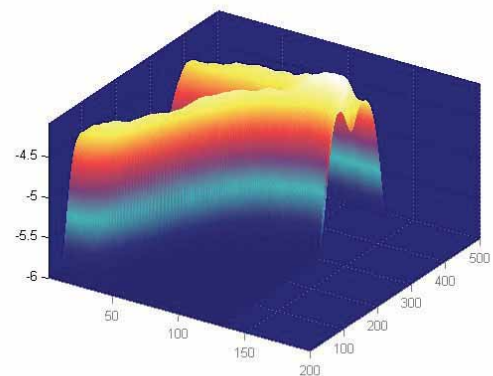
▶ 図23：ノイズ成分

ジッタに関するデータが多いほど、すべてのコンプライアンス・テストの測定品質が向上します。低い周波数のジッタ測定では、詳細なタイミングを取込む能力と、それを長い時間スパンで実行するという、相反する2つの要件がオシロスコープに求められます。このため、オシロスコープは、各サイクルを詳細に取込むための高いサンプリング・レートと、時間に伴って変化する低い周波数を解析するための長い記録長の両方を装備していなければなりません。最新のオシロスコープは、最高で50GS/sのサンプリング・レートと、非常に長い記録長を備えており、十分な動作サイクルを取込んで、低周波ジッタの影響を調べることができます。

ノイズ解析

データ・レートが高速になってトレランスが厳しくなると、高精度の測定を実現するには、垂直軸ノイズの影響を一層抑えなければなりません。振幅ノイズとタイミング・ジッタは直交しないため、位相エラーとしての振幅変動の兆候を把握する必要があります。ノイズ・モデルはジッタと同じように、ランダム成分とデターミニスティック成分から構成され（図23を参照）、ノイズ分離イメージ（図24を参照）でモデル化できます。

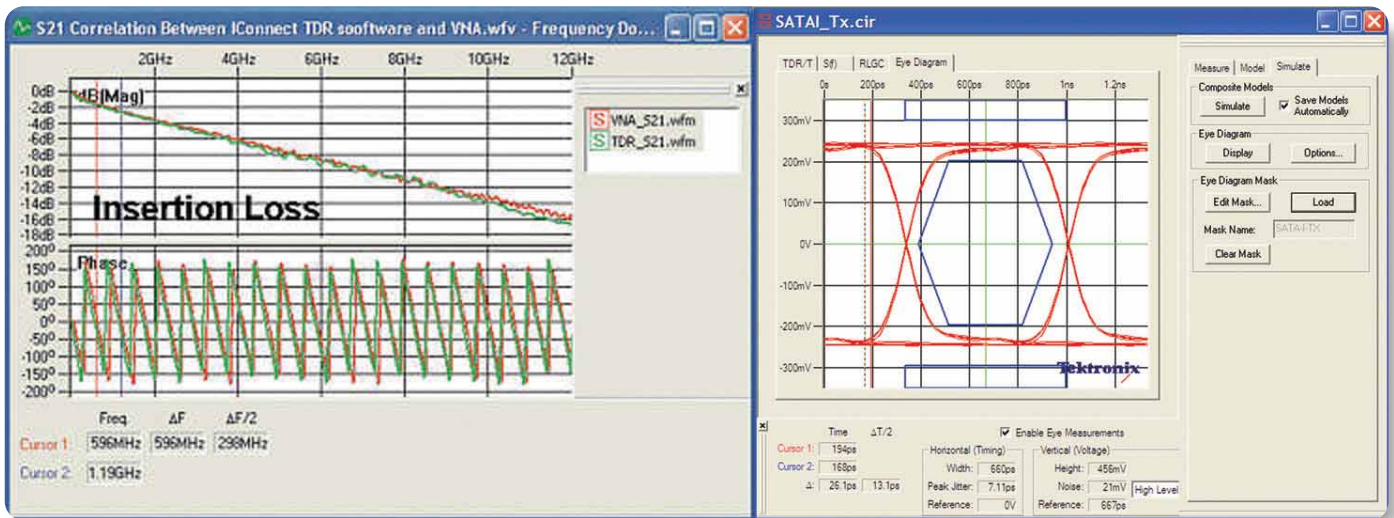
特定のサンプリング・フェーズにおけるロジック1の確率密度関数



▶ 図24：ノイズ分離解析

SSC解析

多くの規格では、EMIを低減するためにスペクトラム拡散クロッキングを使用しています。これらの規格では、仕様に対するSSCプロファイルを検証する必要があります。繰り返しになりますが、高いサンプル・レート、長い記録長という条件下では、統計解析により、低周波変動を検出するために数十億サイクルの取込みが行われることもあります。



▶ 図25：TDRベースの伝送線路測定

伝送メディア解析

信号バスとインターコネクタを時間領域と周波数領域の両方で正確に解析することは、今日の高速シリアル設計において、損失とクロストークの影響を把握するためにも重要です。PCI ExpressやSATAなどの工業規格では、信号バスの影響評価やシステムのインターオペラビリティを確認するためSパラメータ測定、インピーダンス測定はますます重要とされています。TDR機能を装備した高性能サンプリング・オシロスコープにより、Sパラメータベースのモデリング、リターン・ロス、アイ測定（図25を参照）と複雑なネットワーク解析が可能で、ケーブルとインターコネクタの規格適合性を検証することができます。

ディエンベッド／ノーマライゼーション

テスト・フィクスチャやケーブルを含む測定パスのSパラメータ・モデリングでは、測定システムの正確なモデルを構築することもでき、後処理でこの効果を除去することもできます。同様にオシロスコープによってはFIRフィルタを装備しているものもあり、測定パスの効果を除去したり、複数の入力の校正を微調整したりすることもできます。

まとめ

次世代の高速シリアル規格の物理的な適合性検証は非常に複雑で、テスト機器、接続方法、解析ツールは、それ以前の世代の規格に比べてさらに要求が厳しくなっています。伝送メディアはシグナル・インテグリティに大きく影響するため、コンプライアンス要件ではメディアとレシーバのテストが重視される傾向にあります。高速のビット・レート、短いUI、厳しいトレランスなどにより、フィクスチャやテスト機器など、物理層テストのためのテスト戦略の見直しが迫られています。

シリアル・アーキテクチャの進歩に伴って新世代の計測ツールも進化しており、テストを迅速に実行し、シリアル測定とコンプライアンス問題を解決するための優れたツールが出現しています。このようなソリューションにより、複雑なシリアル信号を最高速のデータ・レートで取込み、表示し、解析するだけの性能と技術が提供されます。

参考資料

当社は、シリアル規格の詳細に関する数多くのアプリケーション・ノートや入門書を発行しており、テスト方法や使用する計測器について説明しています。当社ウェブ・サイト (www.tektronix.com/ja) をご覧ください。

Tektronix お問い合わせ先：

日本
お客様コールセンター
0120-441-046

地域拠点

米国 1-800-426-2200
中南米 52-55-54247900
東南アジア諸国／豪州 65-6356-3900
中国 86-10-6235-1230
インド 91-80-42922600
欧州／中近東／北アフリカ 41-52-675-3777
他30カ国

Updated 9 October 2009

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ (www.tektronix.com/ja) をご参照ください。



TEKTRONIXおよびTEKは、Tektronix, Inc.の登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。

03/10

55Z-16736-3



日本テクトロニクス株式会社

www.tektronix.com/ja

〒108-6106 東京都港区港南2-15-2 品川インターシティ B棟6階
お客様コールセンター TEL:0120-441-046
ヨッ!良い オシロ
電話受付時間／9:00～12:00・13:00～19:00 (土・日・祝・弊社休業日を除く)

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。
© Tektronix