

インテルラボ、8波長DFBレーザアレイをシリコンウエハに集積

インテルラボは、シリコンウエハ上に完全に統合された8波長DFBレーザアレイのデモを公開した。この進歩は、インテル社の工場内で既存の製造とプロセス管理により達成され、人工知能(AI)やマシンラーニング(ML)といったネットワーク集約型ワークロード向けの次世代コパッケージド・オプティクスや光コンピューティング・インターコネクットの大量生産を大規模に進める道筋を確保する。

インテル社は、集積フォトニクスへの取り組みの一部である光通信の研究に重点を置いており、シリコンフォトニクス取り組み全体の3つの核心部分に関係している。

これら核心部分は、「光源つまりレーザ、及びその変調能力」を含む、とインテルラボPHY Research Labのディレクター兼シニア首席エンジニア、ジェームス・ジョシー氏(James

Jaussi)は言う。「もう1つの重要部分は、それを増幅し、光信号を検出して受信し、それをCMOSチップ上で電気信号に変換することである。さらに他の重要部分は、CMOSエレクトロニクスである。これは、電気ドメイン内で変調と検出、及び増幅の両方の観点から主にフォトニクスの制御、またはインタフェースに使われる。これらのコンポーネントは、このビジョンのカギであるが、この技術を実際に統合するのは、単一パッケージに集積する能力である」。

原動力:遅延最小化速度の必要性

銅線インターコネクットは、パフォーマンスの壁に当たり続けているため、性能は限界にきている。同一パッケージにシリコン回路とオプティクスを並べた集積は、エネルギー効率が改善し、伝送距離が拡大した、将来の入力/出

力インタフェースとして非常に期待されている。

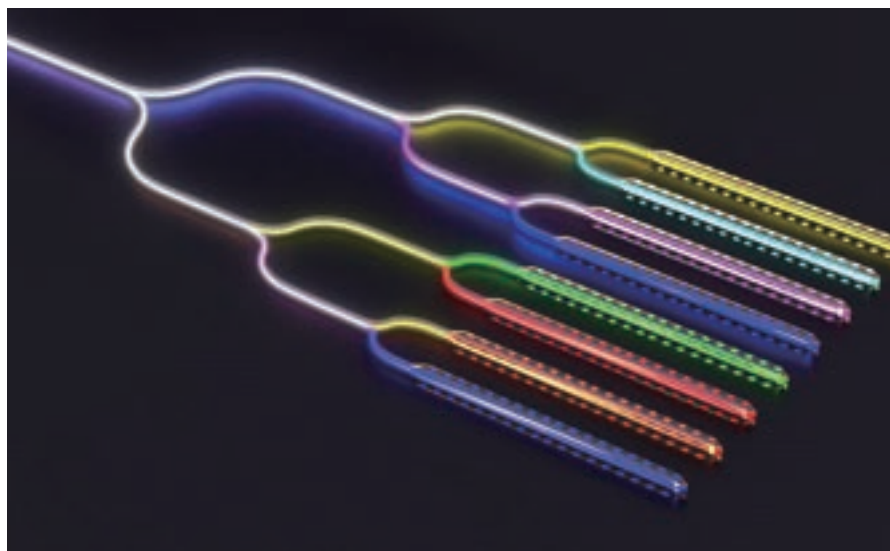
AIとMLアプリケーションは、銅線インターコネクットではよく起こる遅延欠陥のないスピードを必要とする。波長分割多重(DWDM)技術を利用する最近のコパッケージド・オプティクスソリューションは、帯域幅を拡大し、同時にフォトニックチップの物理サイズを大幅に減らすと見込まれる。しかし、今までは、均一な波長間隔とパワーのDWDM光源の製造は極めて難しかった。

インテル社の取り組みは、光源の一貫した波長分離を確保しながら、均一出力を維持している、つまり光コンピューティングインターコネクットとDWDM通信の必須要件を満たしている。また、光インターコネクットを使用する次世代コンピューティングI/Oによって、高帯域幅のAIとMLワークロードで求められる高度な要求に合わせる事が可能である。

設計と製造

インテルラボの8波長DFBレーザアレイは、同社の商用300mmハイブリッドシリコンフォトニクスプラットフォームで設計、製造される。これは、光トランシーバ量産でも使われているので、簡単に拡張できる。

「我々は、光通信をチップ間通信まで推し進めていく」とインテルラボのフォトニクス研究グループ(Photonics Research Group)のシニア首席エンジニア、ハイシェン・ロン氏(Haisheng Rong)は話している。「これは、数十億とは言わないまでも、多くのコン



この図は、8チャンネルハイブリッドIII-V/シリコンDFBレーザアレイを示している。これは、量産ファブ内において多波長レーザ製造能力が飛躍的に伸びていることを示している

ポーネントを必要とし、従来技術を使うとコストは法外である。我々は、シリコンフォトリソ技術がこの集積を可能にすると早期に判断したため、すべての光コンポーネントをシリコンチップに集積し、従来のCMOSファブ内で製造している」。

化合物半導体レーザーは、シリコンへの集積を可能にする重要要素である。これらのレーザー材料、特にインジウム・リン(InP)やガリウムヒ素(GaAs)は、非常に効率的に光を放出する直接バンドギャップを持つ。

「帯域幅が増すにつれて、1本のファイバにもっと多くの波長を詰め込みたいと考えている」とロン氏は言う。「これがそれぞれ独自の波長を持つレーザーアレイを作りたかった理由である。これらのレーザーは、1つのチップ上にあるという意味で高密度に詰め込まれているが、現在は8つに詰め込むためにレーザーを近づけたかったので、波長という観点からも同様である。しかし、将来は、帯域幅を増やすために16あるいは32チャンネルを1本のファイバに詰め込むかもしれない。」

インテル社は、DWDMを利用して、非常に均一な波長間隔の8個のレーザーでレーザーアレイを作製している。ロン氏の指摘によると、これは達成が「極めて困難」である。

これらのレーザーは、3つのコンポーネントを必要とする。まず利得でIII-V素子は分布帰還となる。2番目は、このIII-V構造の増幅。3番目は格子構造で、これは、レーザー波長とそのピッチ波長出力を規定する。

重要な目標は、電力消費の最小化である。チップの温度が変化すると、すべてのレーザー温度が変化し、波長が動くことになるからである。このパターンは、温度により左から右へ動く、ま



この8個のマイクロリング共振器と光導波路の図では、各共振器が特別な波長にチューニングされ、波長分割多重を可能にしている

た「我々のアーキテクチャでは、波長間隔を一定に保つことが極めて重要である。絶対的波長ドリフトについて思い煩わないことが重要だ」とロン氏は話している。

最初にレーザーが戻ってきたとき、研究者は、1つをアクティブにし、計測を始めた。素晴らしいことに、パフォーマンスは、期待通りだった。「約200GHz間隔のもう1つのレーザーをアクティブにした。これも非常に素晴らしかった。さらに次にすべてのレーザーをアクティブにし、目の前に非常に均一なスパイクを見ることができた。電力も均一であるが、このプロセスを進むにつれてチップはわずかに過熱し、ホールパターンが若干動く。しかし間隔は一定にとどまっている」とロン氏は付け加えている

最新の集積作業は、量産CMOS工場内のレーザー製造で著しい進歩を示している。これは、300mmシリコンウエハ製造ですでに使用されている同じリソグラフィによるものである。

この研究には、インテル社は、III-Vウエハボンディング工程に先立ち、先進的リソグラフィを使って、シリコン

に波長グレーティングを定義する。研究者によると、この技術は、3インチまたは4インチウエハファブで製造される従来の半導体レーザーと比べて、波長の均一性が優れている。また、レーザーの緊密な統合により、アレイは、環境温度が変化しても、そのチャンネル間隔を維持できる。

次のステップ

インテルラボは、他の中核技術ビルディングブロックにも取り組んでいる。これに含まれるのは、光生成、増幅、検出、変調、CMOSインタフェース回路、パッケージ集積技術。

これ以外では、シリコンフォトリソ製品部門が、8波長集積レーザーアレイの多くの面を未来の光コンピューティングインターコネクト・チップレットに実装しようとしている。このチップレットは、CPU、GPU、メモリを含むコンピューティングリソース間のパワー効率の優れた、ハイパフォーマンス、マルチテラビット(Tb/s)インターコネクトを提供できるように設計が進んでいるところである。

(Sally Cole Johnson)

LPWJ