



# Verilog HDLシミュレータ Verilatorの活用方法

佐藤 達之

HDL設計にシミュレーションは欠かせない。無償で使える機能限定版や評価版を用意している市販シミュレータもあるが、シミュレーション速度が遅かったりソース・コードに行数制限などがある。シミュレーション速度が高速で行数制限のないフリーのシミュレータもある。ここではVerilog HDLのソースをC++に変換して実行できるフリーのシミュレータVerilatorを取り上げ、実際にVerilog HDLで記述されたCRC演算回路をパソコン上とFPGA評価ボード上で走らせて比較してみる。

(編集部)

## 1. HDL学習ツールとしてのFPGA統合開発ツールとフリーウェア

### ● 無償で使えるベンダ提供のツール

大手FPGAベンダの米国Xilinx社や米国Altera社が提供するFPGAデザイン・ツールには、“タダ”で使用できる無償版が用意されています。どちらもFPGAをデザインするための統合開発ツールですが、Verilog HDL/VHDL言語の学習ツールとしても機能します。

Xilinx ISEの無償版WebPackにはHDLシミュレータISE Simulatorの機能制限版ISE Simulator Lite (以下ISIM Liteと略す)が含まれており、FPGAのデザインからシミュレーションまで実行できます。ISIM Liteの機能制限はHDLコードが50,000行を超えるとパフォーマンスが低下するというもので、小規模の回路においてはフル・バージョンと同等に機能します。

Altera Quartus IIの無償版Web Editionでは、別途提供されているModelSim Altera Starter Edition (以下ModelSim ASEと略す)が利用できます。米国Mentor Graphics社

の高機能HDLシミュレータ/デバッガModelSimをAltera FPGA向けにカスタマイズしたModelSim Altera Editionに対して、表1のように動作速度と回路規模に機能を付けて無償版としたのがModelSim ASEです。

ModelSim ASEはAltera FPGA向けのシミュレータですが、単体でも汎用HDLシミュレータとして使用できるようですが、ModelSimの提供元であるMentor Graphics社の製品紹介ページには「期間限定提供」と記載されており、今後も継続的に提供されるかどうかは不明です。Xilinx ISE向けにModelSim Xilinx Edition-IIIが提供されていましたが、最近になって有償版、無償版共に製造中止になってしまいました。

商用HDLシミュレータのFPGA向けの無償バージョンというのは販促用という位置付けなのか、FPGAベンダが負担するライセンス料が大きいのか理由は分かりませんが、長期間にわたって継続的に提供されることは期待できないようです。

### ● オープン・ソースのシミュレータ

一方でオープン・ソースのフリー・ウェアでもVerilog HDLやVHDLのシミュレーションを行えるツールが幾つ

表1 ModelSim Altera Editionの違い

	ModelSim-Altera Starter Edition (ASE)	ModelSim Altera Edition (AE)	ModelSim PE	ModelSim DE	ModelSim SE
実行速度	9	12	30	30	100
実行行数制限	10,000	なし	なし	なし	なし
ライセンス	不要	Fixed/Floating	Fixed/Floating (Option)	Fixed/Floating (Option)	Floating
対応ライブラリ	Alteraのみ	Alteraのみ	制約なし	制約なし	制約なし
デバイス・サポート	アルテラ・デバイス (小・中規模)	アルテラ・デバイス (すべての規模)	制約なし	制約なし	制約なし
32ビット OS対応	Linux/ Windows XP/Vista	Linux/ Windows XP/Vista	Windows XP/Vista/7	Linux/ Windows XP/Vista/7	Linux/Solaris/ Windows XP/Vista/7
64ビット OS対応	-	-	-	-	Linux x86-64, Solaris 64