

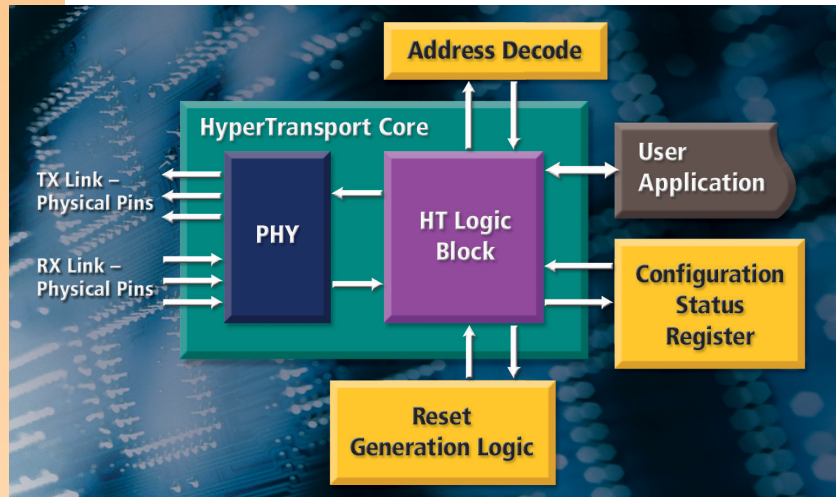


# HyperTransport LogiCORE™ソリューション

## I/Oのボトルネックを解消

今日のコンピューティングと通信システムでは、性能上のボトルネックはプロセッサからI/Oサブシステムに急速に移行しつつあります。高性能を提供するには、超高速でインプリメンテーションが容易なパイプが必要になります。HyperTransport™インターフェイスは、I/Oのボトルネックを解消するチップ間相互接続用高性能技術として広く受け入れられています。しかし、これは単なる標準規格に過ぎません。競合とTime-to-Marketのプレッシャーに晒されているシステム・デザイナーが実際に必要とするものは、HyperTransportの設計を加速し容易にすることで開発コストを低減可能な予めエンジニアリングされたIPソリューションです。

ザイリンクスのHyperTransport用シングル・エンドのスレーブ・コアは、Virtex®-IIシリーズFPGAのI/O機能を使って高速性能のHyperTransport相互接続をインプリメントするための、標準部品の完全に検証されたソリューションです。このザイリンクスのソリューションは、PCIのような伝統的なインターフェイス設計へのシームレスなブリッジとなるものでもあります。ザイリンクスのHyperTransportコアは、高性能HyperTransport相互接続をインプリメントするための費用対効果の高い完全なソリューションです。



### HyperTransportの完全性:性能、柔軟性および安全性

ザイリンクスのHyperTransportソリューションとVirtex-II FPGAは、高コストの再設計をすることなく、高速で柔軟性のあるHyperTransportインターフェイスをインプリメントするための理想的なプラットフォームを提供します。ザイリンクスのHyperTransport LogiCORE™ソリューションは次のものを提供します。

#### ●性能

- I/Oあたり8ビットのバス幅で最大800Mbpsの動作スピードをサポートし、12.8Gbpsの総計バンド幅を実現
- Point-to-pointアタッチメント・プロトコルによりアービトレーションのオーバーヘッドを除去します
- 全二重バスにより、独立したデータ転送を同時に(双方向に)行うことが可能

#### ●柔軟性

- 2、4、あるいは8ビットと可変で非対照のデータ・バスを提供
- 新興そして先進のバスとI/O技術を補完
- 標準のFPGAに標準品のソリューションとしてインプリメント・デザインを変更したりアップデートしたりするのは容易で低コストに行えます

#### ●ソフトウェア再利用

- PCIソフトウェアの互換性の維持
- OSとデバイス・ドライバのインフラを保持

#### ●より早いTime-to-Market

- HyperTransport v1.01a仕様をサポートする標準品のソリューション
- VerilogとVHDLをコンパイルしたシミュレーション・モデル
- Virtex-II FPGA用に完全にテストされかつ最適化
- デザイン変更とアップデートに関して最小の時間とコスト

## HyperTransport LogiCORE—最小のリスクで容易なインプリメンテーション

シームレスな統合と早いTime-to-Marketの利点に加え、HyperTransport LogiCOREソリューションは次のものを提供します。

- ドロップイン・コア**—これには、HyperTransportの物理的インターフェイス、HyperTransportのシングルエンド・スレーブ・コア、およびユーザ・モジュール用の数種の参照デザインが含まれます。
- 先進の機能**—強化された低電圧差動信号方式、チャンネルごとに64ビット幅のRx (レシーブ) とTx (トランスミット) データ・パスを有するコア・アプリケーション・インターフェイス用の3個の仮想チャンネル、内部スピードが100-MHzで動作する64ビット幅の内部バス。
- 広範囲なアプリケーション**—HyperTransportコアは次のようなアプリケーションに最適です。ルータ、スイッチとハブ、サーバ、ワークステーション、PC、セットトップ・ボックス、ゲーム用コンソール、パケットとハイエンドのSSLセキュリティ・コンテンツ処理、グラフィック・コプロセッサ、ノースとサウスのブリッジ・デバイス、およびPCI™/PCI-X™とHyperTransportのブリッジ等。
- プロセッサ・インターフェイス**—PMC社 (RS9000) とBroadcom社 (BCM1250) からのMIPベースのネットワーク用プロセッサにシームレスにインターフェイスします。

### 今すぐ試してみてください!

HyperTransportコアは、購入して評価することが可能です。最寄りのザイリンクスの販売代理店にお問い合わせしてください。ザイリンクスのHyperTransportソリューションに関する最新の情報についてはザイリンクスのWebサイト[www.xilinx.co.jp/hypertransport](http://www.xilinx.co.jp/hypertransport)をご覧ください。

他のSystemIOコネクティビティに関するIP (知的設計資産) コアソリューションについては[www.xilinx.co.jp/connectivity](http://www.xilinx.co.jp/connectivity)のConnectivity Centralをご覧ください。



HyperTransportのリソース利用状況	
スライス数	4,300—7,000
スライスのフリップ・フロップ数	2,970—4,200
I/O数	20
グローバル・クロック数	2-core clocks, 4-user clocks
コアと一緒に提供されるもの	
ドキュメント	データ・シート、Read Meファイル、デザイン・ガイド、インプリメンテーション・ガイド
デザイン・ファイルのフォーマット	Verilog Simulation Model NGO Netlist
コンストレイント・ファイル	User Constraints Files (UCF)
デザイン例	Verilogデザイン
参照デザイン	Address Decode Configuration Status Register Reset Generation Logic
必要なデザイン・ツール	
ザイリンクス・ツール	ISE 5.1i
テスト済みのエントリと検証ツール	Synplicity Synplify v7.10 Cadence Verilog XL Model Technology ModelSim

### 販売代理店



The Programmable Logic Company.<sup>SM</sup>

### ザイリンクス株式会社

本社 〒163-1118 東京都新宿区西新宿6-22-1 新宿スクエアタワー18F  
営業部 TEL.03-5321-7730 (代) FAX.03-5321-7761  
マーケティング部 TEL.03-5321-7740 (代) FAX.03-5321-7762

大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-4-30 ニッセイ新大阪ビル13F  
TEL.06-6150-5515 (代) FAX.06-6150-5517

<http://www.xilinx.co.jp>