JAXA-CR-10-001

宇宙航空研究開発機構契約報告 JAXA Contract Report

最新デバイスの耐放射線性強化技術に関する検討委員会 平成21年度 成果報告書

作成元 HIREC 株式会社

Prepared by High-Reliability Engineering & Components Corporation

> 2011年1月 January 2011



Japan Aerospace Exploration Agency

| | ページ | | | | | |
|---|--|--|--|--|--|--|
| 1 | はじめに1 | | | | | |
| 2 | 業務の目的1 | | | | | |
| 3 | 業務実施結果1 | | | | | |
| | 3.1 耐放射線性強化技術1 | | | | | |
| | 3.1.1 耐放射線強化技術に関する検討材料の調査1 | | | | | |
| | 3.1.2 検討委員会の設置 | | | | | |
| | 3.1.3 委員会活動 | | | | | |
| | 3.1.4 耐放射線強化技術 | | | | | |
| | 3.1.4.1 半導体素子に対する放射線照射効果の動向 | | | | | |
| | 3.1.4.2 調查文献 | | | | | |
| | 3.1.4.3 SEU 関連の発表 | | | | | |
| | 3.1.4.4 SET 関連の発表11 | | | | | |
| | 3.1.4.5 TID 関連の発表14 | | | | | |
| | 3.1.4.6 RHBD 関連の発表 | | | | | |
| | 3.1.4.7 まとめ | | | | | |
| | 3.2 検討文献 | | | | | |
| | 3.2.1 高エネルギー陽子による二次反跳原子核生成の直接的証拠 | | | | | |
| | 3.2.2 地上におけるソフトエラー率に対するハフニウムとウランの寄与に関して | | | | | |
| | 3.2.3 順序回路における SET パルス幅拡大による SE 発生確率の増加 | | | | | |
| | 3.2.4 SOI および Bulk インバータチェーンの SET 伝搬によるパルス幅増大効果 | | | | | |
| | 3.2.5 包囲型レイアウトの 130nmNMOSFET の X 線照射およびホットキャリアストレス下に | | | | | |
| | おける特性劣化53 | | | | | |
| | 3.2.6 強誘電体不揮発性メモリに対する電離放射線影響と照射温度の依存 | | | | | |
| | 3.2.7 薄膜 SOI 型 SiGe HBT におけるトータルドーズおよび重イオン電化収集74 | | | | | |
| | 3.2.8 バンド間トンネリング誘起ドレインリーク電流のゲート長及びドレインバイアス依存性80 | | | | | |
| | 3.2.9 MOS デバイスの放射線劣化における水分および水素さらしの影響と長期劣化への | | | | | |
| | 提言 | | | | | |
| | 3.2.10 プロトンおよび中性子照射による加速的な劣化と耐量保証試験 | | | | | |
| | 3.2.11 プロトンとシリコンイオン照射による GaAs 中における欠陥形成104 | | | | | |
| | 3.2.12 45nm SOI デバイスにおける SET の回路への影響 113 | | | | | |
| | | | | | | |

| 3.2.13 | 電荷収集および電 | 荷拡散を軽減に関するた | <i></i> ブードリング・ガードドレィ | インの効果の定 |
|--------|----------|-------------|-----------------------|---------|
|--------|----------|-------------|-----------------------|---------|

| | 量的評価 | . 120 |
|--|------|-------|
|--|------|-------|

3.2.14 ミックスド・シグナル フェイズ・ロック・ループにおける耐放射線強化した電圧制御発

| 振器への確率的解析手法の適用につい | au |
|-------------------|----|
|-------------------|----|

| 4 | 検討委員会の運営 | 133 |
|---|----------|-----|
| 5 | 成果のまとめ | 135 |
| 6 | 添付資料 | 135 |

<添付>

| 添付6-1 | 検討委員会 | 議事録 | 37 |
|-------|-------|------|----|
| 添付6-2 | 検討委員会 | 配付資料 | 67 |

1 はじめに

本書は、JAXA殿の業務委託 JX-PSPC-280269「平成21年度 部品プログラム業務 調達仕様書 (委託)」の 4.5 項(1)に基づいて HIREC 株式会社が実施した「最新デバイスの耐放射線性強化技術 に関する検討委員会の開催支援」の業務結果についてまとめたものである。

2 業務の目的

最先端技術を用いた部品は、高機能化/高集積化の要求に伴い集積回路の微細化が進んでい るが、その一方で、放射線による影響も受けやすくなってきており、放射線によって発生する 様々な現象も従来のものと異なってきていると考えられる。また、従来の耐放射線性試験方法 についても、適正に判断できる試験方法を調査し確立していく必要がある。これらについて有 識者で構成される検討委員会を設置し、国内外の文献等を調査した上で試験方法を含めた耐放 射線性強化技術動向に関する調査検討を行った。

3 業務実施結果

3.1 耐放射線性強化技術

3.1.1 耐放射線強化技術に関する検討材料の調査

半導体デバイスの微細化、高密度化及び高機能化は目覚ましいものがあり、それに伴い、新たに 確認された放射線照射効果もあり世界中の学会で活発に議論されている。また、近年では宇宙線中 性子に起因した、地上半導体デバイスのシングルイベント現象も報告されている。従って、このような 技術革新が進む中、いかに半導体デバイスの耐放射線性を適正に評価するかが重要な課題となって いる。

これらの背景を踏まえて、本年度の耐放射線性強化技術に関する検討材料の調査は、対象デバイ スとしてメモリデバイス、ディープサブミクロンデバイス、SOI デバイス、バルクデバイス、パワーデバイ ス、PLL、High-k デバイスについてを、現象としてトータルドーズ現象(ELDRS を含む)、シングルイ ベント現象、陽子・中性子核反応シングルイベント、変位損傷効果についての情報を調査した。 その結果、半導体デバイスに対する耐放射線性を研究する学会では世界最高峰の IEEE Nuclear and Space Radiation Effects Conference(NSREC:2008年7月米国アリゾナで開催) で発表された論文から14件を検討材料として選定した。

選定した検討材料の文献一覧を表 3.1.1-1に示す。

| 分類 | 文 献 名 | 対応の本書項番 出典(1)へ [°] ージ数 |
|-----------------|---|------------------------------------|
| Proton | 高エネルギー陽子による二次反跳原子核生成の直接的証拠 | 3.2.1項 |
| SEU | Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons | P2904 |
| | 地上におけるソフトエラー率に対するハフニウムとウランの寄与に関して | 3.2.2項 |
| SEU | Hafnium and Uranium Contributions to Soft Error Rate at Ground Level | P3141 |
| () D.M. | 順序回路における SET パルス幅拡大による SE 発生確率の増加 | 3.2.3項 |
| SET | Extended SET Pulses in Sequential Circuits Leading to Increased SE Vulnerability | P3077 |
| a D m | SOI および Bulk インバータチェーンの SET 伝搬によるパルス幅増大効果 | 3.2.4項 |
| SET | Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains | P2842 |
| MID | 包囲型レイアウトの130nmNMOSFETのX線照射およびホットキャリアスト レス下における特性劣化 | 3.2.5項 |
| TID | Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in 130-nm NMOSFETs With Enclosed Layout | P3216 |
| | 強誘電体不揮発性メモリに対する電離放射線影響と照射温度の依存 | 3.2.6項 |
| TID | Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature | P3237 |
| | 薄膜 SOI 型 SiGe HBT におけるトータルドーズおよび重イオン電化収集 | 3.2.7項 |
| TID | Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe HBT on Thin-Film SOI Technology | P3197 |
| TID | バンド間トンネリング誘起ドレインリーク電流のゲート長及びドレインバイアス 依存性 | 3.2.8項 |
| TID | Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling - Induced Drain Leakage in Irradiated Fully Depleted SOI Devices | P3259 |
| TID | MOS デバイスの放射線劣化における水分および水素さらしの影響と長期劣化への提言 | 3.2.9項 |
| IID | Effects of Moisture and Hydrogen Exposure on Radiation-Induced MOS Device Degradation and Its Implications for Long-Term Aging | P3206 |
| TID | プロトンおよび中性子照射による加速的な劣化と耐量保証試験 | 3.2.10項 |
| Power MOSFET | Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing | P3096 |
| | プロトンとシリコンイオン照射による GaAs 中における欠陥形成 | 3.2.11項 |
| NIEL | Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs | P3016 |

表 3.1.1-1 検討材料の文献一覧

| 分類 | 文 献 名 | 対応の本書項番 出典(1)ページ数 |
|------|--|----------------------|
| | 45nm SOI デバイスにおける SET の回路への影響 | 3.2.12項 |
| RHBD | Design Implications of Single Event Transients in a Commercial 45 nm SOI Device Technology | P3461 |
| חחחח | 電荷収集および電荷拡散を軽減に関するガードリング・ガードドレインの効 果の定量的評価 | 3.2.13項 |
| КПВД | Quantifying the Effect of Guard Rings and Guard Drains in Mitigating Charge Collection and Charge Spread | P3456 |
| рнрр | ミックスド・シグナル フェイズ・ロック・ループにおける耐放射線強化した電圧 制御発振器への確率的解析手法の適用について | 3.2.14項 |
| PLL | A Probabilistic Analysis Technique Applied to a Radiation - Hardened - by - Design Voltage - Controlled Oscillator for Mixed - Signal Phase - Locked Loops | P3447 |

(1)出典:IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL.55, NO.6, DEC.2008

3.1.2 検討委員会の設置

3.1.1項で選定した検討材料を検討するために、大学、公的研究機関、企業等の学識有識者から 構成される検討委員会を組織し、各委員に委嘱した。委嘱した委員名と所属、役職を表 3.1.2-1に示 す。

| | 区分 | 委 | 員名 | 所属名 | 役職 |
|----|------|----|-----|-------------------------|----------------|
| 1 | 顧問 | 大西 | 一功 | HIREC(株) | 顧問 |
| 2 | 委員長 | 伊部 | 英史 | (株)日立製作所 生産技術研究所 | 主管研究員 |
| 3 | 副委員長 | 矢嶋 | 孝太郎 | 三菱電機(株) 高周波光デバイス製作所 | 課長 |
| 4 | 委員 | 平尾 | 敏雄 | 日本原子力研究開発機構 | 研究副主幹 |
| 5 | 委員 | 藤田 | 実 | 法政大学 | 兼任講師 |
| 6 | 委員 | 高橋 | 芳浩 | 日本大学 | 准教授 |
| 7 | 委員 | 石井 | 茂 | 三菱重工業(株) 名古屋誘導推進システム製作所 | 主任 |
| 8 | 委員 | 島田 | 健児 | (株)東芝セミコンダクター社 | - |
| 9 | 委員 | 深田 | 孝司 | みずほ情報総研(株) | シニアコンサ ルタント |
| 10 | 委員 | 藤島 | 直人 | 富士電機システムズ(株) | 部長 |
| 11 | 委員 | 猪俣 | 輝司 | NEC 東芝スペースシステム(株) | 主任 |
| 12 | 委員 | 坪山 | 透 | 高エネルギー加速器研究機構 | 講師 |
| 13 | 委員 | 矢作 | 保夫 | (株)日立製作所 | 主任研究員 |
| 14 | 委員 | 加藤 | 一成 | 三菱電機(株) 鎌倉製作所 | - |
| 15 | 委員 | 三浦 | 規之 | OKI セミコンダクタ宮城(株) | サブグループ リーダー |

表 3.1.2-1 検討委員一覧表(敬称略)

3.1.3 委員会活動

3.1.1項で選定した検討材料は、各委員に割り当て検討を依頼した。各委員の報告する検討内容 について当該委員会にて討議し、それらを議事録としてまとめた。

第2回では、事務局より2009年7月にカナダ ケベックにて開催された NSREC の参加報告を行っ た。また、伊部委員長より2009年6月に開催された DSN (International Conference on Dependable Systems and Networks)及び7月に開催された IOLTS (International On-Line Testing Symposium)の概況を報告していただき、耐放射線性技術に関して議論を行った。第4回 では、事務局より2009年9月にベルギーにて開催された RADECS (European Workshop on Radiation Effects on Components and Systems)参加報告を行った。第5回委員会(最終回)で は、伊部委員長から、本委員会を統括して本年度の耐放射線分野の動向についてまとめを報告し、事 務局より委員会運営結果について報告した。

委員会の議題等を表 3.1.3-1に示す。

| 回数 | 日時、議題など |
|-----|-------------------------|
| 第1回 | 開催日時:2009年6月19日(金) |
| | 開催場所:HIREC(株) 川崎事業所 |
| | 主な議題:本年度検討内容の概要 |
| | 事務局による論文発表及び討議(1件) |
| | 各委員担当論文の発表及び討議(1件) |
| 第2回 | 開催日時:2009年7月31日(金) |
| | 開催場所:HIREC(株) 川崎事業所 |
| | 主な議題:各委員担当論文の発表及び討議(3件) |
| | 2009 年 NSREC 報告 |
| | 2009 年 IOLTS/DSN 報告 |
| 第3回 | 開催日時:2009年10月9日(金) |
| | 開催場所:HIREC(株) 川崎事業所 |
| | 主な議題:各委員担当論文の発表及び討議(3件) |
| 第4回 | 開催日時:2009年11月27日(金) |
| | 開催場所:HIREC(株) 川崎事業所 |
| | 主な議題:各委員担当論文の発表及び討議(4件) |
| | 2009 年 RADECS 報告 |
| 第5回 | 開催日時:2010年2月19日(金) |
| | 開催場所:HIREC(株) 川崎事業所 |
| | 主な議題:各委員担当論文の発表及び討議(2件) |
| | 委員会運営の報告 |
| | 本年度の検討論文に関するまとめ |

表 3.1.3-1 委員会の日時、議題など

3.1.4 耐放射線強化技術

3.1.4.1 半導体素子に対する放射線照射効果の動向

半導体素子の微細化が進む中で、集積回路の高密度化、大規模化が進んでいる。これまで は宇宙用半導体素子で重要な問題点であった集積回路の放射線による劣化、誤動作が、地上 で使われる素子においても、宇宙線中性子によるシングルイベントとして問題が顕在化して きている。さらに半導体素子に使用される材料も多岐に亘っており、それらを宇宙放射線環 境で用いる場合の問題を明らかにする取り組みも行われている。また、耐放射線強化技術も、 材料、素子構造、回路的な面から多くの提案がなされている。今年度はこのような状況の中 から、2008年7月に米国アリゾナ州ツーソンで開催された、IEEE(The Institute of Electrical and Electronics Engineers)の 2008 NSREC(Nuclear and Space Radiation Conference, Tucson, Arizona, July 14-18)で発表された論文で IEEE Trans. Nuc. Sci., Vol. 55, No.6 に 掲載された**もの**から、重要と思われるものを選択して調査した。

3.1.4.2 調査文献

今年度の調査文献は次表の 14 編で、SEU(Single Event Upset)関係 2 編、SET(Single Event Transient)関係 2 編、TID(Total Ionizing Dose)関係 7 編、RHBD(Radiation Hardened By Design)関係 3 編である。

個別の内容については 3.2 節で項番に従って詳述するが次節以降で、分類項目ごとの概況とト ピックスをまとめる。

| 万預 | Chapter | <u> </u> | ダイトル | 着 有 |
|------|---------|---------------|--|---|
| SEII | 3.2.1 | 2904 -2913 | Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons | G. Cellere, A. Paccagnella, A. Visconti, S. Beltrami, J. Schwank, M. Shaneyfelt, D. Lambert, P. Paillet, V. Ferlet-Cavrois, J. Baggio, R. Harboe-Sørensen, E. Blackmore, A. Virtanen, and P. Fuochi |
| SEU | 3.2.2 | 3141 -3145 | Hafnium and Uranium Contributions to Soft Error Rate at Ground Level | F. Wrobel, J. Gasiot, and F. Saigné |
| CET | 3.2.3 | 3077 -3081 | Extended SET Pulses in Sequential Circuits Leading to Increased SE Vulnerability | B. Narasimham, O. A. Amusan, B. L. Bhuva, R. D. Schrimpf, and W. T. Holman |
| SEI | 3.2.4 | 2842 -2853 | Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains | V. F. Cavrois, V. Pouget, D. McMorrow, J. R. Schwank, N. Fel, F. Essely, R. S. Flores, P. Paillet, M. Gaillardin, D. Kobayashi, J. S. Melinger, O. Duhamel, P. E. Dodd, and M. R. Shaneyfelt |
| | 3.2.5 | 3216 -3223 | Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in 130-nm NMOSFETs With Enclosed Layout | M. Silvestri, S. Gerardin, A. Paccagnella, and F. Faccio |
| | 3.2.6 | 3237 -3245 | Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature | M. Zanata, N. Wrachien, and A. Cester |
| | 3.2.7 | 3197 -3201 | Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe HBT on Thin-Film SOI Technology | M. Bellini, S. D. Phillips, R. M. Diestelhorst, P. Cheng, J. D. Cressler, P. W. Marshall, M. Turowski, G. Avenier, A. Chantre, and P. Chevalier |
| TID | 3.2.8 | 3259 -3264 | Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling-Induced Drain Leakage in Irradiated Fully Depleted SOI Devices | F. E. Mamouni, S. K. Dixit, R. D. Schrimpf, P. C. Adell, I. S. Esqueda, M. L. McLain, H. J. Barnaby, S. Cristoloveanu, and W. Xiong |
| | 3.2.9 | 3206 -3215 | Effects of Moisture and Hydrogen Exposure on Radiation-Induced MOS Device Degradation and Its Implications for Long-Term Aging | J. R. Schwank, M. R. Shaneyfelt, A. Dasgupta, S. A. Francis, X. J. Zhou, D. M. Fleetwood, R. D. Schrimpf, S. T. Pantelides, J. A. Felix, P. E. Dodd, V. Ferlet- Cavrois, P. Paillet, S. M. Dalton, S. E. Swanson, G. L. Hash, S. M. Thornberg, J. M. Hochrein, a |
| | 3.2.10 | 3096 -3105 | Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing | M. R. Shaneyfelt, J. A. Felix, P. E. Dodd, J. R. Schwank, S. M. Dalton, J. Baggio, V. Ferlet-Cavrois, P. Paillet, and E. W. Blackmore |
| | 3.2.11 | 3016 -3024 | Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs | J. H. Warner, C. Inguimbert, M. E. Twigg, S. R. Messenger, R. J. Walters, M. J. Romero, and G. P. Summers |
| | 3.2.12 | 3461 -3466 | Design Implications of Single Event Transients in a Commercial 45 nm SOI Device Technology | AJ Kleinosowski, E. H. Cannon, J. A. Pellish, P. Oldiges, and L. Wissel |
| RHBD | 3.2.13 | 3456 -3460 | Quantifying the Effect of Guard Rings and Guard Drains in Mitigating Charge Collection and Charge Spread | B. Narasimham, J. W. Gambles, R. L. Shuler, B. L. Bhuva, and L. W. Massengill |
| | 3.2.14 | 3447 -3455 | A Probabilistic Analysis Technique Applied to a Radiation- Hardened-by-Design Voltage Controlled Oscillator for Mixed- Signal Phase-Locked Loops | T. D. Loveless, L. W. Massengill, B. L. Bhuva, W. T. Holman, M. C. Casey, R. A. Reed, S. A. Nation, D. McMorrow, and J. S. Melinger |

表 3.1.4-1 調查文献一覧

3.1.4.3 SEU 関連の発表

表 3.1.4-2 に SEU 関連の発表概要をまとめる。

| 恚 | 314-9 | SEII | 関連の発表概要 |
|----|---------|------|---------|
| 11 | 0.1.4 4 | SEU | |

| 項番 | 概要 |
|--|--|
| 3.2.1 高エネル ギー陽子に よる原子核生 成の直接的 証拠 | ■陽子による反跳原子核がフラッシュメモリのV _{TH} 分布にテールが生じることを確認した。 ■シミュレーションツールを開発し、498MeVの陽子ビームによるTID/SEEの影響を調べた結果、そ のモデルは実験データを定性的には説明できるが、定量的にはうまく説明できなかった。 |
| 3.2.2 地上におけ るソフトエ ラー率に対 するハフニ ウムとウラ ンの寄与に 関して | ■Hfはゲート酸化膜に利用され、放射性同位体によるSERへの影響は0.27FIT/Mbit未満であり、 ゲート酸化膜体積が小さいためにSERへの影響は殆ど無い。 ■0.16ppb程度のU汚染量があれば、地上レベルの環境中性子のSERに対する影響とほぼ同等で ある。これは200-10000FIT/Mbitに対応する。これを130nm CMOS SRAMに適用して考えると、 SERの文献値から推定して、Uの汚染量は0.4-0.6ppbである。 |

Cellere らは表 3.1.4・3 に示す 3 種類の NAND 型フラッシュメモリに同じく表 3.1.4・3 に示す重イ オン、陽子および 60 Co から発生する y 線を照射し、フラッシュメモリの V_{TH} 分布の変化を調べた。そ の結果、 60 Co の y 線では照射量が 100krad(Si)まで、図 3.1.4・1(a)に示すように V_{TH} のシフトが観 測された(TID 効果)。一方、重イオン照射では、図 3.1.4・1(b)に示すように V_{TH} のシフトの LET の 大きな重いイオンほど大きいテール部分が発生することが分かった。LET の小さい陽子ビームでも 図 3.1.4・1(c)に示すように類似した V_{TH} のテールが現れており、陽子については核破砕反応の結果 発生する 2 次イオンが V_{TH} テールの原因と考えた。

表 3.1.4-3 DUT と照射条件(3 段目は陽子)

| | | | T1 | T2 | T3 | |
|-----|------------------------|-----------------------|--------------------------|-----------------------|----------------------------|----------------|
| | Device architecture | | | NAND | NAND | |
| | Tunnel Oxide thickness | | | ~8.5nm | ~8.5nm | |
| | Equivalent ONC |) thickness | ~15nm | ~15nm | ~15nm | |
| | Normalized I | G area | 1 | 0.43 | 0.37 | |
| | Cells per b | lock | 1Mbit | 1Mbit | 1Mbit | |
| | | | | | | |
| Ion | Energy (Me | V) LE | T in SiO ₂ (I | MeVcm ² /n | ng) Ran | ige in Si (μm) |
| Ne | 186 | | 3. | 8 | | 150.0 |
| Ar | 372 | | 10 | .7 | | 117.8 |
| Fe | 523 | | 19 | .5 | | 99.2 |
| Kr | 768 | | 32 | .1 | | 96.5 |
| Xe | 1217 | | 56 | .4 | | 97.3 |
| | Energy | LET in a | Si rang | ge in Si | fluence | |
| | (MeV) | (MeVcm ² / | mg) (1 | mm) | (protons/cm ²) | |
| | 34.5 | 0.013 | | 7 | 1.44 x 10 ¹¹ | |
| | 105 | 0.006 | | 45 | 3.29 x 10 ¹¹ | |
| | 498 | 0.002 | | 615 | 8.52 x 10 ¹¹ | |



図 3.1.4-1 (a) ⁶⁰Coγ線照射による Vth 分布の変化(TID) (b) 重イオン照射による Vth 変化(TID+SEE) (c) 陽子照射による Vth 変化(TID+SEE)

そこで、タングステンをターゲットとし、GEANT4 で核反応解析を実施し、発生する 2 次イオンの LET スペクトルを求めると図 3.1.4-2 のようになり、陽子の核破砕反応により、重イオン実験相当の LET を持つ 2 次イオンが発生することがわかった。この知見に基づいて 2 次イオンの SEE (Single Event Effect) モデルを構築し、498MeV の陽子ビームによる TID/SEE の影響を調べた結果、そ のモデルは図 3.1.4-3 に示すように実験データを定性的には説明できるが、定量的にはうまく説明で きなかった。



Wrobel らは、High-k ゲート酸化膜に使用される HfO₂ 中の放射性 Hf とパッケージ材料中の不純物である U から放射される α 線の影響を評価した。放射性 Hf については諸特性値を表 3.1.4-4 にまとめるように、この α 線放出率では 0.27FIT/Mbit 程度にしかならず無視できると結論づけた。

図 3.1.4-4 は U238(半減期 4.468×10⁹年)1ppb が 4.2MeV の飛程 20um の球内にあり、そこ から発生するアルファ線が 1 ビットの 130nm メモリを通過するとして、RPP(Rectangular Parallel Piped)モデルでモンテカルロ計算して求めた SER を示す。

図 3.1.4-5 に U238 汚染量と SER の関係について RPP モデルのモンテカルロ計算の結果を 示した。破線内が市販デバイスの宇宙線中性子に対する実力値で、これから、α線 SER が宇 宙線中性子と同等レベルにある場合の汚染量は 0.16ppb 前後と推定した。これは 200-10000FIT/Mbitに相当する。これを130nm CMOS SRAMに適用して考えると、SERの文献 値から推定して、Uの汚染量は 0.4-0.6ppb に見積もられる。

表 3.1.4-4 Hf 酸化物 (ゲート酸化膜)の諸量

| Molar Mass | 210.49 g/mol |
|---------------------------|------------------------|
| Volumic Mass | 9.68 g/cm ³ |
| Atomic density of hafnium | 2.77x1022 atoms/cm3 |
| Alpha emitter density | 4.49x1019 atoms/cm3 |



図 3.1.4-4 U238(半減期 4.468×10⁹年) 1ppb が 4.2MeVの飛程 20um の球内にあり、 そこから発生する α 線が 1ビットの 130nm メモリを通過するとして、RPP(Rectangular Parallel Piped)モデルでモンテカルロ計算して求めた SER



図 3.1.4-5 U238 汚染とSER の関係。破線内が市販デバイスの宇宙線中性子に対する 実力値。これから、α線 SER が宇宙線中性子と同等レベルにある場合の汚染量は 0.1ppb 前後と推定。

3.1.4.4 SET 関連の発表

表 3.1.4-5 に SET 関連の発表概要をまとめる

| 衣 3.1.4-5 SET 関理の 金衣 慨 | 表 | 3.1.4-5 | SET | 関連の発表概要 |
|------------------------|---|---------|-----|---------|
|------------------------|---|---------|-----|---------|

| 項番 | 概要 |
|---|--|
| 3.2.3 順序回路に おけるSET パルス幅拡 大によるSE 発生確率の 増加 | ●先端技術で素子が小さくなると、1つのイオン衝突で、複数素子で電荷収集が起こるようになった。 90-nm CMOSの実験結果によれば、標準の素子間隔では間隔を広げたものに比較して記憶ノードの反転が起き易い。間隔が狭いと複数ノードで電荷が収集され、それが集まって幅の広いSET(E-SET)が発生して反転を起こすためである。 ■IBM 90-nm CMOSの4ビット全加算器についてミックストモードシミレーションをした結果、E-SETのパルス幅は75%も増加することが判った。今後のSETパルス幅を測定する回路や実験は、電荷収集が単一ノードによるものか複数ノードによるものかを切り分けられるようにしなければならない。 ■将来のRHBDでは、E-SETの確率を減少させる様に、自動レイアウト設計するアルゴリズムの研究が大切である。 |
| 3.2.4 SOIおよび Bulkイン バータ チェーンの SET伝搬に よるパルス 幅増大効果 | ■Bulk, SOIの両インバータチェーンにおいてPIPB効果が発生し、その原因はボディ浮遊効果であることを示した。 ■長いチェーンにおける出力SETパルス幅は、イオン照射のLETに起因した程度の初期SETパルス幅の変動には依存せず、負荷容量、デバイスデザイン、パルス間隔、電源電圧に大きく依存することを示した。 ■ボディ浮遊効果を考慮しない一般的な回路シミュレーションでは、SET感受性を過小評価する |

Narasimham らは先端デバイスでは微細化により、1 つのイオン衝突で、複数のノードで電荷収 集が起こるようになことに着目し、順序回路における SET パルス幅が拡大することにより SE 発生確 率が増加することを示した。図 3.1.4-6 は隣接する二つの pMOS について TCAD シミュレーション を実行し、一方の(Primary) pMOS に電荷を発生させた場合、近接する pMOS に発生する SET のパルス幅を計算したもので、ノードの距離が近い場合、隣接する(secondary) pMOS に発生する SET パルス幅は primary と同程度であるが、1um ほど離れると、secondary に発生する SET パル ス幅は激減することがわかる。





図 3.1.4-7 全加算器の回路構成とレイアウト図 (隣接 NAND1 と NAND8)に同時にパルスをい 入れるとパルス幅が 430→525ps になる。(TCAD Sim)

IBM 90-nm CMOS の図 3.1.4-7 の上部に回路図を示す 4 ビット全加算器では実際のレイアウト は同図下部に示すように NAND1 と NAND8 は隣接しており、その二つの NAND に同時にパルス を入れるミックストモードシミレーションの結果、E-SET のパルス幅は 430ps から 525ps に増加する ことが分かった。

同じデータを保有する二つのノードが片側だけ反転しても正しい状態に復帰しソフトエラーイ ミューンとされてきた DICE では、微細化により、二つのノードが同時に反転するケースの増加が懸 念されている。図 3.1.4-8 は、二つのノード間隔を 0.5um から 2um に広げた場合(Increased spacing)、SET 断面積が一桁改善されるイオン照射実験の結果を示したものである。



図 3.1.4-8 イオン照射実験(ノード間隔を 0.5um→2um 以上にした 90nm DICE(回路、レイアウト図なし)SET 断面積で一桁改善

Cavrois らは長いインバータチェーンで発生した SET パルスの幅が伝搬中に拡大する現象 (PIPB) に着目している。表 3.1.4・6 は供試した 130nm インバータチェーンの特性値をまとめたもの で、Bulk では 1008 個のインバータチェーンを 20 段直列接続したものを、SOI では 800 個のイン バータを接続したものを用い、図 3.1.4・8 に示すように、あるインバータにレーザパルスを入射し、発 生するパルス波形の変化をオシロスコープで測定した。

表 3.1.4-6 130nm インバータ DUT とチェーン条件

| Inverter chains | Number of inverters | Technology | NMOS width | PMOS width |
|--------------------|------------------------|------------|---------------|---------------|
| B1 | 20×1008 | Bulk | | |
| Inv1 | 800 | SOI | 0.3µm | 0.6µm |
| Inv2 | 800 | SOI | 0.9µm | 1.8µm |
| Inv3 | 800 | SOI | 1.8µm | 3.6µm |
| Inv4 | 800 | SOI | 2.7µm | 5.4µm |





図 3.1.4-10 は SET パルス幅の増加がインバータの数に伴って線形的に変化し、動作電圧が低い ほど増加の度合も大きいことを示す。

図 3.1.4-11 に SOI の場合も PIPB 効果が観測された実例を示す。



図 3.1.4-11 SOI (Inv3)の SET パルス幅の増加

3.1.4.5 TID 関連の発表

表 3.1.4-7 に TID 関連の発表概要をまとめる

| 表 | 31 | 4-7 | TID | 関連の | 発表 | 概要 |
|---|------|-------|-----|-----|-------|---------|
| 1 | 0. L | · T / | | | 11-11 | 1411 54 |

| 項番 | 概要 |
|--|--|
| 2.5 包囲型レイアウトの130nm NMOSFETのX線 照射およびホット キャリアストレス 下における特性 劣化 | CHC (Channel Hot Carrier)ストレス下におけるELT(包囲型レイアウトトランジスタ)の特性劣化は、 OLT (開放型レイアウトトランジスタ)に比べ時間のべき乗が大きくなる。 ストレス時間が短い間OLTは時間のべき乗は小さいにもかかわらず、ELTに対して劣化が大きい。これは異なった幾何学形状による界面準位生成後の水素の拡散の相違によることをTCADシミュレーションで確認した。 ELTにおける照射とHCダメージの相互作用は、5.2nmゲート酸化膜のほうが2.2nmのゲート酸化膜に比べて大きい CHCダメージの温度依存は事前の照射には影響されないが、以降の高温アニールでは照射、未照射で異なった結果を生じさせる。 |
| 3.2.6 強誘電体不揮発 性メモリに対する 電離放射線影響 と照射温度の依 存 | ■FRAMをX線(10keV)、陽子線(10MeV)で照射。Stack@"1/0"(SA)の発生を確認。温度が高いほど低 |
| 3.2.7 薄膜SOI型SiGe HBTにおけるトー タルドーズおよび 重イオン電荷収集 | SOI基板SiGe(STマイクロ社のHBT)のTID, SEU耐性を63MeV陽子により、2Mrad(SiO₂)までバルクと比較しながら評価した。 AC特性を4.2Mrad(SiO₂)の照射量でSOIとバルク型について比較。照射による遮断周波数、最大発振周波数とも増加。 電流利得(I_e/I_b)が陽子照射で低下。熱抵抗はバルクでは照射により変化しないが、SOIでは増加する。 TCADモデルで現象再現、解析。 |
| 3.2.8 放射線照射され たFD-SOIデパイ スにおけるバンド 間トンネリング誘 起ドレインリーク 電流のゲート長 及びドレインパイ アス依存性 | ■X線照射によるFD-SOIオフリーク電流(GIDL)増大のゲート長、ドレインバイアス依存性を評価し、 BBT (Band-to-Band Tunneling)モデルの妥当性を検証。 ■ゲートとドレインのオーバラップ部分でV _d が高くなると負側のV _{gs} 領域でBBTによって発生したキャリ アが増加、リーク電流成分が増えて、V _{th} は負側にシフトする。 ■ゲート長が大きくなると、BBTで発生したキャリアは直接トンネル効果でゲートに引き抜かれるため に、ボデイの電位が高くならない⇒リーク電流が抑制される。 |
| 3.2.9 MOSデバイスの 放射線劣化にお ける水分および 水素さらしの影響 と長期劣化への 提言 | ■TrとIC(ゲート長2,3um)をHAST処理(130°C,湿度85%,1~3週間)によって水蒸気にさらした後、放射線照射(10keV X線, ^{oo} Co γ線)を実施した結果、p-ch Trにおいてファンクション不良に至る、界面および酸化膜中トラップにお起因する極めて大きな電圧シフトが発生することを確認した。 ■p-ch Trで大きな電圧シフトを示した理由は、n-ch Trではソース、ドレインの周囲にPSGが形成され、ゲート酸化膜への水分の侵入が防止されること、およびp-ch Trと比較してn-ch Trではoxide-trapの形成が少ないためと考えられる。 |
| 3.2.10 プロトンおよび中 性子照射による 加速的な劣化と 耐量保証試験 | ■トレンチパワーMOSとプレーナパワーMOSの陽子照射後のI-V特性の変化は、放射線吸収量から 想定される量よりはるかに大きい。中性子と同フルエンスで同等の結果。 ■NeイオンのI-V特性シフトデータとの照合などから、陽子による核破砕反応起因と結論。 |
| 3.2.11 プロトンとシリコン イオン照射による GaAs中における 欠陥形成 | ■TEMとEBICの結果から、高エネルギープロトン(10MeV以上)と22MeVのシリコンイオンによって発生する欠陥は、低いエネルギーのプロトンで作られる欠陥と電気的構造的に異なることが明確になった。 ■反跳スペクトルの解析から、EBICとTEM画像から結晶の乱れた領域が観測されるのは30MeV以上の陽子の場合、反跳エネルギー0.22MeV以上のものが支配的になる。 |

Silvesti らは、ドレインの周囲をソースが囲む、図 3.1.4-12 のような包囲型トランジスタについて (ELT(Enclosed Layout Transistor),通常トランジスタは OLT(Open Layout Transistor)と称す る X 線照射(TID)と CHC(Channel Hot Carrier)の相関を調べた。ELT は core ELT(ゲート酸化 膜厚 2.2nm)とI/O ELT ゲート酸化膜厚 5.2nm について調べた。 図 3.1.4-13 は I/O ELT について TID によって Vth シフトが発生した後、CHC によりさらに Vth がシフトする様子を示している。



図 3.1.4-14 は I/OELT について TID の程度の影響を Vth シフト量と CHC ストレス時間との相 関について見たもので、CHC ストレス時間が長いと TID の影響が相殺され、時間の 0.4 乗に比例し てシフト量が増加する様子を示している。図 3.1.4-15 は core ELT について同様の相関を示したも のであるが、TID の影響は小さく、OLT よりは ELT の方がシフト量は小さいものの、傾きは大きいこ とを示している。どちらの ELT も、300℃ 2 時間のアニールでは回復しない。



図 3.1.4-16 は Idsの変動量を CHC ストレス時間 1 万秒について温度の関数として示したもので I/O ELT では TID の効果が顕著であるが、core ELT では TID の効果はほとんど無い。 図 3.1.4-17 は ELT の衝突イオン化係数の TCAD シミュレーション結果を示したもので、ELT の コーナーカット部分が CHC ストレスによる劣化におおきく影響していることが分かった。



Zanata らは、強誘電体メモリへの X 線と陽子線の照射効果とその温度依存性を検討した。図 3.1.4-18 に X 線(10keV)、陽子照射(5MeV)の照射結果を示すが、いずれの場合も stack@ "1"(SA1), "0"(SA0)が観測された。温度が高いほど SA の発生も早いが Dose に閾値がある。後述 の物理モデル(実線)は実測値とよく一致した。

図 3.1.4-19 に、照射量に比例して分極値がシフトするモデルを概念的に示す。分散 σ、中央値 PRmをもつ分極値の分布が閾値 Pfail にかかる(照射量に閾値がある理由)とかかった部分が SAと なる。



いずれの場合も stack@"1"(SA1)."0"(SA0)が 観測された。温度が高いほど SA の発生も早い が Dose に閾値がある。物理モデル(実線)は 実測値とよく一致した。



י_{ווא}⊃

散σ、中央値 PR,mをもつ分極値の分布が閾値 Pfail にかかる(照射量に閾値がある理由)とかかった部分 がSAとなる。

図 3.1.4-20 に遮蔽と電力負荷の有無による SA の FBM の相違を示す。電力非負荷では照射の 位置のみにランダムに SA が発生。負荷状態では WL 方向(BL 方向も全面照射では発生)に SA が伝搬する。図 3.1.4-21 にモデル解析例を示す。H は PZT 層 (厚さ 200nm) 中にある自由正孔の 数。照射中は、電極から逃げる正孔が多い(移動度大)ので、一定値 Hoに漸近する。N は PZT 中 の欠陥数で時間と共に増加する。QはPZT層と電極層にトラップされた正電荷でNと同じ傾きで増加する。





図 3.1.4-21 モデル解析例。H:PZT 層(厚さ 200nm)中にある自由正孔の数。照射中は、電 極から逃げる正孔が多い(移動度大)ので、一定 値 H₀に漸近する。N:PZT 層中の欠陥数。時間 と共に増加。Q:PZT 層と電極層にトラップされた 正電荷。Nと同じ傾きで増加。

図3.1.4-20 遮蔽と電力負荷の有無によるFBMの相 違。電力非負荷では照射の位置のみにランダムにSA が発生。負荷状態ではWL方向(BL方向も全面照射 では発生)にSAが伝搬する。

Bellini らは SOI 基板 SiGe HBT の TID および電荷収集挙動を検討した。

図 3.1.4-22 は FDSOI 基板の SiGe HBT 断面図を示したもので、右下に新規 C_BE^BC (C:Collector, B:Base, E:Emittor) レイアウト構造を示す。130nm プロセス、Si 層厚 150nm、 BOX 厚 400nm。エミッタ下に垂直方向/BOX 界面に水平な電流が流れる構造となる。基板電圧 Vs で BOX 界面の電子濃度を制御する。Lc 最短 0.4um。

図 3.1.4-23 に順方向ガンメルプロットを示す。IB(下側の線群)が VBE<0.6V で増加=電流利得 減少)図 3.1.4-24 は照射によりfr(遮断周波数)、fmax(最大発振周波数)とも増加する様子を示す図 である。図 3.1.4-25 に SOI HBT の熱抵抗 Rthの照射による増加を示す。



図 3.1.4-22 FDSOI 基板の SiGe HBT 新 規 C_BE^BC レイアウト構造 130nm プロセ ス、Si 層 150nm、BOX 400nm エミッタ 下に垂直方向/BOX 界面に水平な電流 基 板電圧 Vs で BOX 界面の電子濃度を制御 Lc 最短 0.4um



図 3.1.4-23 順方向ガンメルプロット。IB(下側の 線群)が VBE<0.6V で増加 =電流利得減少



図 3.1.4-26 はエミッタ中心へのイオン打ち込み時の TCAD モデルと電力密度分布の解析値を示す図で、トップの EB 接合部で Vs にかかわらず発熱が大きい。Vs-20V では界面に電子が流れるため、ここでも発熱が大きくなる。

図 3.1.4-27 はイオン打ち込み時の電流計算値で I。が負側に振れることが特徴である。



図 3.1.4-26 エミッタ中心へのイオン打ち込み 時の TCAD モデルと電力密度分布の解析値。 トップの EB 接合部で発熱大。Vs-20V では界 面に電子が流れるため、発熱大。



図 3.1.4-27 イオン打ち込み時の電流計算値。 I。が負側に振れることが特徴。

Mamouniらは、FD-SOI デバイスの GIDL 電流のゲート長、バイアス依存性を調べた。 図 3.1.4-28 にドレイン電流が照射によって増加する様子を示す:バックチャネルのリーク電流起因 とされるが十分説明できるモデルは無い。図 3.1.4-29 は著者らの提案モデルを示すもので、 ①BBT(Band-to-Band Tunneling)により生成された正孔がボディに向かって流れる②ソースボ ディ障壁が下がることによって電位がボディに逆流③BOX 中に正孔捕獲・バックチャネルリークが発 生という3 ステップを有する。



図 3.1.4-28 トレイン電流の照射による増加: バックチャネルのリーク電流起因とされるが十 分説明できるモデルなし



図 3.1.4-29 提案モデル①BBT(Band-to-Band Tunneling) により生成された正孔がボディに向 かって流れる②ソースボディ障壁が下がることに よって電位がボディに逆流③BOX 中に正孔捕 獲・バックチャネルリークが発生

図 3.1.4-30 は DUT の構造を示す図で、全ての測定では、ボディ(Bd) を浮かしている。ゲート酸 化膜 2.0nm/ゲート幅 0.15um/メサ型素子分離を採用。図 3.1.4-31 は照射により、Ids が増加(ドレ インバイアス高いほど低 Vgs で顕著)し、Vth が減少する様子を示す。ゲート長 0.5um。ゲートドレイン オーバーラップ部での高電界による BBT 現象。



図 3.1.4-30 DUT:全ての測定は、ボディ (Bd) を浮かした。ゲート酸化膜 2.0nm/ ゲート幅 0.15um/メサ型 素子分離



図 3.1.4-31 照射により、I_{ds} 増加(ドレインバイアス高 いほど低 Vgs で顕著)、Vth 減少。ゲート長 0.5um。 ゲートドレインオーバーラップ部での高電界による BBT 現象。



TCAD によりシミュレーションした結果、以下のようにメカニズムを解明した:

- ① Box 中の捕獲電荷が多いほど Vth は負側にシフト
- ② Va高くなるほどBBTによるキャリア発生率が高くなり、ボディの電位が高く浮き、リーク電流成分が増加する。
- ③ ゲート幅が小さいと $I_s=I_d>I_g$ 。ゲート幅が大きいと BBT で発生したゲート酸化膜をト ネリングしてゲートに流れ込む($I_d=I_g>I_s$)。

Scwank らは MOS デバイスの放射線劣化における水分の影響を検討した。

表 3.1.4-8 に DUT の諸条件をまとめる(ゲート長:上から順に 3, 2, 3um)。図 3.1.4-33 4/3um N チャネルトランジスタの ΔV_{it}(インター 表 3.1.4-8 DUT(ゲート長:上から順に 3, 2, 3um)

フェーストラップ電荷起因の電圧シフト), ΔVot(酸化膜中トラップ電荷起因の電圧シフト)の照射(500krad

Technology Controlling Oxide Passivation HAST Exposure H₂ Exposure $4/3 \ \mu m$ Gate Doped Oxide Yes Yes CMOS IIIA Field Doped Oxide Yes No OKI Field Nitride Yes No

(SiO₂)まで)、アニール特性。HAST 条件:130℃、湿度 85%: HAST の影響は見えない

図 3.1.4-34 は p チャネルトランジスタの ΔV_{it} (ΔV_{ot} の照射 (500krad (SiO₂)まで)、アニール特性を示 す。HAST の有無で大きく特性が変化している。図 3.1.4-35 は 4/3um テクノロジーの n チャネル(上)、 p チャネル(下)の 1/f ノイズスペクトルを示すもので。 HAST 有無、照射(500krad(SiO₂))有無の影響を 示す。N チャネルでは照射の影響のみ現れるが、P チャネルではどちらも影響が大きい。Sv は SiO₂ 中 の O 空孔と相関があり、P チャネルは HAST だけで も O 空孔が増加することを示唆している。



図 3.1.4-33 4/3um N チャネルトランジスタ の ΔV_{it}(インターフェーストラップ電荷起因 の電圧シフト), ΔV_{ot}(酸化膜中トラップ電荷 起 因 の 電 圧 シフト) の 照 射 (500krad (SiO₂)まで)、アニール特性。HAST 条件: 130℃、湿度 85%: HAST の影響は見え ない



図 3.1.4-34 p チャネルトランジスタの ΔV_{it} (ΔV_{ot} の照射(500krad(SiO₂)まで)、アニール 特性。HAST の有無で大きく特性変化



図 3.1.4-35 4/3 um n チャネル(上)、p チャネ ル(下)の 1/f ノイズスペクトル。HAST 有無、照 射(500krad(SiO₂))有無の影響。N チャネルで は照射の影響のみ。P チャネルではどちらも影 響大。Sv は SiO₂中の O 空孔と相関がある。P チャネルは HAST だけでも O 空孔が増加

Shaneyfelt らは陽子と中性子照射によるパワーMOS の劣化を検討した。



図3.1.4-36. DUT:トレンチパワーMOS (IRF370ZCS,RF3711ZCS,FDD068AN03L, FDD6670A)、イオン通過によりホールが酸化 膜に蓄積され、Vthがシフトするプレーナパワー MOS(IRF510PBF,IRF3711PBF)。



図 3.1.4-37 FDD068AN03L の 陽 子 照 射 後 (34.5MeV, Vgs=15V, 他端子はすべて接地)の I-V 特性。陽子の直接イオン化で予測されるシフト(○領 域)よりはるかに大きいコブができる。

図 3.1.4-36 に DUT (トレンチパワーMOS (IRF370ZCS, IRF3711ZCS, FDD068AN03L, FDD6670A)、ゲート酸化膜の膜内イオン通過によりホールが酸化膜に蓄積され、Vth がシフトする) プレーナパワー MOS (IRF510PBF, IRF3711PBF)を概念的に示す。図 3.1.4-37 は FDD068AN03L の陽子照射後(34.5MeV, Vgs=15V, 他端子はすべて接地)の I-V 特性を示すも ので、陽子の直接イオン化で予測されるシフト(〇領域)よりはるかに大きいコブができる。

図 3.1.4-38 は FDD068AN03L の γ 線照射後 (Vgs=15V, 他端子はすべて接地)の I-V 特性を 示すもので、34.5MeV、φ=5×10⁹/cm²の陽子の照射量は 1krad(SiO₂)なので γ 線よりはるかにシフ ト量が大きい。図 3.1.4-39 は FDD068AN03L の陽子照射後 (Vgs=15V, 他端子はすべて接地)の Vst シフトを示す。



図 3.1.4-40 は IRF3711PBF の陽子照射後 (70MeV, Vgs=15V, 他端子はすべて接地)の I-V 特性を示すもので Ids が大きく増加する。 プレーナ型でも同様の結果となる。

図 3.1.4-41 は核破砕反応で発生が想定される Ne イオンによる照射実験と陽子照射実験の結果 が一致。すなわち、陽子照射による Vth シフトは陽子の直接効果でなく、核破砕反応の結果生成す る2 次イオンが原因と考えられる。



図 3.1.4-40 IRF3711PBF の陽子照射後 (70MeV, Vgs=15V, 他端子はすべて接地)の I-V 特性。プレーナ型でも同様の結果



図 3.1.4-41 核破砕反応で発生が想定される Ne 照射実験と陽子照射実験の結果が一致

Warner らは GaAs 中の陽子、Siイオン照射による欠陥生成のメカニズムを検討した。

NIEL は 10MeV 以下の陽子に対しては変位損傷の予測に使えるが、10MeV 以上では予測が はずれる⇒結晶中に再結合中心が形成され、これは核反応だけでなく反跳イオンにも起因すること が、Si イオン照射実験で示された。EBIC と TEM を用いてより詳細に解析する。

図 3.1.4-42 は EBIC(Electron Beam Induced Current、JOEL 5800, 10keV, 250pA)を用い て測定した p+nGaAS 太陽電池中に発生した欠陥を示す。(a)-(c)は 10MeV 陽子でフルエンスがそ れぞれ 10¹², 10¹³, 4×10¹³/cm²。(d)は 227MeV 陽子照射、2.5×10¹³/cm²。図 3.1.4-43 は弱ビーム g-3g 暗視野法で取得した顕微鏡写真で、明るい点(丸囲み)が照射(227MeV 陽子, 1×10¹⁴/cm²) 誘起欠陥(強い歪みを持つ)。2, 4MeV の陽子では同様の欠陥は発生しなかった



10 μm

図 3.1.4-42 EBIC (Electron Beam Induced Current, JOEL 5800, 10keV, 250pA)を用いて測 定した p+nGaAS 太陽電池中に発生した欠陥((a)-(c) は 10MeV 陽子でフルエンスがそれぞれ 10¹², 10¹³, 4×10¹³/cm²。(d)は 227MeV 陽子照射、 2.5×10¹³/cm²。 暗い点は活性な再結合中心。227MeV の写真は 10MeV より暗く写る(より活性)。

(c)

図 3.1.4-44 は弱ビーム g-3g 暗視野法で取得した顕微鏡写真で、明るい点(丸囲み)が照射 (22MeV Si, 2×10⁹/cm²)誘起欠陥で陽子照射の場合と同様の欠陥の生成が確認できた。深さ7um まで欠陥が発生しており、この深さは Si イオンの飛程と一致する。図 3.1.4-45 は HR(高分解能) TEM の顕微鏡写真で、(丸囲みの暗い部分)が照射(227MeV 陽子, 1×10¹⁴/cm²)誘起欠陥。結晶 性は保たれている。



図 3.1.4-44 弱ビーム g-3g 暗視野法:明る い 点 (丸 囲 み)が 照 射 (22MeVSi, 2×10⁹/cm²)誘起欠陥で陽子照射の場合と 同様。深さ 7um まで欠陥が発生しており、 Si イオンの飛程と一致



図 3.1.4-45 HRTEM: (丸囲みの暗い部分)が 照射(27MeV 陽子, 1×10¹⁴/cm²) 誘起欠陥。 結晶性は保たれている。

図 3.1.4-46 は 227MeV 陽子に対して GEANT4 で計算した 2 次イオンスペクトルと、単純なクー ロン散乱によって発生する反跳イオンのスペクトル(黒実線)を示す。図 3.1.4-47 は NIEL へ寄与す る割合の累積計算値を示したもので、30MeV 以上の陽子では反跳エネルギー0.2MeV 以上で累 積値の傾きが急峻にあり、ここから反跳イオンの寄与が支配的になることが分かる。



図 3.1.4-46 227MeV 陽子に対して GEANT4 で 計算した 2 次イオンスペクトルと、単純なクーロン 散乱によって発生する反跳イオンのスペクトル



算値。30MeV以上の陽子では0.2MeV以上の反跳イオンの寄与が支配的になる

3.1.4.6 RHBD 関連の発表

表 3.1.4-9 に RHBD 関連の発表概要をまとめる

| 項番 | 概要 |
|---|---|
| 3.2.12 45nmSOIデバ イスにおける SETの回路へ の影響 | ■45nm SOI FFで、α線、高エネルギーのSET耐性を評価。 ■TCADの解析ではS/Dよりもボデイへの入射でSET発生。 ■148MeV陽子でD-F/FとDICE型F/Fを照射。クロック系からのSETでD-F/Fの0.7倍エラー発生。 ■F/F内部からクロックバッファを外に出して共有化し、F/Fの臨界電荷量を高める対策を提案。 |
| 3.2.13 電荷収集およ び電荷拡散を 軽減に関する ガードリング・ ガードドレイン の効果の定 量的評価 | ■微細化により1個のイオンが複数のノードをフロップさせるため、隣接するノードに電荷が分散し ないようにする工夫(ガードリング(各Trをn+のリングで包囲)、ガードドレイン(各Trをp+のリング で包囲)が必要。 ■130nmデバイスのSET幅を測定。上限はガードリングで減少。 ■180nmデバイスではSET断面席を測定。ガードリングで改善。 |
| 3.2.14 ミックズド・シ グナルフェイ ズ・ロック・ ループ 広射 注 単 の 確 主 的 解 析 に つ の で た で に の の た で に 、 の の た ・ シ の ク ・ ループ に お い の つ た れ に 、 の の た ・ に 、 の の た ・ に 、 の の た ・ に 、 の の た ・ に 、 の の た ・ に 、 の の た ・ に し 、 の た で に う に う に 前 絵 金 的 解 血 、 の た 電 に 制 金 的 解 血 の の 在 ・ 間 の 宿 本 の の 在 に て ま へ の の 確 た て 間 本 の 的 解 二 の の 確 に て ま へ の の 確 正 う の 面 で 手 に る の の 確 … て し の る で 、 こ こ の の で 、 て し 、 の で で 、 て ろ の で の で で 、 の で の で の で の で で 、 て ろ の で の で の で の で の こ の の の て の て の で の の で の こ の の 、 、 の の の 、 の の 、 の の の の 、 の ろ 、 の の の の の の の の の の の て 、 の の の の の の の の の の の の の | ■PLLのSET特性に対する新しい確率的解析方法を提案し、実験確認により各回路ノードで発生したSETを効果的に区別できる■ ■RHBDのVCOは、面積と電力は増加するが、SETによる出力信号の位相変動を最大限(通常の電源ノイズで生じる位相変動に収まる程度)にまで抑制でき、更に、電源ノイズやデバイス特性ばらつきに起因する位相ジッタも低減できる |

Kleinosowski らは 45nmSOI F/F のクロック系からの SET 対策を検討した。

図 3.4.4-48 は 45nmSOI プロセスで形成した DICE 型 F/F で構成した 4 ビットシフトレジ スタの SPICE 解析によって、b_clk_c から SET が入ると SEU 発生を予測した。図 3.1.4-49 は供試装置を示す構成図で、上が D-FF で構成された 4 ビットレジスタ、下が DICE-F/F で構成されたものである。



図 3.1.4-48 45nmSOI DICE 型 F/F 4ビットシフ トレジスタの SPICE 解析によって、b_clk_c から SET が入ると SEU 発生を予測

F/F で構成されたもの

148MeV 陽子で D-F/Fと DICE 型 F/F を照射した。表 3.1.4-10 に照射試験結果をまとめる。 クロック系からの SET で DICE 型 F/F は D-F/F の 0.7 倍エラー発生。F/F 内部からクロックバッファ を外に出して共有化し、F/F の臨界電荷量を高める対策を提案。

表 3.1.4-10 照射試験結果(A.U.)

| Test | D-type FF | DICE-type FF |
|----------------|-----------|--------------|
| L1 All 0s | 1.0x | 0.0x |
| L1 All 1s | 1.0x | 0.0x |
| L1 0011 0 to 1 | 2.8x | 0.1x |
| L1 0011 1 to 0 | 1.7x | 0.7x |

Narasimham らは 130nm, 180nm 論理回路への電荷分配効果の抑制を検討した。

微細化により1個のイオンが複数のノードをフロップさせるため、隣接するノードに電荷が分散しないようにする工夫(ガードリング(各 Tr を n+のリングで包囲)、ガードドレイン{各 Tr を p+のリングで 包囲)が必要で、その効果を実験的に評価した。図 3.1.4-50 は 130nm の Target 回路(詳細不明) で発生した SET 幅を測定する装置を示す。

図 3.1.4-51 に 130nm の Target 回路で発生した SET 幅の測定結果を示す。横軸は照射したイオンの LET。従来のものと、ガードリングを施したものの平均値、上限値はガードリングで若干減少。

180nm デバイスでは図 3.1.4-52 に示す装置で、180nm の組み合わせ論理回路で発生した SET 頻度(SET 断面積)を測定した。ガードリングで若干の改善効果が見られた。





75

59

31

100

Loveless らは、フェイズ・ロック・ループ(PLL)における耐放射線強化した電圧制御発振器への確率的解析手法の適用について検討した。

図 3.1.4-54 は周波数シンセサイザの中での電圧制御発振器(VCO)の使用法を説明した図(本論 文中には含まれず)で、位相比較器で基準パルスとの周波数の差がパルスとして出力され、ループ フィルタでそのパルス数に比例した直流信号に変換される。VCO はその電位に応じてパルスを発生 する装置で、それが比較器にフィードバックすることにより VCD 出力が安定したクロックパルスとして 出力される。1/N 分周器を経由することにより、クロックパルスを N 倍化(シンセサイズ)できる。

図 3.1.4-55 は VCO の概要を示すもので奇数段のインバータから成り input bias stage の入力 電圧に応じた周波数の安定なパルスを出力する。



VCO の各部にイオンが入射することにより図 3.1.4-56 に示すように大きさの異なる位相ずれが発生するが図 3.1.4-57 のように 3 段の VCO を並列に配置して多数決回路を組むことにより、位相のずれたパルスを除去できる。図 3.1.4-58 は通常の VCO と RHBD VCO 位相ずれの累積頻度で比較したもので、RHVCO では、位相ずれしたパルスがほとんど発生していないことが分かる。





3.1.4.7 まとめ

- (1)新しい傾向
 ①電荷シェア(bipolar 効果含む)による MNU (Multi-Node Upset) に着目
 ②SET の長いゲートチェーンによる SET 幅の増大
 ③陽子による核破砕反応効果(NSREC2009 でさらに拡大)
- (2) 継続的に関心増大傾向
 ①PLL, クロック系の SET, SEU
 ②フラッシュメモリの Vth シフト
- (3) 地上のSEEに関しては発表の場がNSRECから、専門学会(IRPS, ICICDT, SELSE, DNS, IOLTS)にほぼ完全移行
- (4) 論文の選択に課題(質のばらつき大。悪いものは選択しない工夫が必要)

3.2 検討文献

3.2.1 高エネルギー陽子による二次反跳原子核生成の直接的証拠

| 文献名 | Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons | | | | |
|-----------|---|--|--|--|--|
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 2904-2913, Dec. 2008. | | | | |
| 著者名 | G. Cellere, A. Paccagnella, A. Visconti, S. Beltrami, J. Schwank, M. Shaneyfelt | | | | |
| | D. Lambert | , P. Paillet, V. Ferlet-Cavrois, J. Baggio, R. Harboe-Sørensen, E. | | | |
| | Blackmore, | A. Virtanen, and P. Fuochi | | | |
| 対象ディ | ヾイス | NAND 型フラッシュメモリ | | | |
| 実験設備 | 曲 | CNR-ISOF (Bologna, Italy), RADEF (Jyväskylä, Finland), | | | |
| | | TRIUMF (Vancouver, Canada) | | | |
| 照射線種及び | | ⁶⁰ Coγ線 (1.13, 1.33MeV) | | | |
| エネルギーの区分 | | イオンビーム (Ne:186MeV, Ar:372MeV, Fe:523MeV, Kr:768MeV, | | | |
| | | Xe:1217MeV) | | | |
| | | 陽子ビーム (34.5MeV, 105MeV, 498MeV) | | | |
| 単発現象又は | | 主に単発現象 | | | |
| 積算線量効果の区分 | | | | | |
| 実験又は理論の区分 | | 実験及び理論 | | | |

(1) 序論

最近のいくつかの例外を除いて、通常、陽子による直接的なイオン化が SEU の原因になることは なく、陽子が電子デバイス物質中で反跳した二次的な原子核が SEUを引き起こす。これまでの研究 では、非常に低い LET の粒子によって反跳された粒子による効果は、SRAM の異常な SEU/SEL 発生断面積の振る舞いとして間接的に観測されているが、電子デバイス内で反跳された粒子の LET についての直接的証拠は、今のところ存在しない。

本論文では、NAND 型フラッシュメモリを SEE 検出器として用いて、高エネルギー陽子による反 跳粒子が引き起こした SEE の直接的測定を行っている。また、GEANT4 による原子核反応シミュ レーション、デバイス記述モデルおよびフローティングゲート(FG) に保持された電荷情報の放射線

劣化モデルを組み合わせたツールにより、 陽子照射の効果を見積り、測定結果との 比較を行っている。

本研究では、表 3.2.1-1 に示す主流か ら最先端にわたる 3 種類のテクノロジー

(T1, T2, T3) により製造された NAND

型フラッシュメモリを用いた。これらの主な 違いは FG の面積であり、したがってコン トロールゲート(CG) と FG 間の電気容量 が異なる。一般にフラッシュメモリでは

(2) 実験とデバイス

表 3.2.1-1. 使用したデバイス

TABLE I USED DEVICES

| | T1 | T2 | T3 |
|--------------------------|--------|--------|--------|
| Device architecture | NAND | NAND | NAND |
| Tunnel Oxide thickness | ~8.5nm | ~8.5nm | ~8.5nm |
| Equivalent ONO thickness | ~15nm | ~15nm | ~15nm |
| Normalized FG area | 1 | 0.43 | 0.37 |
| Cells per block | 1Mbit | 1Mbit | 1Mbit |

表 3.2.1-2. 使用したイオンビーム

| TABLE II | | | | | |
|---------------|--|--|--|--|--|
| USED ION BEAM | | | | | |

| Ion | Energy (MeV) | LET in SiO ₂ (MeVcm ² /mg) | Range in Si (µm) |
|-----|--------------|--|------------------|
| Ne | 186 | 3.8 | 150.0 |
| Ar | 372 | 10.7 | 117.8 |
| Fe | 523 | 19.5 | 99.2 |
| Kr | 768 | 32.1 | 96.5 |
| Xe | 1217 | 56.4 | 97.3 |

データ保持が保証されないため、reference サンプルを用いて、データ保持時間が放射線照射時間 よりも十分に長いことを確認した。放射線照射は以下の施設で実施した。

- i) ⁶⁰Co y 線: gammacell source at CNR-ISOF, Bologna, Italy
- ii) イオンビーム: RADEF facility in Jyväskylä, Finland

(イオンビームの種類は、表3.2.1-2に記載)

iii) 陽子ビーム: Proton Irradiation

表 3.2.1-3. 使用した陽子ビーム

TABLE III USED PROTON BEAMS

Facility at TRIUMF, Vancouver, Canada (陽子ビームのエネルギー は、表3.2.1-3に記載)

| Energy (MeV) | LET in Si (MeVcm ² /mg) | range in Si (mm) | fluence (protons/cm ²) |
|-----------------|---------------------------------------|---------------------|---------------------------------------|
| 34.5 | 0.013 | 7 | 1.44 x 10 ¹¹ |
| 105 | 0.006 | 45 | 3.29 x 10 ¹¹ |
| 498 | 0.002 | 615 | 8.52 x 10 ¹¹ |
| | | | |

(3) 放射線効果検出器としてのFGメモリ

フラッシュメモリに対する放射線効果は、FG に蓄積された電荷がリークし、Logic-0 状態の電圧閾値 VTH が減少、Logic-1 との判別がつきにくくなる現象として現れる。TID および SEE の両方により 電荷リークが発生する。本論文ではこの現象をモデル化し、陽子による TID と SEE について実験と モデル予想を比較している。

(a) TID による FG の電荷リークモデル

FG に及ぼす TID 効果としては、誘電 体内での電荷生成、再結合、ドリフトと光 電効果による電子放出の 2 つがある。デ バイス T2 の全ビットに"0"(電荷が蓄積さ れた状態)を書き込んだ上で ⁶⁰Co y 線を 照射し、照射前後で各 FG の VTHを測定 (図 3.2.1-1)、このデータに基づき TID に よる電荷リークモデルを構築した。ドーズ 量に伴い VTH が負方向に変化し、その変 化量はトンネル酸化膜内の電場、つまり FG の蓄積電荷量(∝VTH) にも依存する。 照射後の VTH をドーズ量および初期 VTH.0 の関数として評価し、

VTH = f (VTH,0, dose) と求めた。(この評価方法は別論文にて 発表する予定である。)

(b) SEE による FG の電荷リークモデル
 FG に及ぼす SEE としては、イオン粒
 子が入射することにより、その飛跡に沿っ

10000000 10000000 cumulative number of FGs 1000000 Fresh 100000 3 krad(Si) 10000 10 krad(Si) 30 krad(Si) 1000 ---- 50 krad(Si) 100 - 100 krad(Si) 10 1 0 2 5 1 3 4 6 V_{TH}(V)

図3.2.1-1. V_{TH}分布に対する⁶⁰C γ 線照射の効果。 デバイスT2。



図3.2.1-2. VTH分布に対する異なるイオンビーム照射(同一のフルエンス)の効果。デバイスT2:イオン ビームは、表3.2.4-2に記載されているものである。

て導通状態となり、FG の電荷が CG/substrate に流れる現象として現れる。したがって、イオンが 当たった FG のみが影響を受ける。デバイス T2 の全ビットに"0"を書き込んだ上で 5 種類の LET のイオンビームを照射し、照射前後で各 FG の V_{TH}を測定(図 3.2.1-2)、このデータに基づき SEE による電荷リークモデルを構築した。V_{TH}の減少量はイオンの LET および SEE 前の V_{TH,0} に依存 する。イオンビーム照射後の V_{TH}を LET および V_{TH,0}の関数として評価し、

 $V_{TH} = g (V_{TH,0}, LET)$

と求めた。(この評価方法も別論文にて発表する予定である。)

FGではドーズ量やLETに伴いVTHが連続的に変化するため、放射線効果がアナログ情報として得られる。これは0か1のデジタル情報しか得られないSRAMと異なる点である。VTHを測定することにより、入射した(SEEを引き起こした)粒子のLETに関する情報が得られる。

また、NAND型のCGはタングステン混合物(W_xSi_y)が用いられ、FGのすぐ上にタングステン のメタル層が存在する。陽子・原子核反応は High-Z の物質で起こりやすいため、NAND 型フラッ シュの方が NOR 型よりも本論文の研究目的には適している。

(4) トータルドーズとSEEの陽子エネルギー依存性

デバイス T1 に 3 種類のエネルギーの陽子ビームをそれぞれ 30krad(Si)相当照射し、VTHの変化のエネルギー依存性を調べた(図 3.2.1-3)。TID によるVTHのシフトが見られ、これは陽子エネル

ギーには依存せずドーズ量のみで決まるも のである。さらに、陽子エネルギーが 498MeV のデータでは VTH 分布のテール 部に増大が見られ、これは陽子がフラッシュ メモリ内で反跳した二次原子核が起こした SEE によるものと考えられる。

デバイス T2 についても同様の試験を実施した結果、T1 と同じような結果が得られたが、T2 ではより多くの FG に影響が見られるとともに 105MeV の陽子ビームでも VTH テール部の増大が見られた(図 3.2.1-4)。 T2 の方が微細なプロセスであり、より小さなLET にも感度があるためと考えられる。陽子エネルギーの違いによる VTH テール部のビット数の違いは、照射したフルエンスの違いによるものではなく、陽子と物質の反応の物理によるものである。







図3.2.1-4. 異なるエネルギーの陽子の照射前 後のデバイスT2のVTH分布

(5) 高LETを持つ反跳粒子の生成

VTH分布のテール部が陽子と物質の反応により生成された反跳原子核に起因することが定性的には分かったが、定量的評価のためモデルを構築する。デバイスT2について、表3.2.1-3のエネルギーの陽子を照射した際に陽子・物質(Si, W)反応により生成される原子核数を、GEANT4を用いてLETの関数として計算した(図3.2.1-5)。タングステンのような重い原子核と陽子との反応では、 陽子エネルギーとともに高LETの反跳原子核生成の断面積が大きくなるため、高LET粒子生成に はHigh-Zの物質の存在が重要となる。 実際にFGのSEUを発生させるためには、 反跳原子核がFGを通過する必要がある が、デバイス中の物質の幾何学的配置を 考慮するとFGを通過するまでにLET分 布は大きく変化しないと考えられるため、 この計算ではこの効果を無視している。

陽子照射に伴う VTH の変化過程を以



(6) VTHの変化過程のモデル化

図3.2.1-5. 異なる入射陽子エネルギーに対して計算 したデバイスT2での反跳原子核数 v.s. LET分布。

下の手順でモデル化した。この計算で難しいのは、すべての反跳原子核が FG を通過するわけではない点、照射後の V_{TH} はドーズ量や LET のみならず照射前または反跳原子核が FG を通過する前の $V_{TH,0}$ に依存する点であるが、このモデルでは、これらの問題点を解決している。

$$V_{TH,1} = f(V_{TH,0}, d^*)$$

に変化している。(関数 fは第(3)項で評価済み)

ii) 時刻τ*において陽子が反跳原子核を生成し、
 それがある FG を通過したとする。
 この際、反跳原子核の LET は図 3.2.1-5 の分
 布に従うように決定する。このとき、その FG の
 V_{TH} は

$$\mathbf{V}_{\mathrm{TH},2} = g(\mathbf{V}_{\mathrm{TH},1}, \mathrm{LET})$$

に変化する。(関数 g は第(3)項で評価済み) iii) この後、ヒットがあった FG については、ドーズ 量が 30krad(Si)に達するまで陽子を照射。 この間、その FG に陽子・原子核反応による反 跳原子核の通過はなかったとする。 このとき、V_{TH} は

$$V_{TH,3} = f(V_{TH,2}, 30 [krad] - d*)$$

に変化する。

 $V_{\text{relationhig}}$ $V_{\text{relationhig}}$ $V_{\text{relationhig}}$

START

ヒットが起こっていない FG に対しては上記手順を積算のドーズ量が 30krad(Si)に達するまで繰り 返す(つまり、30krad(Si)/d*回繰り返す)。この手順において、唯一のフリーパラメータは「反跳原子 核が FG を通過するような陽子・原子核反応が起こるまでの平均ドーズ量として定義した "threshold dose", dth」である。シミュレーション計算手順を図 3.2.1-6 に示す。

チャート。

このモデルに従いシミュレーションを行った結果は図3.2.1-7のとおりである。ここでは3種類のdth についての結果を示している。TID 効果によるメインの VTHのシフトは実験とシミュレーションで良い 一致を示している。dth を小さくするとテール部のビット数は大きくなっているが、これは陽子・原子核 反応の回数を増やすことに対応するため、合理的な結果である。問題点は、VTHのテール部の形が 合わないことであり、特に d_{th} を小さくすると テール部の V_{TH} の平均値が大きくなってし まう点、非常に小さな V_{TH} (<0.5V) のビット 数がシミュレーションで少なすぎる点が挙げ られる。

この問題点を調べるため、反跳原子核は ある決まった LET を持つと仮定してシミュ レーションを行った(図 3.2.1-8)。LET が 25MeV/(mg/cm²) で実験データとの一致 が良くなっているが、すべての反跳原子核 がこのような大きな LET を持つという仮定は 不合理であると考えられる。また、反跳原子 核の LET が[0, LETmax]で一様分布をする と仮定してシミュレーションを実行した(図 3.2.1-9)。結果、LETmax = 30MeV/ (mg/cm²) で実験データとよく一致している が、この仮定では高い LET の事象を GEANT4 よりも多く見積もっている。

このモデルでは、20MeV/(mg/cm²) より も大きな LET を持つ陽子・原子核反応が起 こり、かつそれが FG アレイ部に当たる事象 数は 35 程度である(FG アレイ部で実際に FG が存在する部分の面積はさらに小さく、 その重みを掛けると、テール部に現れる事 象数は 6 程度となる)。一方、実験データは テール部(VTH<1V)の事象数は4979 であり、 実験データとシミュレーションの違いは大き すぎる。

(7) 結論

本論文では、TID と陽子による反跳原子 核の SEE がフラッシュメモリに対してどのよ 図3.2.1-9. LETを[0, LET_{max}]で一様分布を仮定 した場合のシミュレーションで得られたV_{TH}分布と実 験データの比較。

うに影響を与えるかを示した。結果、VTH分布にテールが生じ、これは反跳原子核のLETによるものである。著者の知る限りでは、反跳原子核によるSEU事象の初めての直接的な証拠である。y線によるTIDとイオンビームによるSEEの実験データをもとにシミュレーションツールを開発し、498MeVの陽子ビームによるTID/SEEの影響を調べた結果、そのモデルは実験データを定性的には説明できるが、定量的にはうまく説明できなかった。



図3.2.1-7. 異なるdthについてのシミュレーションで 得られたVTH分布と実験データの比較。



図3.2.1-8. 異なるLET(固定値)についてのシミュ レーションで得られたVTH分布と実験データの比較。


実験データとシミュレーションの不一致について、デバイス中のタングステンの量や反跳原子核生成断面積の大きな不純物の混入などが要因として挙げられるが、どれも合理的な説明を与えるものではない。

(8) 考察

本論文で議論されているモデル化の過程(関数fおよびgの導出法など)を理解し、その妥当性を 評価する必要があると考える。担当委員の見解としては、反跳原子核による LET を受けた FG に対 する TID 効果の扱いが不適切ではないかと思われる。この点、今後発表されるであろう論文の検討 が待たれる。検討委員会での委員からのコメントとして、イオンビーム照射では SEE のほか TID 効 果もあることから、この実験でのフルエンスが重要である点やモデルの検討では SEE, TID, NIEL の影響を個別に解析するべき点が指摘された。また、TID 効果については FG に加えてトンネル酸 化膜や層間絶縁膜の Charge Trap の影響も考慮すべきとのコメントも出された。

3.2.2 地上におけるソフトエラー率に対するハフニウムとウランの寄与に関して

| 文献名 | Hafnium and Uranium Contributions to Soft Error Rate at Ground Level | |
|-----------|---|-------------------|
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3141- 3145, Dec. 2008. | |
| 著者名 | F. Wrobel, J. Gasiot, and F. Saigné | |
| 対象デバイス | | SRAM |
| 実験設備 | | - |
| 照射線種及び | | α粒子、2.5MeV、4.2MeV |
| エネルギーの区分 | | |
| 単発現象又は | | 単発現象 |
| 積算線量効果の区分 | | |
| 実験又は理論の区分 | | 理論 |

(1) 要約

最新のデバイスは、α粒子のような低LET(線エネルギー付与)の粒子に対しても感受性が高く なっている。α粒子は、α粒子放射源と呼ばれるいくつかの放射性元素から放射される。本論文で は、デバイス内部のα線放射源としてハフニウムとウランを取り扱う。ハフニウム酸化物を有する最新 デバイス内での崩壊率を計算し、ハフニウムはソフトエラー率(SER)に対して影響が無いことを示す。 更に、モンテカルロシミュレーションにより、シリコンウェハに含まれる天然ウランの濃度であれば、α 粒子のSERに対する影響は、地上における中性子のSERに対する影響とほぼ同等であることを示 す。

(2) 序論

最新デバイスは、α粒子のような低 LET の粒子に対して敏感になっている。このような粒子は宇宙空間で観測されたり、陽子とデバイスを構成する原子核との核反応によって生成されたりする。地球大気での場合、α粒子は中性子との核反応で生成される。

α粒子はデバイス内部でもその構成物質の放射性原子核(α粒子放射源)から直接生成される。 放射源は①構成物質そのもの(Radioactive Material;ゲート酸化膜材料 HfO2の 174Hf など)と、 ②構成物質の不純物(Radioactive Impurities/Pollutants;自然界に偏在し、半導体製造プロセ スで使用される水や原材料を汚染する U など)に分類できる。

本論文の目的は、デバイス中に存在するHfとUの地上レベルでのSERへの寄与を見積ることである。

(3) a 粒子放射源の活動度

放射線崩壊は、不安定な原子核がγ線、電子、陽電子、中性子、陽子などの粒子、あるいは核分 裂によってより重い粒子を放出するプロセスである。ここではα崩壊を定式化し、リスクを見積る。放 射線原子核の数は指数法則に従って、

$$N(t) = N_0 e^{-\lambda t} \tag{1}$$

と記述できる。ここで、No は初期の放射性原子核数、λ は崩壊定数である。また半減期は、

$$T_{1/2} = \frac{\ln(2)}{\lambda} \tag{2}$$

で表される。

これをデバイスの SER (FIT; failure-in-time) と関連付けるには、T=109時間あたりの崩壊回数 を考えれば良い。

$$N_{\alpha} = N_0 (1 - e^{-\lambda T})$$

この *N*_α を、デバイス中の α 粒子放射源の活動度と呼ぶ。半減期がデバイスの寿命より短い場合 は、デバイスを使う前に放射源がなくなってしまうので、半減期がデバイス寿命より長い放射源を考 察の対象とする。*N*_α は SER のワーストケースを与える。

(4) HfのSERへの影響

天然の Hf には 5 つの同位体があり、¹⁷⁴Hf のみが α 粒子 放射源である(表 3.2.2-1)。¹⁷⁴Hf から放射される α 粒子は 2.5MeV のエネルギーを有し、Si 中での飛程は 9.5μm であ る[1]。

HfO₂ ゲート酸化膜 (50nm×50nm×10nm) を考える(表 3.2.2-2)。酸化膜中の Hf 原子数密度は n = NA・ $d/M=2.77\times10^{22}$ atoms/cm³ であり、 α 粒子放射源である ¹⁷⁴Hf の数は n×0.162% = 4.49 × 10¹⁹ atoms/cm³ である。

従って、酸化膜中には(4.49×10¹⁹)×(2.5× 10⁻¹⁷) = 1122.5 個の¹⁷⁴Hf原子が存在し、1ビッ トあたり6トランジスタのメモリセルを想定すると、 N₀ = 1Mbit 中の¹⁷⁴Hf(α 粒子放射源) = 6×(4.49×10¹⁹) × (2.5×10⁻¹⁷) ×2²⁰ = 7.06×10⁹、従って、N_{α} = 0.27 崩壊/Mbit/10⁹時 間となる。N_{α}はSERのワーストケースを与える

表 3.2.2-2. Hf の主な特性値

表 3.2.2-1. 天然 Hf の同位体

Half life

2x10¹⁵ years

Alpha emitter

stable

stable

stable

stable

stable

Natural

abundance

(%)

0.162

5.206

18.606

27.297

13.629

35.100

| Molar Mass | 210.49 g/mol |
|---------------------------|---|
| Volumic Mass | 9.68 g/cm ³ |
| Atomic density of hafnium | 2.77×10^{22} atoms/cm ³ |
| Alpha emitter density | $4.49 \times 10^{19} \text{ atoms/cm}^3$ |

ので、SER≦0.27 FIT/Mbit であり、HfのSERの影響は微々たるもので無視できる。

(5) UのSERへの影響

Uには3つの天然同位体があり、そのうち²³⁸Uは存在比99.27%を占め、主成分である。これは半 減期4.468×10⁹年のα放射源であり、4.2MeVのα粒子(Si中での飛程20μm)を放射する。デバイ スからのα粒子の典型的な放射率は0.0004α/(cm²·h)である[2]。²³⁸Uは安定核²⁰⁶Pbを系列の終 端とするが、その間の核から放射されるα粒子が全て²³⁸Uによるものと仮定すると、層厚20μm中の ²³⁸Uは22.6×10¹²α/cm³で約0.45ppbとなる。

リスク評価のため、1ppbの²³⁸Uで汚染されたSiを考える。飛程20µmの旧内の α 粒子放射源数= (4/3) × π × (2.0×10⁻³cm)³×(5.02×10¹² 個/cm³) = 1.68×10⁶個であり、T=10⁹時間あたりの崩壊 回数は N_{α} = (1.68×10⁶) × [1–exp{-(1.17×10⁻⁵)}] = 7.43 崩壊/10⁹h である。これがメモリ1bitに 対してソフトエラーを引き起こすとして1Mbit分を考えると、SER~7×10⁶ FIT/Mbitとなる。上の仮

(3)

Element

¹⁷⁴Hf

¹⁷⁶Hf

¹⁷⁷Hf

¹⁷⁸Hf

¹⁷⁹Hf

¹⁸⁰Hf

定で求めたSERは、ワーストケースとしても値が大きすぎるので、モンテカルロシミュレーション(RPP モデル)により精度を高める。

シミュレーションモデルは①デバイスは40µm×40µmの立方体で中心にSensitive Area を設置、②デバイス中のランダムな位置で²³⁸Uの崩壊を起こす、③²³⁸Uからのα粒子放出方位は

等方的、④Sensitive Areaへの付与 エネルギーはSRIMで計算、⑤α粒 子がSensitive Area へ臨界電荷量 以上の電荷を落とした場合にSEUが 発生、とした。また、²³⁸Uの崩壊回数 10⁶回~10⁹回でSERを求めた。

図3.2.2-1は、1ppbの238U汚染量 を仮定した場合のSERの臨界電荷量 (Qc)及び Sensitive Volume (SV) 依存性を示したものである。Qcが十分 に小さいところでは、非常に高いSER となっている。また、図 3.2.2-2は、 ²³⁸U(1ppb)と中性子 (En=1 ~ 200MeV) の影響を比較したものであ る。幅広いQc (0.8-17fC) で、SER (²³⁸U) > SER(環境中性子)となって いる。実際の地上における環境中性 子起因の SER は数百~ 1000FIT/Mbitであり、これに対応し てQc=9.3fCとすると、²³⁸U起因の SER は 6400FIT/Mbit となり、 0.16ppbの238U汚染で環境中性子と 同等レベルのSERとなる。

SVを0.2µm×0.2µm×0.2µmに小さ く取っても、図3.2.2-1と同様の結果で あった。図3.2.2-3には環境中性子起 因のSERと²³⁸Uの a 粒子起因のSER が等しくなるような²³⁸U汚染濃度と、そ のSV依存性を見たものである。²³⁸U が0.07ppb程度あれば環境中性子起 因のSERとほぼ同等になることが分かる。



(6) 130nmデバイスへの適用

実際にはSVの大きさは千差万別であるが、130nm SRAMの典型的なQcの値2.5fC[3]に対する 計算結果を示したのが図3.2.2-4である。ハッチングした領域は文献値503FIT/Mbit[4]に対して ファクタ3を考慮したものである。また、図3.2.2-5から130nm CMOS SRAM のフィールド試験デー タ[4]から²³⁸Uの濃度を推定すると、SER(地上)/SER(地下)=3.04から0.4~0.6ppbとなる。



(7) 結論

デバイス中の α 粒子放射源を2種に分類でき、①デバイス構成材料(Hfなど)と②汚染(Uなど)で ある。前者のHfはゲート酸化膜に利用され、放射性同位体によるSERへの影響は0.27FIT/Mbit未 満であり、ゲート酸化膜体積が小さいためにSERへの影響は殆ど無い。また、後者に関しては、 0.16ppb程度のU汚染量があれば、地上レベルの環境中性子のSERに対する影響とほぼ同等であ る。これは200-10000FIT/Mbitに対応する。これを130nm CMOS SRAMに適用して考えると、 SERの文献値から推定して、Uの汚染量は0.4-0.6ppbである。

Order Estimationが目的であれば、Uのみを a 粒子放射源として考え、RPPのシミュレーション モデルでも十分。さらに娘核種の寄与を考慮し、Diffusion-Collectionのシミュレーションモデルを 用いることで、精度向上が期待できる。

(8) 考察

ー時期は、環境中性子のSERに対する影響がα粒子のSERに対する影響を凌いでいたが、最 新のデバイスでは、両者がほぼ同等、場合によってはα粒子の影響が大きくなってきている。また、 デバイスの性能確保のために、新たなプロセス材料が適用されるようになっている。新しい材料を導 入する際には、やはりα粒子の影響評価を事前に行っておく必要がある。

参考文献

- [2] R.Bauman and E.Smith, Int.SEMATECH Technol., 2001, Transfer #01054118A-XFR.
- [3] P. Roche, G. Gasiot, K. Forbes, V. O'Sullivan, and V. Ferlet, *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp.2046–2054, Dec. 2003.
- [4] J. L. Autran, P. Roche, S. Sauze, G. Gasiot, and D. Munteanu, in *Proc. ICICTD*, 2008, pp. 233–236.

3.2.3 順序回路における SET パルス幅拡大による SE 発生確率の増加

| 文献名 | Extended SET Pulses in Sequential Circuits Leading to Increased SE | | |
|-----------|---|---------------------------------------|--|
| | Vulnerability | | |
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3077- 3081, Dec. 2008. | | |
| 著者名 | B. Narasimham, O. A. Amusan, B. L. Bhuva, R. D. Schrimpf, and W. T. Holma | | |
| 対象デバイス | | 90nm CMOS | |
| 実験設備 | | Lawrence Berkeley National Laboratory | |
| 照射線種及び | | 線種の記述なし | |
| エネルギーの区分 | | 重イオンの LET は 40MeV-cm²/mg | |
| 単発現象又は | | 単発現象 | |
| 積算線量効果の区分 | | | |
| 実験又は理論の区分 | | 実験および理論 | |

(1) 要約

先端技術のLSIでは、複数のノードで電荷収集が起こることが示されている。この場合、論理回路 ではSETパルス幅が拡大することがある。4ビット加算器でシミレーションした結果では、SETパルス 幅が 75%も拡大する場合があった。パルス幅の拡大は、個々に発生する SET パルスの幅、発生 ノードから回路の枝が集まる節点までの遅延時間の差、回路構成等に依存するが、これを表す解析 モデルを開発した。

(2) 序論

先端技術の集積回路では、節点電圧がハイレベルになるには数フェムトクーロンの電荷があれば 充分になった。トランジスタも高密度なため、1 個のイオン衝突で複数ノードでの電荷収集が起こるこ とになる[1]-[3]。このため、論理回路に於ける複数ノードでの電荷収集を解析することが重要になっ ている。

複数ノードで発生した過渡パルスは、回路構成によっては 1 つの節点に集まり、或いは逆に各方面に拡散して行くことになる。もし、過渡パルスがある節点に集まる場合は、パルス幅が個々のものより拡大された SET(extended-SET:以下 E-SET と略記)パルスを形成することになる。

これまで回路技術者は、順序回路への SET パルスの影響を避けるために、設計により耐放射線 特性を持たせる技術 (RHBD) を用いてきた。この技術では、ある決められた値よりも短い SET パ ルスが除去されるように設計されていた[4]-[8]。しかし、もし、複数ノードでの電荷収集で E-SET パ ルスが形成されこのパルス幅が設計で決められた幅よりも広い場合は、回路技術で取り除くことが出 来なくなり、システムエラーを引き起こすことになる。

従来の研究では、イオン衝突で1つのSETパルスが形成されると仮定していた[9]-[12]。また、パルス幅の測定値は広い範囲に分布しており、何件かの研究では 130-nm CMOS でパルス幅が数 nsのSET が報告されている[13]。

この論文では、これまで報告された幅の広いパルスのあるものは、1 つのイオン衝突で生じた複数のパルスが集まって生じたことを示す。

(3) 複数ノードでの電荷収集

単一イオンの衝突で、複数ノードで電荷が収集される現象は、IBM の 90-nm CMOS の 3D-TCAD シミュレーションでも示された[3]。イオンが第1の素子に垂直に入射するものとして、その 影響を受ける第2の素子も含めて収集される電荷量とパルス幅をシミュレーションで求めた。 40MeV-cm²/mgの垂直入射イオンに対して pMOS で収集される電荷量を2つの pMOS 間の距離 に対してプロットしたのが図 3.2.3-1(a)、SET パルス幅を示したのが図 3.2.3-1(b)である。図より衝突 場所から半径 1µm の範囲では多量の電荷が収集されることが判る。入射角が 60 度の場合は n ウェ ル中の過剰電子による電位変調が 5µm の範囲に及ぶことが示された。また、発生したパルスは回路 を伝搬して行くのに充分な幅を持っていることが明確に示された。



(4) ラッチにおける複数の過渡パルス

記憶素子は、偶数個のインバータを環状に 接続することで形成される。図3.2.3・2には、イ ンバータを通常の2個でなく、4個にしてラッチ を構成したものを示す。

これらの回路のシングルイベント耐性は、 フィードバック遅延の時間によって特徴づける ことが出来る。ある接点での電圧変動がフィー ドバック遅延時間より長ければ記憶セルの情 報は反転し、短ければ反転は起こらない。

RHBD 技術は、フィードバック遅延時間を 大きくすることで耐性を上げる技術である [1][4]-[7]。

図 3.2.3-2(a)の回路のフィードバック遅延時間は、インバータの遅延時間の4倍である。も し図 3.2.3-2(b)のように、これより長いパルスが 1 つの節点に注入されると、反転が起こる。

短い SET パルスはそれだけでは反転を起



図 3.2.3-2. (a)インバータ 4 段で構成したラッチ (b)アップセットを起こす最小パルス幅 (c)細い 2 つのパルスが集まりアップセットを起こすに十分な パルス幅になる例

こさない。しかし、2組の SET パルスが図 3.2.3・2(a)の回路の第2と第4番目のインバータに注入され、両方のパルス幅がインバータ2段の遅延時間より長い場合は、2つのパルスは合体することになる。合体したパルスの幅が図 3.2.3・2(c)のようにフィードバック遅延時間より長くなるとセルの情報は反転する。

この様に単一イオンの衝突に対し複数ノードで電荷収集が起こると、個々のパルスが集まって幅の広いSETパルスが形成されて回路は反転し易くなり、これまでのRHBD技術による防御も出来なくなる。

(5) 組合せ回路における複数の過渡パルス



図 3.2.3-3. (a)回路図 (b)全加算器のレイアウト 図。この図では NAND1 と NAND8 の pMOS 間隔は 1µm 以下

組合せ回路の複数のノードで電荷が収集される と、それによって発生した過渡パルスは回路のそ れぞれの枝を伝搬して行く。もし、幾つかのパルス が1つの節点で合流する場合は、到着時間によっ てはそれ等がまとまって幅の広い SET パルスを形 成することになる。

例として、図 3.2.3-3 に示す全加算器を解析し てみる。NAND1 と NAND8 の pMOS の間隔は 1µm 以下である。IBM の 90-nm CMOS9SF 技 術に基づいた 3D-TCAD シミュレーションを実施し てみた。



図 3.2.3-4. ミックストモードシミュレーションの 結果 (a)NAND8 だけの電荷収集を考えた場 合のパルス幅は 430ps (b)NAND8 と NAND1 での電荷収集を考慮した時のパルス (c)複数ノードで発生したパルスが集合して発 生した E-SET パルス。E-SET パルスの幅は 単一パルスの幅より 21%広くなる

LET が 40MeV-cm²/mg の重イオンが衝突したとき、NAND8 だけについてシミュレーションした 結果は、図 3.2.3-4(a)に示すようにパルス幅は約 430ps であった。しかし、NAND1とNAND8 の両 方に 3D-TCAD を適用し NAND8 にイオンを入射させると、両方の回路の電荷収集で図 3.2.3-4(b) に示した 2 つのパルスが発生し、出力部で一緒になって図 3.2.3-4(c)のパルスになり、パルス幅が 21%増加した。

この結果は、複数ノードでの電荷収集が幅の広い SET パルス(E-SET)の発生源になることを示したもの であり、これまでの実験で観測された幅の広いパルス 発生の原因になっている可能性がある。E-SET が形 成される確率は、回路構成、バイアス条件(パルスの 遮断/伝達)、レイアウト(ノードの配置と間隔)、それ にイオンの入射角度に依存する。図 3.2.3-3(b)の全 加算器では、条件にもよるが、NAND 対(1,8)、(2,3)、 (6,7)によって E-SET の発生が見られた。



組合せ回路の E-SET パルス幅は、次のように見積 もることが出来る。図 3.2.3-5(a)に示すように、回路の 2 つの枝が 1 つの節点に集まるものとする。1 つのイ オン衝突で論理パス1に第1の過渡パルス、論理パ

図 3.2.3-5. (a)複数ノードの電荷収集で発 生したパルスが出力の節点で集合する様 子を示した図 (b)2 つの SET パルスが集 合して幅の広いパルス(E-SET)が形成さ れる状況を説明した図

ス2に第2の過渡パルスが発生すると仮定し、それぞれのパルス幅を tp および ts とする。パルス発生点から合流点までの伝搬時間を td1と td2とし、td1 < td2とする。2つのパルスの合体で生じる SET のパルス幅は次式で与えられる。

$$\begin{aligned} t_{E-SET} \\ = \begin{cases} \begin{pmatrix} t_S + t_{d2} - t_{d1} \end{pmatrix} & \text{if} (t_{d2} \leq t_{d1} + t_P) \\ & and (t_{d2} + t_S > t_{d1} + t_P) \\ t_P & \text{if} (t_{d2} \leq t_{d1} + t_P) \\ & and (t_{d2} + t_S > t_{d1} + t_P) \\ & t_{d1} = n_1 \text{ gate delays} \\ t_{d2} = n_2 \text{ gate delays} \end{aligned}$$
(4)

 $t_{E-SET} \propto (t_{d2} - t_{d1}) = (n_2 - n_1)$ gate delays

= delay between charge collection nodes (5)

式(1)は、図 3.2.3-5(b)のようにパルスが重なる場合で、パルス幅は合流点までの遅延時間の差に 比例する。式(2)は、パルスが重ならない場合で、このとき出力端では独立した 2 つのパルスが観測 されることになる。過渡パルスの数が 2 より多い場合は、このモデルを繰り返して使えばよく、このモ デルは SET に晒され易いノードを見つけて再設計するのに役立つ。

(6) シミュレーションと実験結果

シミュレーションと各種のDICEラッチの実験によって、複数ノードで電荷収集が行われることを、 初めて証明した。さらに、3種の異なったレイアウトの全加算器で電荷収集の解析をした。

DICE ラッチは、4 個のインバータで 4 段の記憶ノードを持たせてアップセット耐性を持つように設計した[8]。フィードバック遅延時間が非常に長いので、IBM 90・nm でミックストモードシミュレーションで、1 つのノードの電荷収集では反転しないことが確かめられた。しかし、2 つのノードで電荷収集

があると 150ps のパルスで反転することが判った。このことからも、複数ノードでの電荷収集があると 反転を起こす原因になることが判った。

照射試験用の DICE は、隣接ノードでの電荷収集量が異なるように、トランジスタの間隔を変えた ものを2種設計した。1つは標準仕様の0.5µm 間隔、他は最小でも2µm 以上の間隔を持たせた。 シミュレーションの結果、間隔が2µm 以上のものではほんの僅かな電荷しか収集されないのが確か められた。それ故、イオン入射に対し標準間隔では複数の過渡パルスが発生するが、間隔の広いも のではLET が大きい場合に限って複数のパルスが発生するものと思われる。この DICE ラッチで、

511 段のシフトレジスタを形成した。重イオン 照射試験は、Lawrence Berkeley National Laboratory で行った。イオンの LET を変えてエラー断面積を測った結果は、 図 3.2.3-6 の通りであった。標準間隔のもの では、LET のスレッショールドが 10MeV-cm²/mg であったのに対し、トランジ スタ間隔を広げたものでは 20MeV-cm²/mg まで大きくなり、エラー断面積も約1桁小さく なった。

次に、4ビット全加算器についてミックストシ ミュレーションを行い、E-SETのパルス幅が どれ位まで大きくなるのかを解析した。3種の 異なった条件で全加算器を設計した。レイア ウト1は標準の面積最小の条件で設計し、4 個の全加算器を2列に配置した。レイアウト2 では電荷を収集するノードからの遅延時間の 相対差がゲート6段の遅延時間以内に収ま るようにした。レイアウト3はレイアウト2に似て いるが、ノード間の間隔を広げたものである。

図 3.2.3・7 にシミュレーション結果を示す。 レイアウト 1 の E-SET のパルス幅は 75%も 増加した。レイアウト2ではパルス幅の増加は 20%以下であった。レイアウト3ではパルス幅 の増加は見られず、1 つのノードだけで電荷 収集が行われた場合と同程度になった。



図 3.2.3-6. 90-nm の DICE セルを重イオン照射 すると LET が低くてもアップセットが起こり、複数 ノードでの電荷収集の発生を示唆している



は言し、重イオン照射で複数シートでの電荷収集 (charge sharing) がある場合または無い場合に よって、発生するパルス幅が違ってくる様子を示し した図

以上のシミュレーション結果は先に示した式(1)の妥当性を明白に裏付けるものとなった。また、セルの配置によって E-SET を回避出来ることが示された。単一ノードで発生する SET パルスの幅はユーザが制御できない。ユーザが制御できるのは、セルの間隔を変えて第2のパルス幅(ts)を変えたり、レイアウトの工夫によって伝搬遅延時間の差(ta1-ta2)を減らしたりすることである。

(7) 結論

先端技術で素子が小さくなると、1つのイオン衝突で、複数素子で電荷収集が起こるようになった。 90-nm CMOSの実験結果によれば、標準の素子間隔では間隔を広げたものに比較して記憶ノード の反転が起き易い。間隔が狭いと複数ノードで電荷が収集され、それが集まって幅の広い SET(E-SET) が発生して反転を起こすためである。E-SETのパルス幅は、個々のパルス幅、パル スが集まる節点までの伝搬時間の差、それに回路構成に依存する。

IBM 90-nm CMOS の 4 ビット全加算器についてミックストモードシミレーションをした結果、 E-SET のパルス幅は 75%も増加することが判った。今後の SET パルス幅を測定する回路や実験は、 電荷収集が単一ノードによるものか複数ノードによるものかを切り分けられるようにしなければならな い。将来の RHBD では、E-SET の確率を減少させる様に、自動レイアウト設計するアルゴリズムの 研究が大切である。

(8) 考察

論理回路では、複数の過渡パルスが集まって幅広いSETパルスが形成され、それがラッチを反転 させることがあるというメカニズムを提唱し実証したことは、新しい現象に目を向けさせるという点で非 常に新規性がある。

しかし、次の点で根幹的な内容の提示や説明がないことに不満が残る。(1)実験の一番根幹となる アップセット耐性のある DICE ラッチの正確な回路図が示されていない。(2)パルスが 1 個の場合に はどんなに幅が広くても DICE は反転しなかったというのは、導入部分での記憶ノードの反転の説明 と相容れない。 DICE 特有の現象なのか。それなら何故 2 個のパルスで反転するのか。導入部の説 明と一致しないので非常な混乱を招いている。是非とも導入部でのラッチの説明と実験に使った DICE ラッチとの違いを明確に対比させて説明する必要があるのだが、それがなされていない。

参考文献

- R. C. Baumann, "Single event effects in advanced CMOS Technology," in Proc. IEEE NSREC Short Course Text, 2005.
- [2] P. E. Dodd and L. W. Massengill, "Basic mechanisms and modeling of single-event upset in digital microelectronics," IEEE Trans. Nucl. Sci., vol. 50, no. 3, pp. 583–602, Jun. 2003.
- [3] O. A. Amusan, A. L. Sternberg, A. F. Witulski, B. L. Bhuva, J. D.Black, M. P. Baze, and L. W. Massengill, "Single event upsets in a 130nm hardened latch design due to charge sharing," in Proc. 45th Int. Rel.Phys. Symp., 2007, pp. 306–311.
- [4] M. Nicolaidis, "Time redundancy based soft-error tolerance to rescue nanometer technologies," in Proc. IEEE VLSI Test Symp., 1999, pp.86–94.
- [5] A. Balasubramanian, B. L. Bhuva, J. D. Black, and L. W. Massengill, "RHBD techniques for mitigating effects of single-event hits using guard-gates," IEEE Trans. Nucl. Sci., vol. 52, no. 6, pp. 2531–2535, Dec. 2005.
- [6] R. L. Shuler, A. Balasubramanian, B. Narasimham, B. L. Bhuva, P. M.O'Neill, and C. Kouba, "The effectiveness of TAG or guard-gates in SET suppression using delay and

dual-rail configurations at $0.35 \,\mu$ m," IEEE Trans. Nucl. Sci., vol. 53, no. 6, pp.428–3431, Dec. 2006.

- M. C. Casey, B. L. Bhuva, J. D. Black, L. W. Massengill, O. A.Amusan, and A. F.
 Witulski, "Single-event tolerant latch using cascode-voltage switch logic gates," IEEE Trans. Nucl. Sci., vol. 53, no.6, pp. 3386–3391, Dec. 2006.
- [8] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology," IEEE Trans. Nucl. Sci., vol.43, no. 6, pp. 2874–2878, Dec. 1996.
- [9] B. Narasimham, B. L. Bhuva, R. D. Schrimpf, L. W. Massengill, M.J. Gadlage, O. A. Amusan, W. T. Holman, A. F. Witulski, W. H.Robinson, J. D. Black, J. M. Benedetto, and P. H. Eaton, "Characterization of digital single event transient pulse-widths in 130-nm and 90-nm CMOS technologies," IEEE Trans. Nucl. Sci., vol. 54, no. 6, pp. 2506–2511, Dec. 2007.
- [10] B. Narasimham, V. Ramachandran, B. L. Bhuva, R. D. Schrimpf, A.F. Witulski, W. T. Holman, L. W. Massengill, J. D. Black, W. H.Robinson, and D. McMorrow, "On-chip characterization of single event transient pulse widths," IEEE Trans. Device Mater. Reliab., vol.6, no. 4, pp. 542–549, Dec. 2006.
- [11] P. Eaton, J. Benedetto, D. Mavis, K. Avery, M. Sibley, M. Gadlage, and T. Turflinger, "Single event transient pulsewidth measurements using a variable temporal latch technique," IEEE Trans. Nucl. Sci., vol. 51,no. 6, pp. 3365–3368, Dec. 2004.
- [12] V. Ferlet-Cavrois, P. Paillet, A. Torres, M. Gaillardin, D. McMorrow, J. S. Melinger, A. R. Knudson, A. B. Campbell, J. R. Schwank, G.Vizkelethy, M. R. Shaneyfelt, K. Hirose, O. Faynot, G. Barna, C. Jahan, and L. Tosti, "Direct measurement of transient pulses induced by laser and heavy ion irradiation in deca-nanometer SOI devices," IEEE Trans. Nucl. Sci., vol. 52, no. 6, pp. 2104–2113, Dec. 2005.
- [13] J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Gadlage, and T.Turflinger, "Digital single event transient trends with technology node scaling," IEEE Trans. Nucl. Sci, vol. 53, no. 6, pp. 3462–3465, Dec.2006.
- [14] O. A. Amusan, L. W. Massengill, M. P. Baze, B. L. Bhuva, A. F.Witulski, S. DasGupta, A. L. Sternberg, P. R. Fleming, C. C. Heath, and M. L. Alles, "Directional sensitivity of single event upsets in 90nm CMOS due to charge sharing," IEEE Trans. Nucl. Sci, vol. 54, no.6, pp. 2584–2589, Dec. 2007.

3.2.4 SOI および Bulk インバータチェーンの SET 伝搬によるパルス幅増大効果

| 文献名 | Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on | | |
|-----------|--|--------------------------------------|--|
| | Single Event Transients in SOI and Bulk Inverter Chains | | |
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 2842-2853, Dec. 2008. | | |
| 著者名 | V. F. Cavrois, V. Pouget, D. McMorrow, J. R. Schwank, N. Fel, F. Essely, R. S. | | |
| | Flores, P. Paillet, M. Gaillardin, D. Kobayashi, J. S. Melinger, O. Duhamel | | |
| | Dodd, and M. R. Shaneyfelt | | |
| 対象デバイス | | CMOS インバータチェーン(130nm Bulk / SOI) | |
| 実験設備 | | IMS Lab., NRL >> パルスレーザ | |
| | | Tandem ALTO (IPN, France) >> 重イオン | |
| 照射線種及び | | パルスレーザ (800 nm, 590 nm) | |
| エネルギーの区分 | | 重イオン(106MeV F, 156MeV Cl, 236MeV Br) | |
| 単発現象又は | | 単発現象 | |
| 積算線量効果の区分 | | | |
| 実験又は理論の区分 | | 実験およびシミュレーション | |

(1) 概要

SOI および Bulk インバータチェーンにおける SET パルス伝搬に起因したパルス幅増大効果 (PIPB)について示す。PIPBは、ボディ浮遊効果(history効果)によるものである。なお一般的な回 路モデルでは、ボディ浮遊効果を考慮しないため、SET 感受性は低く見積もられる。

Index Terms: Chains of inverters, heavy ionsm propagation induced pulse broadening, pulsed laser, single event transients.

(2) 序論

これまでに実験およびシミュレーションによりSET伝搬について検討されている。10段インバータ チェーンのMIX-modeシミュレーションによると、高LETでも発生するパルス幅はBulkで1ns以下、 SOIで250ps以下(測定値も同様)であるものの、長いチェーンではBulk、SOI共に出力パルス幅は 3ns以上になる。このような伝搬によるパルス幅増大現象をpropagation-induced pulse broadening (PIPB)と呼ぶ。

本論文では、重イオン、パルスレーザ、電圧パルス印加による Bulk および SOI インバータチェー ンの PIPB 効果について示す。また、PIPB 増大はボディ電位の変化に起因することを示す。この動 的なボディの帯電状態の変化は、ボディ浮遊効果・history 効果と呼ばれる。最終章では、SET 耐 性強化のための回路設計について示す。なお、history 効果については、SOI 1T DRAM の設計 において部分的に考慮されているものの、Bulk デバイスにおいてはほとんど解明されていない。

(3) 測定試料および実験方法

Bulkチェーンとして、130nmルール(電源電圧1.2V)で構成した、1008段×20列チェーンを用いた。FETは、デザインルール上の最小寸法とした。なお、初段の入力はGND(Low入力), VDD (High入力)の両者を用意した。フランスのIMS研究所のATLAS (Analysis Test LASer)にて、

チェーンの先頭部に波長800nmの収束パルスレーザを照射した。レーザパルスエネルギーは、しきい値の3倍に設定した。試料は、精度0.1μmのxyzステージに搭載した。

SOI チェーンには、130nm ルール PD(電源電圧 1.2V)を用いた。BOX 膜厚 0.4µm、SOI 膜厚 0.14µm、ゲート膜厚(等価酸化膜厚) 表 3.2.4-1 被測定試料

2nmの Unibond 基板を使用した。デ バイスサイズを表 3.2.4-1 に示す。ゲー ト長は 0.13µm (共通) であり、NMOS のゲート幅を 0.3~2.7µm に変化させ た(PMOS は NMOS の 2 倍)。全 FET にはボディコンタクトを付加しており、ボ

| (130nm Bulk および 130nm SOI インハータナェーン) | | | | |
|--------------------------------------|------------------------|------------|---------------|---------------|
| Inverter chains | Number of inverters | Technology | NMOS width | PMOS width |
| B1 | 20×1008 | Bulk | | |
| Inv1 | 800 | SOI | 0.3µm | 0.6µm |
| Inv2 | 800 | SOI | 0.9µm | 1.8µm |
| Inv3 | 800 | SOI | 1.8µm | 3.6µm |
| Inv4 | 800 | SOI | 2.7um | 5.4um |

ディコンタクトを含むゲート幅の最大寸法は1.8μmとした。なお、大きなTrにおいては並列接続とする(W=2.7μm は、1.35μm の並列接続)ことにより、ボディコンタクトーボディ間距離を抑制した。 チェーン終端には高周波バッファを設置した。なおここでは、Low 入力の結果を示す(High 入力の 結果は既に発表済み)。

SOI チェーンには、レーザ、重イオンの両照射を行った。レーザ照射は NRL のパルスレーザ SEE Facilityを使用した(波長 590 nm (2.1eV)、FWHM = 1ps、繰り返し周波数 = 1 MHz、ス ポットサイズ=1.2µm、垂直入射)。重イオン照射はフランス IPN のタンデム加速器にて行い、 106MeV F, 156MeV Cl, 236MeV Br(各 LET= 4.8, 13, 41MeV cm²/mg)のイオンを垂直入射し た。なお一部、入射角 30°, 45°, 60°についても実験した。

> Laser Strike

図 3.2.4-1 に実験セットアップを示 す。SET は高インピーダンスプロー ブを通して、高周波オシロスコープで 測定した。これにより、150ps 以上の パルスを測定できる(時間分解能 50ps)。レーザ照射では、レーザ出 力でトリガーをかけることにより、伝搬 時間を測定できる。重イオン照射で は、SET パルスによりトリガーをかけ ており、照射位置は不明である。

High-Z probe N-1 2 図 3.2.4-1 レーザ照射実験概略図 1.2 Output voltage (V) 0.6 0.0 10 12 14 16 6 8 18 Row number 0 200 400 600



(4) 実験結果

(a) Bulkインバータチェーン

図 3.2.4-2 に High 入力の Bulk チェーンの 初段にレーザを照射した際の SET 出力を示 す。1 列 1008 段構成なので、Row="2"は 2,016 段、Row="10"は 10,080 段伝搬後の出 力を示す。伝搬時間は 37ps/段に相当する。 結果より、段数増加に伴うパルス幅増加が確 Oscillo

scope

認でき、Bulk チェーンでの PIPB 効果が確認された(これまでは未確認)。なお、Low 入力でも同様な結果が得られた。図 3.2.4-3 に伝搬段数とSET 出力パルス幅の関係を示す。パルス幅は伝搬段数に比例して増大していることがわかる。この傾きが PIPB係数を示し、 V_{DD} =1.2V(通常電圧)では 1.25ps/段、 V_{DD} =1.0V では 1.9ps/段と、電源電圧の低下に伴い PIPB 効果が大きくなることがわかった。



PIPB 効果が浮遊ボディ効果の動特性に起因するとすれば、回路に電源が入り、浮遊のボディ が応答して定常状態に達するまでに時間を要するので、その特性には時間が関係してくる。すなわ ち PIPB 係数は、回路が動作して放射線が照射されるまでの時間 (bias time)依存性を持つ。図 3.2.4-4 に PIPB 係数の"bias time" (電源電圧印加とレーザ入力との時間差)依存性を示す。 PIPB 係数は bias time が 2ms までは bias time に依存して急激に増加し、その後も徐々に増加 した。なお、図 3.2.4-3 は電圧印加後数分経過した結果であり、PIPB 係数が大きくなったと考えら れる。結果より、Bulk チェーンの浮遊ボディ電位が安定するために数 10ms 程度必要であることが わかる。

(b) SOI インバータチェーン

800 段 SOI インバータチェーンに対し、レーザ照射位置を変化させ出力を観測した。図 3.2.4-5 に"Inv3"での結果を示す。伝搬時間は 30ps/段(130nm デバイスの通常値)である(Bulk よりも短時間)。伝搬段数 105 では、他の結果に比べて振幅が小さかった(測定システムの帯域幅制限による)。結果より明確な PIPB 効果が確認できる。図 3.2.4-6 に、SET パルス幅のレーザパルスエネルギー (PE)依存性を示す。しきい値 PE は約 17pJ であり、PE と共にパルス幅は増加するものの変化は小さく、すぐに飽和した。これは SET パルス幅が PE および LET に大きく依存しないことを示唆している。

図 3.2.4-7 に、伝搬段数と SET 出力パルス幅の関係を示す(PE=78pJ)。PIPB 係数は、 VDD=1.2V では 1.5ps/段であり、Bulk 同様 VDD 低下と共に増加した。また、N=0 の切片(初期パ ルス幅)は 70ps 程度であった(VDD 低下と共に増加)。図 3.2.4-8 に、Inv3, Inv4, Bulk の PIPB 係数を示す。結果より、大きな電源電圧依存性が確認できる。これは、電源電圧の低下に伴い、し きい値電圧がボディ浮遊効果に及ぼす影響が大きくなることによるものと考えられる。

図 3.2.4-9 に、Low 入力の Inv1 に対する重イオン照射結果(累積 SET 断面積と SET パルス 幅との関係)を示す。累積 SET 断面積は最大でも 0.3µm²/inv.と小さな値であり、これは Inv1 の FET サイズが小さいことによる。パルス幅の分布は、Low 入力で最大約 2ns、High 入力で 1.5ns 程度とほぼ同じであり、かつ LET に依存していない。SET 断面積は LET と共に増加し、またパル ス幅に対して直線的に変化している。これは、イオンがインバータチェーン全体に照射され、また各 段の PIPB 効果がほぼ同じであることを示唆している。



これまでに、重イオン照射により最初に発生する SET パルス幅は SOI で特に短く、 70MeVcm²/mgという高 LET でも 160ps 程度(130nm-SOI)であり、伝搬と共に ns オーダーまで 増加すると報告されている。ただし結果では、最大 SET パルス幅の LET 依存性は小さく、初期 SET 幅が PIPB 効果に及ぼす影響が小さいことがわかる。

図 3.2.4-10 に各 SOI チェーンにおける最大 SET パルス幅, SET 断面積の LET に対する変 化を示す。レーザ照射結果同様、飽和することがわかる。ただしその値はデザインに大きく依存し、 ゲート幅の増大(ドライブ電流の増大)に伴い短くなった。図 3.2.4-10(a)には、Inv3 のレーザ照射 結果も併せて示す。なお、1pJ = 1MeVcm²/mg の換算により重イオン照射結果と合致した。また LET_{th}は、FET サイズと共に大きくなった。



(5) 解析·考察

(a) 電気的パルス注入による解析

レーザおよび重イオン照射における初期 SET パルス幅の直接評価は困難である。そこで、電 気的にパルスを注入した。図 3.2.4-11 に各 SOI



図 3.2.4-10 各 SOI チェーンでの実効 LET に対する最大 SET パルス幅、SET 断面積変化。電源電圧=1.2V。

デバイスでの入出力パルス幅の測定結果(パルス周期 1Hz, 800 段伝搬)を示す。Winput=Woutput は理想的に伝搬した場合である。結果より、PIPB 効果は小さなデバイスで顕著であることがわかる。 また、入力パルス幅が 30ns 以上では、PIPB が観測されないこともわかった。図 3.2.4-11 のデータ で、(Winput-Woutput)を 800 段で割った値を PIPB 係数として、図 3.2.4-12 に再プロットし、PIPB 係数の入力パルス幅に対する変化を示す。



500ps 以下の入力では PIPB 係数はほぼ一定である。これは、出力パルス幅がレーザの PE、 重イオンの LET に対してほぼ変化しないことと同様である。ただし、1ns 以上になると PIPB 係数は 増加し、インバータ回路に設計依存して 4~6ps/inverter で飽和し、30ns 程度で急激に減少した。 30ns は、今回用いた PD-SOI (不純物濃度 10¹⁸cm⁻³レベル)のキャリア寿命に相当し、この減少 はボディ浮遊効果の抑制によるものと考えられる。なお、30~50nsのパルス幅で PIPB が若干減少 する傾向が見られ、70ns で理想的インバータ特性に戻る。

図 3.2.4-13 に、入力パルス幅 4ns にてパルス周期を変化させた結果を示す。1MHz 以上で、周 波数と共に出力パルス幅が減少した。ただし 100MHz では PIPB 効果は確認できなかった。これ は本パルス間隔(6ns)ではボディへの電荷蓄積が生じず、数 10ns が必要(25MHz におけるパル ス間隔は 36ns)であることを示唆している。この時間は、図 3.2.4-12 において PIPB 効果が変化す

る時間(キャリア寿命)に一致する(バルクでは ms オーダー:図 3.2.4-4 参照)。

図 3.2.4-14 に PIPB 発生メカニズムを示 す。Low 入力時は、ドレイン端の高電界に 起因したインパクトイオン化などにより NMOS ボディに正孔が蓄積し、しきい値が 低下する。よって、SETパルスの立ち上がり 時は、通常より低電圧でNMOSはONする。 また、パルス幅が短い(30ns 以下)場合で は、ボディの正孔が存在し続けるため、立ち 下がり時では通常より低電圧になるまで OFF にならない。一方 PMOS では、ボディ 電荷蓄積がないためしきい値が高く、立ち 上がり時は低電圧で OFF となり、立ち下が り時は低電圧になるまで ON にならない。こ れにより PIPB 効果が生じる。なお、High 入力ではNMOSのしきい値が高くなるため、 同様に PIPB 効果に寄与する。

なお、Inv1 ではボディコンタクトーボディ 間距離が最小であるのにも拘わらず、 PIPB 効果は最大となり、ボディコンタクトによ る PIPB 抑圧効果は確認できなかった。 180nm FD ではボディコンタクトによる抑圧効 果が確認されており、これは 130nm PD に特 有なものと考えられる。

(b) 回路シミュレーションによる解析 ボディ内部の電荷蓄積効果を、ボディコンタ クト電位の変化として評価(OFF 状態 NMOS のボディコンタクト電位 Vb を変化)し、パルス 幅 200psの入力に対する Inv3 での出力波形



図 3.2.4-13 SOI チェーン (Inv3) への電気的パル ス印加における、パルス周期に対する出力 SET 波 形変化(入力パルス幅 = 4ns)。



図 3.2.4-14 PIPB 発生メカニズム(NMOS, PMOS における Source – Body – Drain の電位変化)。



図 3.2.4-15 SOI チェーン (Inv3) にパルス幅 200ps の電気的パルスを入力した際の出力波形 シミュレーション結果(ボディコンタクトの電位変 化量依存性)。

を計算した(図 3.2.4-15)。Vb=0 では伝搬と共にパルス幅は減少し、120 段以上には伝搬しないこ とがわかる。なお、Inv1,2 ではこのような結果は得られず、これは大容量負荷による帯域制限が原 因と考えられる。一方、Vb の増大により PIPB が確認され、特に立ち上がりエッジの早期化が顕著 となった。これは、SET 伝搬についてボディ帯電効果を考慮せずに評価した場合、大きな FET を 用いたチェーンにおいて、過小評価になることを意味する。また本方法により、分岐チェーンや NAND、NOR チェーンなどについても評価し、実験と同様な結果が得られることを確認した。

(6) 耐性強化回路デザインについて

長いチェーンにブロードビーム照射を行った場合、出力パルス幅は広く分布し、初期SETパルス 幅を過大評価する可能性が高い。また過大な耐性強化を施しても、予期しないSETパルスが検出さ れる場合もある。一方、ボディ浮遊効果を考慮しないで回路伝搬を評価すると、特に大きなFET回 路ではSET感受性が過小評価される。ただし、ボディ浮遊効果はFETデザインに大きく依存し、か つ広範囲な時間スケールでのモデル化も必要となり、正確な評価は困難である。

本研究により PIPB 効果を明確にした。しかし、PIPB 効果は入力パルス幅、パルス間隔により大きく変化(照射場所だけでなくタイミングによっても変化)し、放射線耐性強化には、回路およびシステムアプリケーションを考慮する必要がある。また、PIPB 効果は、印加電圧低下と共に大きくなる。スケール縮小に伴い、電源電圧としきい値電圧との差が小さくなり、またゲートリーク電流によるボディへの電荷蓄積などの考慮も必要になる。

(7) まとめ

Bulk, SOIの両インバータチェーンにおいてPIPB効果が発生し、その原因はボディ浮遊効果で あることを示した。長いチェーンにおける出力SETパルス幅は、イオン照射のLETに起因した程度の 初期SETパルス幅の変動には依存せず、負荷容量、デバイスデザイン、パルス間隔、電源電圧に 大きく依存することを示した。また、ボディ浮遊効果を考慮しない一般的な回路シミュレーションでは、 SET感受性を過小評価することもわかった。PIPB効果および回路への影響の把握はSET耐性向 上、および耐性評価試験において非常に重要である。

(8) 考察

BulkとSOIでデバイス構造や実験方法が異なっているところ、重イオン実験結果に対する考察が 少ない所に多少の問題点を感じる。ただし、PIPBのメカニズムについては論理立てて、分かり易く 示されており、全体的に非常に良い論文であると思う。

3.2.5 包囲型レイアウトの 130nmNMOSFET の X 線照射およびホットキャリアストレス下における 特性劣化

| 文献名 | Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in | |
|-----------|---|--|
| | 130-nm NMOSFETs With Enclosed Layout | |
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3216- 3223, Dec. 2008. | |
| 著者名 | M. Silvestri, S. Gerardin, A. Paccagnella, and F. Faccio | |
| 対象デバイス | | Bulk CMOS |
| 実験設備 | | 10KeV X-ray system(CERN), ホットキャリア効果測定用プロバ, テスタ |
| 照射線種及び | | X 線 |
| エネルギーの区分 | | 10KeV |
| 単発現象又は | | 積算線量効果 |
| 積算線量効果の区分 | | |
| 実験又は理論の区分 | | 実験および理論 |

(1) 概要

包囲型レイアウトのトランジスタのチャネルホットキャリアによる特性劣化に関して、事前に照射した 放射線量、ストレス温度、トランジスタ形状に依存する新しい実験結果を示す。トランジスタのパラ メータ劣化はべき乗則に従うが、べき乗の値は従来型の開放型レイアウトの値よりも大きくなる。これ は水素の幾何学的な拡散が異なっているためと考えられる。物理的なシミュレーションによってこれ がトランジスタのコーナーの電界に起因して不均一な衝突電離によるものであると結論づけられた。 事前に放射線を照射すると5.2nmのゲート酸化膜をもつ MOSFET のチャネルホットキャリアによる 特性劣化は減少するが 3.2nm のゲート酸化膜をもつ MOSFET の場合はその影響はわずかであ る。

(2) はじめに

ゲートの薄膜化で放射線耐性が大きく向上してきた。しかし大きな向上が達成できたとしても、微細な MOSFET としては、プロセス毎、Chip 毎の変動を考えると依然として放射線に対するリスクは存在する。高 Dose に対する抵抗性は HEP (High Energy Physics)の分野では重要な問題である。そうした環境下での信頼性を確保するためには、包囲型レイアウトトランジスタ ELTs (Enclosed Layout Transistors)やガードリングといったデザインによって耐性を確保する手法 HBD (Hardness-By-Design)を適用することが極めて重要である。しかしながら HBD による解決策は、消費電力、面積、コストといった欠点はあるが、この手法により微細化技術における問題の第一の原因である、STI (Shallow Trench Isolation)でのチャージトラップや界面準位の生成による放射線照射誘起エッジ効果を低減することができる。過酷な環境のもとで長時間動作しなければならないデバイスにとっては、放射線に対する耐性に加えて長期間の信頼性も考慮しなければならない。しかし放射線と CHC (Channel Hot Carrier)による劣化の相互作用に関しては知られていない。これはPMOSFET よりも衝突電離係数が大きい NMOSFET で特に重要ではある。最近筆者らは極薄ゲート酸化膜を持つ開放型レイアウトトランジスタ OLTs (Open Layout Transistors) とチャネルホットキャリアの相乗効果について調べた。その結果放射線照射によってその後のホットキャリアスト

レスによる変動が悪化することが判明した。これは放射線でSTIエッジに誘起された欠陥によって生じた電界のためであり、その欠陥は高電界ストレスでのキャリアの加熱に影響する。

本稿では放射線とチャネルホットキャリアによる ELT の劣化に着目し、従来型の OLT との違いを 明確にする。今回の結果は、トランジスタ製造に基本的な変更(Gate、絶縁膜材料、3D 構造)が導 入されない限り一般的に応用可能である。

(3) 実験手法と使用素子

本実験において Nch enclosed layout Tr.を使用。Foundry 130nm 世代 CMOS プロセスを使 用した。デバイスは次の2種のグループから成る。

・コア ELT:Tox=2.2nm, Vdd=1.5V, L=0.12 μ m, W/L~17

·I/O ELT:Tox=5.2nm, Vdd=2.5V, L=0.26 μ m, W/L \sim 15

サンプルは最初に放射線照射され、その後電気的なストレスをかけた。照射はCERNで10kev X線システムにより、最悪条件:Vgs=Vdd(他の端子は GND)の条件下で行われた。CHC ストレスは

照射、未照射サンプルに対して Vdd より 50%高いドレイン電圧:Vds で行った。

CHC ストレスはドレイン側(ELT の)を内 側にして行った。なおこれは Mayer ら[1]に よればワースト条件である。ゲート電圧:Vgs は一定で、(ストレス印加の最初の時点で)ド レイン電圧に対し最大の基板電流が得られ るように設定した。一方ソースとバルク(Well) は GND とした。この高いゲート電圧、ドレイ ン電圧は動作ライフ試験を行う際にデバイス が経験する劣化を加速するためである[2]。 定期的に電気的ストレスを中断して Vgs-Ids、Ids-Vds を測定した。これは電気的な パラメータ、たとえば Vth(トランスコンダクタ ンス最大となる点で Ids-Vgs を線型に



図 3.2.5-1. I/O トランジスタにおける X 線照射前、 136Mrad (SiO₂) X 線照射後、および 10⁴ 秒まで の各 CHC ステップに対する Vds=20mV での Ids -Vgs 線型特性

Fittingさせて求める)、トランスコンダクタンス、Sub-threshold swing を抽出するためである。温度の効果は 27℃、80℃で行った。(温度コントロールチャックを使って)アニールは温度コントロール オーブンを使って行った。

- (4) 実験結果
 - (a) I/O ELT

図 3.2.5-1 にリニア領域でのドレイン電流(Vds=20mV)を示す。照射前、照射後(TID= 136Mrad(SiO₂))、照射後に加えた CHC ストレスをステップ毎に 10000 秒まで特性を記述した。 (VgsはVds=3.5Vでの最大基板電流を与える値)照射によってVtは150mV正の方向へ変化し、 Vgs=2.5Vにおけるドレイン電流は約15%減少する。図 3.2.5-2には図 3.2.5-1と同じトランジスタ の線型領域の Gm を示す。Gm のピークは、TID で 20%、CHC で 25%減少する。さらに Gm が 上昇するときの傾きの劣化から Sub-threshold swing は照射と HC の両方の影響を受けているこ とがわかる。すなわち 80mV/decade から 170mV/decade に劣化している。図 3.2.5-3 は未照射、 64Mrad と 136Mrad の X 線照射を受けた 2 つのサンプルの Vth シフトの時間依存性を示す。未 照射と照射後のサンプルを用いたのは X 線照射と電気的ストレスとの相互作用を見るためである。 未照射デバイスの Vth 変化は指数関数則に従うが、200 秒までは 0.75 のべきで推移、徐々に小さ くなり 0.4 になり、ついには飽和する。これに反し照射したデバイスでは 200 秒までは 0.2 以下のべ き乗で推移し、その後 0.4 になり最後は未照射のデバイスと重なる。300℃、2 時間、バイアス印加 なしでの高温アニール後に大きな Vth の回復現象が照射デバイスに見られた。照射デバイスでは 95%、未照射デバイスでは 70%の回復であった。図 3.2.5-4 はストレス直前の Vth を基準にしたシ フトを示す。TID と高温は HC 耐性を増大させている。実際、べきは全て 0.75 ではあるものの、未 照射、25℃では最大の劣化を示す。なお、照射後の OLT の結果も同時に示されておりべき乗は 0.5 と低い。





図 3.2.5-2. I/O トランジスタにおける X 線照射 前、136Mrad (SiO₂) X 線照射後、および 10⁴ 秒までの各 CHC ステップに対する Vds = 20mV での線型領域のトランスコンダクタンス。 ピーク値は単調に劣化し Vth は正方向にシフト する。

図 3.2.5-3. 非照射および事前に異なる X 線照射を行った I/O トランジスタにお ける CHC 中、及び高温アニール後の Vth の時間変動

(b) コア ELT

図3.2.5・5は図3.2.5・4と同様にコアトランジスタのVtの劣化の振る舞い示す。この場合は、I/Oの 場合と違ってX線照射は、高Doseに至るまでCHCストレスの時間発展に影響を及ぼさない。照射、 未照射サンプルのデータは重なる。このときの時間のべき乗は0.65であり、ストレスの最後まで飽和 特性を示さない。特筆すべきはこの場合もOLTのとき(べき乗は0.5)と比べて大きくなっている。ここ で再び(図3.2.5・3を参照)136Mradまで照射し、アニールを行ったサンプルは最大の回復を示し ている。さらにストレス電圧を選ぶとコア ELTの劣化はOLTの劣化を下回っている。特に劣化の初 期段階は顕著で、照射の如何によらない。(図3.2.5・5)この関係は同じ酸化膜で、同じプロセスで 作られているので妥当なものである。



図 3.2.5⁻⁴. 照射および事前に 136Mrad (SiO₂)までX線照射を行った I/O トラン ジスタにおける 25℃、80℃での CHC 中の Vth シフトの時間変動。開放型レイ アウトトランジスタの結果も示されて いる。



図 3.2.5-6. 異なるチャネル長を持つ未照 射コアトランジスタに対する CHC の時 間時依存性。チャネル長が短くなるにつ れ劣化が大きい。



図 3.2.5-5. 非照射および事前に異なる X 線照射を行ったコアトランジスタにおける CHC中、及び高温アニール後のVthの時 間変動。開放型レイアウトトランジスタの結 果も示されている。



図 5.2.5⁻⁷. 照射(左)、未照射(石)のコ) ELT における CHC ストレス下でのストレス 温度の関数としての Vth 劣化。

図 3.2.5・6 は未照射デバイスの Vth 劣化に関して、異なるチャネル長について示したものである。 この場合、ストレス電圧は Vds=2.7V と前回の Vds=2.25V に比べて高くなっているが、これは時 間のかかる長いチャネルの MOSFET の劣化を加速するためである。図 3.2.5・5 の場合と異なって、 今回の高ストレス電圧のもとでは I/O トランジスタの場合のような劣化の飽和が見られる。さらに予想 されるように与えられた電圧に対しチャネル長が長くなるにつれて劣化が少なくなる。劣化の傾きは チャネル長によらない。実際のところすべてのサンプルに対して傾きは飽和するまでの間 (t<200 秒) はほぼ 0.75 である。しかしながら図 3.2.5・5 の場合と比較して図 3.2.5・6 の高 Vds でストレスを 印加したサンプルでは傾きは大きい。図 3.2.5-7 はストレス温度の CHC 劣化に対する影響をコア

デバイスで照射、未照射で比較したものである。 I/O デバイスの場合と同様に、80℃の照射の方が 劣化は少ない。(厚いI/O 素子の場合に比べ差は わずかである)傾きは変わらない(およそ 0.65)。 未照射のサンプルは 80℃と 25℃の差は少ない。 傾きはおよそ 0.65 と同じである。

図 3.2.5-8 はリニア領域のドレイン電流 (Vds= 20mV) の劣化をコア、I/O、照射、未照射、ストレ ス温度でまとめたものである。ストレス温度と TID は 10% I/O sample の劣化を減少させる。逆にコ アデバイスの場合照射は 25℃では影響がなく、 80℃では少し劣化が減る。高温では照射、未照 射でそれぞれ 4%、6%劣化が減る。



図 3.2.5-8. 照射、未照射、コア、I/Oトラン ジスタに対する CHC ストレス 104 秒後の線 型領域のドレイン電流(Vgs=Vdd, Vds= 20mV)の温度依存性。

(5) 議論

放射線照射とHCは、界面準位の生成と酸化膜への電荷 Trap により、MOSFET の特性を劣化 させることは良く知られている[1][3]。極薄酸化膜では固定酸化膜電荷による Vth シフトは無視でき るほど小さい。それは電荷がトンネルリングできるほどの短い距離にあるためである。その結果、主た る劣化メカニズムとしては、放射線照射では界面に均一に、CHC ではドレイン近傍に、生成する界 面準位と酸化膜境界での Trap に起因する。電荷 Trap に関しては横方向の分離(STI)に用いられ る厚膜酸化膜に関しては依然として考慮すべき問題である。しかし ELT ではこの問題は除いて考え ることができる。

図 3.2.5-1、図 3.2.5-2 に示したように、放射線照射は Vth を正の方向にシフトさせ、同時にドレイン電流チャネルの移動度を減少させる。CHC 加速ストレスを照射、未照射デバイスに対して行うと同様な効果をもたらす。このような一般的な考察は ELT のみならず OLT にも適用される。ただしいくつかの特徴がある。CHC ストレスのもとでは、ELT の特性パラメータのシフト、とりわけ時間のべき乗部分は OLT の場合に比べ大きくなり、これはゲート酸化膜厚の厚さによらない。前の節で示したように 2.2nm の Gate 酸化膜に関しては放射線照射とそれに続く CHC ストレスはおおよそ加法的である。すなわち CHC ストレスと放射線照射の合計の劣化はそれぞれ単独の劣化の和に等しい。5.2nm のゲート酸化膜に関しては微妙な相互作用があるかもしれない。

(a) ELT の 劣化の傾き

劣化の傾きに関しては、コアとI/OのVthシフトの時間発展は類似している(図3.2.5-3~図 3.2.5-6で0.65~0.75の間にある)。これらの値はOLTにおけるわれわれの結果と比較して高い(図 3.2.5-4、図3.2.5-5)。OLTの場合はおよそ0.5であり文献値と一致している[4][5]。最近Alamら[6] がCHC劣化はNBTIに適用されているのと同じRD理論(Reaction-Diffusion)で説明できると提案 している。加速試験中にデバイスが経験する指数関数則で記述される劣化は、エネルギーをもった キャリアとの反応後、Si/SiO2界面から解離した酸化膜中の中性水素の拡散でモデル化することが できる[7]。欠陥生成メカニズムに関して、Pageyとその共同研究者[8]は、水素はPoly-Si界面で 高エネルギーのキャリアによってH+となって解離する。結果として正のGate電圧によってH+は酸 化膜/チャネル界面に移動し、Si-H+H+e-→D+H₂(Dはダングリングボンド)となってSi-Hボンド と反応する。さらに彼らはSi-H+H+→D+H₂の直接的な活性化も可能であり、普通の動作条件 (公称電圧)のもとでは多分主たるメカニズムであることを見出した[9]。



図 3.2.5-9. (a)開放型レイアウトトランジスタにおける水素 拡散[http://www.itrs.net/reports.html より縮尺は正 確ではない] (b)典型的な開放型レイアウトトランジスタ (上面図) (c)包囲型レイアウトトランジスタにおける水素 拡散 (d)典型的な包囲型レイアウトトランジスタ(上面図)

図 3.2.5-10. コーナーでのゲートの 特殊形状(縮尺は正確ではない)

欠陥生成メカニズムの如何にかかわらずトランジスタの特性劣化の時間のべき乗はSi/SiO2界面 からのH/H2の拡散で支配される。Alamらによる2次元拡散をもとにした解析モデルはOLTにお ける時間のべき乗:0.5を正当とする理論的な根拠を与える。(図 3.2.5-9(a)[10])のちに MOSFET の断面積を小さくするとこのべき乗はHの拡散が2次元から3次元になることによって極小の素子 では 0.75 に近づきうることが示された[7]。OLT、ELT の傾きの差も同じ関係から説明できうる。実 際図 3.2.5-9(d)に示すように、(Gateで)囲まれた(Enclosed)素子は正方形の形状をもっており、H

の拡散の幾何学形状に影響を与えるコーナーの 効果が起こりうる。図 3.2.5-10 に示すのがコアの ELT 素子のコーナーの図である。ここで L はチャ ネル長、d はセンター部での拡散層の寸法、d'は 長さ C のコーナーカットが始まる場所、今回の技 術ではコーナーでの最大チャネル長は Lmax~ 1.4L。レンジとしては 0.12um(図 3.2.5-10 の領 域 A)から 0.17um(図 3.2.5-10 の領域 B)。原理 的にはチャネル長が長くなる領域では、電界が低 くなるため CHC ストレスの影響を受けにくいはず である。たしかにチャネル長の CHC に対する影 響に関する以前の検討(図 3.2.5-6)では、 L=0.24um 素子の場合の劣化は(劣化が飽和す



図 3.2.5-11. ELT トランジスタの全体の 1/4 を シミュレーションで使用

る10³秒まで間は)L=0.12umの場合の70%である。もちろん、比較しているのは、同じ素子中に異なるゲート長を持つ2つの部分からなる素子の劣化を含んだ異なるチャネル長の2つのデバイスであり、結論とはいいにくいかもしれない。物理シミュレーションはISE-TCA DESSIS Simulatorを使い多くの知見を得ることができた。素子の対称性故、図 3.2.5-11 で描かれているようにトランジスタの全体像の1/4をシミュレーションした。これによってより詳細な Mesh を切ることができる。デバイスの寸法はレイアウトからもってきた。しかし正確な Doping 分布は入手できなかったので文献からのデータで近似した[11]。

図 3.2.5・12(a)は図 3.2.5・11 の 3 次元構造での Vds=2.25V、Vgsを最大の基板電流が得られ るゲート電圧としたストレス条件でシミュレーションした酸化膜/Si 界面での電界分布である。コー ナー領域の中央(図 3.2.5・10 の領域 B)ではゲート酸化膜電界は横(領域 A)に比べて小さいが、 コーナーカットの内側は 2 箇所で電界が最大になる。図 3.2.5・12 (b)に示すように、結果として電界 の非局所性が HC の生成に影響を与える。衝突電離はコーナーカットのエッジのまさにその場所で 最大になり、コーナーの中央では減少する。これに反して横の部分(領域 A)では衝突電離は伝統 的な OLT の様とまったく均一である。その結果、コーナーカットの内側では H の解離が良く起こる ことが期待され、3 方向に拡散する可能性あり、時間のべき乗が 0.5 から 0.75 にシフトする。これは 文献[7]と一致している。さらに我々はこのシフトがドレイン電圧を高くすると大きくなることを見出し た。これを説明するために Vds=2.7V、Vgsを最大の基板電流が得られるゲート電圧条件で、より高 いドレイン電圧でシミュレーションを行った。わかったことは衝突電離の形状分布自体大体は図 3.2.5・12(b)と同じであるが、少し異なることも見られた。それによって図 3.2.5・6 の Vds=2.25V のと きの 0.65 から図 3.2.5・6 の Vds=2.7V のときの 0.75 への劣化の増大も説明できるかもしれない。 結論としてストレス電圧が高ければ高いほどコーナーカットのエッジで水素が解離するということが 言える。



図 3.2.5-12. a)Si-酸化膜界面における電界のシミュレーション結果。コーナーをカットする ことにより一般的にはコーナー部分の酸化膜電界は減少するが、このカットにより 2 箇所で 電界が増大する。b)ELT トランジスタのコーナーに沿っての衝突電離。衝突電離はカット部 分の角でピークを持つがその中間では減少する。

(b) ゲート酸化膜厚

ゲート酸化膜の厚さはX線とCHCのダメージが加算的に働くか、照射素子においてCHCの劣化の減少があるかを決める。一般的に薄い酸化膜(たとえばコアトランジスタ)は厚い酸化膜(たとえば I/Oトランジスタ)に比べてCHC劣化の観点からは信頼性が高い[12]。実際われわれのサンプルに

おいてもコアのELTの10000秒後のVthシ フトはI/Oの場合よりも少ない。この比較結 果は両タイプのトランジスタをVddの公称値 よりも50%高いVdsでストレスをかけたときの ものであるので意味のあることである。図 3.2.5-5のストレス時間と電圧に関して、薄 い酸化膜のサンプルは厚い酸化膜とは異 なり飽和特性を示さない。ところが厚い酸化 膜の場合はストレスの最終段階で劣化が飽 和する(図3.2.5-4と図3.2.5-5を比較)。 飽 和特性はまたコアトランジスタでも起こって いるのであるが、それはより高いストレス電 圧がかかった場合(図3.2.5-6)や長時間の ストレスを印加した場合で、いずれも △Vth>100mVのときに飽和が起こる。こうし た劣化の飽和は、ストレスによって誘起され た欠陥(ストレス中に負に帯電する)による



図 3.2.5-13. ストレス前、10⁴秒の CHC ス トレス後、10⁴秒の CHC ストレス+300℃ 2h アニール後、136Mrad(SiO₂)+10⁴秒の CHC ストレス後、136Mrad(SiO₂)+10⁴秒 の CHC ストレス後+300℃ 2h アニール後 における Vds=20mVでの線型領域での Ids -Vds 特性。

自己制限効果(Self-limiting effect)によるものと考えられる。すなわち負に帯電した欠陥がHot Electronが感じるエネルギーバリアを高くし、それらをSi/SiO₂界面から遠ざける[13]。同じような議 論は放射線照射を受けたI/O素子(未照射のサンプルに比べおよそ30%Vthのシフトが小さい、図 3.2.5-4)におけるCHC劣化の低減を説明するためにも用いられる。たしかに136Mrad(SiO₂)のと きの照射誘起欠陥はGate酸化膜にHot Electronの注入に対しポテンシャルバリアを増大させるか もしれない。それに反して薄い酸化膜では同じ放射線のDoseでも生成する欠陥が少ないので以降 のCHCストレス影響を与えない[14]。結論として、少なくとも25℃では事前に放射線照射した欠陥 は厚い酸化膜(5nm)の劣化の機構には影響するが、薄い酸化膜に対しては影響しない。

(c) 温度効果

CHC の電気的ストレス中に高い温度にすることは図 3.2.5・4、図 3.2.5・7 に示したように Vth 劣 化の傾きに影響しない。しかし高温にすると特に I/O の場合には事前の照射が Vth のシフトを制限 するように寄与する。CHC ストレス中の温度上昇はチャネル中や高電界領域中でキャリア移動度 を下げることが知られている。この効果は平均自由工程を減少させることによって生じ、衝突電離の 減少や結果としてドレイン領域での劣化低減につながる[15][16]。これは図 3.2.5・4 の I/O の ELT で明らかである。すなわちドレイン電流の劣化がストレス温度を上昇させること(および事前の TID) で少なくなる。同様なデータがコアのトランジスタ(図 3.2.5・8) で得られている。この場合 CHC の温 度依存が事前の照射でわずかしか影響を与えない。我々は HT(High Temperature)アニールを

照射や CHC によって生じた界面準位の回復のために行った。これは[17]で同じ 130nm 世代で得られた結果を踏まえて行ったものである。我々は素子にバイアスをかけない状態で2時間、300℃ で温度コントロールされたオーブンに放置した。結果を図3.2.5-3、図3.2.5-5、図3.2.5-13に示す。これは照射と電気的なストレス間の相互作用に関して、事前の興味深い情報を与えるものである。 図3.2.5-13のリニア領域の電流(Vds=20mV)は HT後、電気的にストレスをかけた素子に関し、照射、未照射で異なった回復特性を示す。照射したものは未照射のものに対し、ドレイン電流、Vth がそれぞれ10%、25%回復する。この振る舞いを理解するには更なるデータが必要であろうが、事前の照射に依存して、ストレスをかけた素子では、水素が異なった形(異なった場所など)で保持されており、アニール中の回復が異なる機構でおこるという可能性もあるかもしれない[18][19]。

(6) 結論

CHC ストレス下における ELT (包囲型レイアウトトランジスタ)の特性劣化は、OLT(開放型レイアウトトランジスタ)に比べ時間のべき乗が大きくなることを示した。ストレス時間が短い間 OLT は時間の べき乗は小さいにもかかわらず、ELT に対して劣化が大きい。我々はこの振る舞いを界面準位生成 後の水素の拡散の異なった幾何学形状によるものであることであり、TCAD のシミュレーションを使っ てこの可能性を確認した。さらに ELT における照射と HC ダメージの相互作用は、5.2nm ゲート酸 化膜のほうが 2.2nm のゲート酸化膜に比べて大きいことを示した。照射によって誘起された欠陥は HC 注入に関してポテンシャルバリアを強める原因となり HC 劣化が減少する。最後に CHC ダメージの温度依存は事前の照射には影響されないが、以降の高温アニールでは照射、未照射で異なった結果を生じさせる。

参考文献

- [1] D. C. Mayer, R. C. Lacoe, E. E. King, and J. V. Osborn, "Reliability enhancement in high-performance MOSFETs by annular transistor design," IEEE Trans. Nucl. Sci., vol. 51, no. 6, pp. 3615-3620, Dec. 2004.
- [2] G. Groeseneken, R. Degreave, T. Nigam, G. Van den bosch, and H. E. Maes, "Hot carrier degradation and time-dependent dielectric breakdown in oxides," Microelectron. Bioeng., vol. 49, pp. 27-40, 1999.
- [3] H. J. Barnaby, "Total-ionizing-dose effects in modern CMOS technologies," IEEE Trans. Nucl. Sci., vol. 53, no. 6, pp. 3103-3121, Dec. 2006.
- [4] G. Groeseneken, R. Degreave, T. Nigam, G. Van den bosch, and H. E. Maes, "Hot carrier degradation and time-dependent dielectric breakdown in oxides," Microelectron. Bioeng., vol. 49, pp. 27-40, 1999.
- [5] H. Kufluoglu and M. A. Alam, "A geometrical unification of the theories of NBTI and HCI time-exponent and its implications for ultrascaled planar and surround-gate MOSFETs," in Proc. IEDM, 2004, pp.113-116.
- [6] M. A. Alam, H. Kufluoglu, D. Varghese, and S. Mahapatra, "A comprehensive model for pmos NBTI degradation: Recent progress," Microelectron. Rel, vol.47, pp. 853 - 862, 2007.

- [7] H.Kufluoglu and M. A. Alam, "Theory of interface-trap-induced NBTI degradation for reduced cross section MOSFETs," IEEE Trans. Nucl. Sci., vol. 53, no. 5, pp. 1120-1130, May 2006.
- [8] M. P. Pagey, R. D. Schrimpf, K. F. Galloway, C. J. Nicklaw, S. Ikeda, and S. Kamohara, "A hydrogen-transport-based interface-trap-generation model for hot-carrier reliability prediction," IEEE Electron Device Lett., vol. 22, pp. 290-292, Jun. 2001.
- [9] S. T. Pantelides, L. Tsetseris, S. N. Rashkeev, X. J. Zhou, D.M. Fleetwood, and R. D. Schrimpf, "Hydrogen in MOSFETs—a primary agent of reliability issues," Microelectron. Rel., vol. 47, pp.903–911, 2007.
- [10] H. Kufluoglu and M. A. Alam, "A geometrical unification of the theories of NBTI and HCI time-exponent and its implications for ultrascaled planar and surround-gate MOSFETs," in Proc. IEDM, 2004, pp. 113–116.
- [11] [Online]. Available: <u>http://www.itrs.net/reports.html</u>
- [12] Y. Toyoshima, H. Iwai, F. Matsuoka, H. Hayashida, K. Maeguchi, and K. Kanzaki, "Analysis on gate-oxide thickness dependence of hot-carrier-induced degradation in thin-gate oxide nMOSFET's," IEEE Trans.Electron Devices, vol. 37, no. 3, pp. 1496-1502, Jun. 1990.
- [13] C. Liang, H. Gaw, and P. Cheng, "An analytical model for self-limiting behavior of hot-carrier degradation in 0.25- μ m n-MOSFET's," IEEE Electron Device Lett., vol. 13, no. 11, pp. 569–571, Nov. 1992.
- [14] N. S. Saks, M. G. Ancona, and J. A. Modolo, "Generation of interface states by ionizing radiation in very thin mos oxides," IEEE Trans. Nucl. Sci., vol. NS-33, no. 6, pp. 1185–1190, Dec. 1986.
- [15] F. C. Hsu and K. Y. Chiu, "Temperature dependence of hot-electron-induced degradation in mosfet's," IEEE Electron Device Lett., vol. ED-5, no. 5, pp.148–150, May 1984.
- [16] S. Y. Chen et al., "An investigation on substrate and hot carrier degradation at elevated temperatures for nMOSFETs of $0.13 \,\mu$ m technology," in Proc. IIRW, 2005, pp. 120–122.
- [17] F. Faccio and G. Cervelli, "Radiation-induced edge effects in deep submicron CMOS transistors," IEEE Trans. Nucl. Sci., vol. 52, no. 6, pp.2413–2420, Dec. 2005.
- [18] J. Schwank, IEEE NSREC Short Course 2002.
- [19] A. J. Lelis, T. R. Oldham, and W. M. DeLancey, "Response of interface traps during high-temperature anneals," IEEE Trans. Nucl. Sci., vol. 38,no. 6, pp. 1590–1597, Dec. 1991.

3.2.6 強誘電体不揮発性メモリに対する電離放射線影響と照射温度の依存

| 文献名 | Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its | |
|-----------|---|--|
| | Dependence on the Irradiation Temperature | |
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3237- 3245, Dec. 2008. | |
| 著者名 | M. Zanata, N. Wrachien, and A. Cester | |
| 対象デバイス | | Ferroelectric Nonvolatile Memorie(強誘電体不揮発性メモリ) |
| 実験設備 | | Laboratori Nazionali di Legnaro INFN-LNL, Italy, |
| 照射線種及び | | 10keV-X 線、5MeV-プロトン |
| エネルギーの区分 | | |
| 単発現象又は | | TID(積算線量) |
| 積算線量効果の区分 | | |
| 実験又は理論の区分 | | 実験及び理論(解析) |

(1) 概要

X 線と陽子線で照射した強誘電体ランダムアクセス・メモリに対するアニーリング効果及び照射温度に依存する放射線損傷について述べる。放射線損害は強く照射中の温度に依存している。室温で陽子及び X 線を照射した結果、少なくとも 9Mrad (Si)までの線量にてデータ破損のない単にスタックビットを検知した。放射線損傷は数週間で回復し、その回復率は電気サイクルまたは高温での回復のどちらかにより加速される。デバイスは無電圧で照射した場合、放射線耐性は非常に高い。最後に、照射温度依存に関する説明として劣化モデルを示す。

(2) 序論

FRAMは、SRAMのように電力供給が無い状態でもデータを保持する不揮発性メモリの一種で、 DRAMと同様な構造である。記憶コンデンサーには、強誘電体層を使用し、2進法の情報を強誘電 体物質の<u>残留分極</u>で関連されている。さらに FRAM はいくつか弱点を回避することで E²PROM/Flash への代用として注目されている高度不揮発性メモリである。

FRAMは、E²PROM or Flashのような不揮発性メモリと比較して、多くの利点{(高速、低電圧駆動、内部電圧(3Vより小さい)、ブースター回路またはCharge Pumpの不要、単一ビットの可変性、 ランダムアクセス、高い耐久性等)}を有している。さらに、FRAM はバッテリを必要としないことから、 パワー低下後の情報を保持し、また、単純なレイアウトと3Dコンデンサーの統合により、SRAM 速度 で作動し、高速データ収集システムに適用する従来のDRAM に到達することができた。

高い耐久性と保持は、FRAMがDRAM/SRAMとFlashに対する有効な代替えの可能性を有す ることから、物理的と技術範囲の中でシステムへの信頼性が高くなっている[7-8]。なお論文[9-15]で は、電気的および放射線ストレスを受けた強誘電体物質の信頼性が記述されている。さらに論文 [16-17]では、高信頼性と耐放射線性メモリとして強誘電体の利用に高い可能性を示唆している。

本研究では全照射線量に対する商業用 FRAM の放射線耐性を解析することを目的とし、直接的 なデータ破損、温度と放射線損傷との関係、そしてサイクリング繰り返しと高温アニールによる損害回 復について記述する。また、損傷と放射温度依存性を、劣化モデルを用いて説明する。 (3) 試験装置

試料は商業用のFM18L08FRAM(PDIPパケージで動作電圧3.3V、32K×8ビット形状のチッ プ)である。セル構成は、PZT強誘電体(PZT厚:200nm、PZT密度:8.6g/cm³)フィルムを使用した 1トランジスタと1記憶コンデンサーを備えた標準的なDRAMと同様である。

照射は、イタリアのLaboratori Nazionali di Legnaro INFN-LNLで10-keV X線と5MeVプロト ンビームを使用して実施した。放射線損傷に対する電源電圧の影響を評価するために、印加電圧 の有無で照射した(無バイアスの場合、端子は接地)。さらに、照射は−15℃から140℃の温度範囲 で行った。デバイスは、X線減衰を避けるために開封した。

- (4) 試験結果
- (a) 無バイアス照射直後の特性

直接的に放射線効果を評価するため、 異なる温度とメモリパターンで FRAM チップを照射した。実験手順を図 3.2.6-1 に示す。

それぞれの照射直後の観測した結果、 8Mrad(Si)までの高い線量範囲内では 期前 蓄積情報を破損させるようなビットフ ジロンプは現れていない。しかし、ステッ プ2および3の読み出しから、照射中に多く のスタックビットが観察された。図 3.2.6-2(a),(b)は照射温度をパラメータとした 照射線量と発生したスタックビット数の関係 を示す。その結果、照射パターンとビットがス タック状態である論理値の間に完全な相関が あること、さらにSA0とSA1ビットの発生数 は、照射量及び照射温度の増加に伴い増加して いる。図 3.2.6-3 は、温度 20℃と 80℃で放射 線照射した結果で、9Mrad(Si)までビット反転 は見られていない。

(b) 放射線損傷の回復

損傷の回復を評価するために、アニーリングと 繰り返し実験を行った。図3.2.6-4は、SA0 and SA1の室温での回復を時間の関数で示す。デバ イスは70日間無印加で保持した。結果、電離放 射線損傷は、30日の間室温でほとんど変化が無 く、その後は、放射線源(X線または陽子)と無関



図 3.2.6-1. 照射実験パターン:デバイスは照 射前にプログラムされる。照射はメモリ特性を 評価するために一時的に中断。



係に同じ割合で徐々に回復している。また、回復時間の挙動はデバイスへの書き込み/読み込みの

繰り返し、または、適度に高温で保持された場合で短くなることがわかる。図3.2.6-5は、繰り返し実験中での動作プログラム数を関数としたSA0 and SA1 bitsの展開を示す。デバイスへの全てのバイトは、00とFFで切り替わって繰り返しプログラムされた状態である。回復は図3.2.6-5に示す様に、繰り返し及び書き込み回数(アクセス回数)の増加に伴い減少している。



図 3.2.6-6 は、アニール時間と SA0 と SA1 のビット減衰との関係について、温度をパラ メータとして示す。デバイスが無電圧で保持されていても、図に示すように放射線障害は高 温で速く回復する。なお、デバイスは、3.4Mrad まで 80℃で照射し、160℃, 180℃, 200℃ でアニールした。さらに stuck bit の安定度を理解するために、図 3.2.6-7(a)で示すような実 験を 3 つのパターン (set1, set2, set3) で実施した。はじめに、全てのセットは、20℃で 5Mrad(Si)の線量まで照射した。その後、set1 は初期値の 0.3%まで SA0 数が低下する、200℃ の温度で 30 分間無バイアスでアニールした。代わりに、set2 は 20℃で 100 分の繰り返し、 set3 は 100℃で 30 分の繰り返しを行なった。最後に、全サンプルを再度照射した。図 3.2.6-7(b)に SA0 の発生と照射量との関係で示す。



さらに、図 3.2.6-7(b)は、set1, set2 および set3 のサンプルに対する照射中に検知された SA0 ビットを示す。その結果、第1照射の場合、照射量に対する SA0 の発生量は全てのセッ トで変化がない。しかし、set1 によってアニールされたサンプルは、第2の照射後、set2 と set3 のサンプルよりも速く発生数が増加することを示している。

(c) バイアスとパッケージの効果

図 3.2.6-8 は、20℃と 60℃における電力 有無による X 線照射中での電離量を関数 とした SA0 発生との関係を示す。バイア ス印加デバイスは、スタンバイ状態で照射 した。バイアスしたデバイスの劣化は、バ イアス印加しないデバイスよりもおおよ そ10倍も大きい。X線照射中にバイアス が加わった場合、280krad(Si)まで完全に 機能性を維持している。その後、いくつか の故障ビットが出現する。しかし、読み取 り/書き込み動作は残りのセルにおいてま だ可能であった。400krad(Si)照射後、デ バイスは急に動作を停止し、256kcells す べて読み取り/書き込み動作不良となった。 また、プロトン照射結果は、X 線と同様で あった。





バイアスの影響を調査するために、以下の実験を実施した。①小さな配列領域だけを照射 するために小さな丸穴を備えた 2mm の鉛シールドを用いたデバイスへの照射。②照射中の デバイスの半分はバイアス印加と無バイアスとした。それらの結果を、シールドなしの同じ 状態で得られた結果と比較した。図 3.2.6-9 は、4 つの異なる状態で照射した時の故障ビッ トの論理位置を示す。デバイスが無バイアスで照射した場合、故障ビットは照射した領域に のみ現れ、それらはランダム分布を特色とする(図 3.2.6-9(b), (d)参照)。これに反して、 デバイスがバイアスされている場合、故障ビットは行と列に沿って発生し、さらに照射領域 外でも現れる結果となっている。



最後に、パッケージング効果および X 線の減衰を評価するために、室温にて照射試験を パッケージ開封及び部分的に開封したデバイスで実施した。結果は、0.6mm そして 1.4mm のパッケージ材料が 0.63mm の減衰長に対応して、放射効果をそれぞれ減衰させる係数は、 2.5 及び 11.8 であった。

(5) 議論

(a) Role of the Peripheral Circuitry Degradation

電離放射線による照射は、メモリセル配列および周辺の回路の両方を劣化させる。メモリー・チップの劣化は次の回路の原因が推測される。

- 1) 列デコーダ、カラム・デコーダ、プレート・ライン・セレクタ、センスアンプ等 このケースでは、列および(または)カラムに沿った故障ビットのクラスタ化。
- 2) パス・トランジスター・セル・セレクター等

セルセレクターでの影響は閾値領域中でのリーク電流の増加、スレショルド電圧変化および相 互コンダクタンス低下を示すかもしれない。またリーク電流は、動作プログラムに影響を及ぼすセレ クター上の電圧降下を引き起こす可能性がある。この電流はたとえセルが選択されていなくても、 ビット・ラインを横切って流れるものであり、十分な電圧降下を生じ、それは読み取り時のエラーを 引き起こす。そしてそれは同じビット・ラインに接続されたすべてのセル上で影響を及ぼす。デバイ スが無電力で照射された場合、全体のビット・ラインに沿って故障するビットのクラスタを生成する。

3) PZT

故障しているビットは、PZT ヒステリシス・ループの変化と関係している。セル特性分散へのセル により、故障しているビットが照射領域に一様にそして任意に分布していると予想する。

4) ESD 保護、制御回路、I/O 回路

少ない照射線量による SD 保護および他の回路類の劣化は、デコーダおよびセンスアン プと一緒にスタンバイおよび動作電流(IDD)の増加に寄与するかもしれない。我々のデバイ スは、IDD 増加にもかかわらず、電力供給で照射した場合 280krad(Si)までまだ完全に機 能を有していた(図 3.2.6-8 参照)。また、制御回路の劣化が臨界的な水準を超える場合、 メモリー・チップの完全な機能障害を生じる。我々のデバイスにおいて、放射中にバイア スされている場合、これは 400krad(Si)照射の後に生じる。FRAM デバイスはチャージ・ ポンプを持っていない。これはチャージ・ポンプ低下による 10-20Krad より低い線量で故 障を始めることから、通常のフラッシュメモリに関して増加した構造安定性を説明する [24]。

図 3.2.6-9 の結果から、無バイアスで照射した場合、故障しているビットが PZT 劣化を含 んでいるビットの行及び列は観測されなかった。しかし、バイアスで照射された場合、列と カラムが現われる。図 3.2.6-8 の結果から、バイアスしたデバイスのリードエラーは、PZT の劣化よりはるかに速く、周辺回路によって加速された劣化に由来することを示唆している。 実際、バイアス無しの時ではスタンバイ中での照射であり、メモリセルは照射中のバイアス 条件と無関係にいつも高インピーダンス状態である。これに反して、バイアス時、周辺回路 は単にバイアスされる。そして高電界は照射損傷を加速するかもしれない。 また、周辺回路に電源電圧を印加しないデバイスにおいて劣化されることを除外すること ができない。なぜなら、IDD 増加は、周辺回路(列/カラム・デコーダ、センスアンプなど のような)に対する劣化の明瞭なサインである。その上、周辺の回路類の劣化は、メモリア クセス時間のような重要なパラメータに強く影響するかもしれない。しかしながら、周辺の 回路類劣化は、電源電圧を印加しないデバイスの中でのスタックビット発生に関する大きな 原因ではない(これはもし無バイアスで照射した場合、FRAM の周辺回路は数 Mrad 後も まだ動作していると報告されている以前の調査と一致している)。しかし、そこでの電源電 圧を印加したデバイスは、約 12.5krad(Si)でエラーの発生が生じており、それは我々デバイ スよりもはるかに低線量である。この理由として、論文[19]で使用していたデバイスは 5V の電源供給であり、我々のデバイスよりもより加速した低下に結びついたと予想される。

(b) 電源電圧を印加していない場合のPZT劣化

照射線量と温度との関数で示した SA0 と SA1 ビット動作は、強誘電材料の光励起疲労及 びインプリント(強い書き込み)現象によって説明できる(論文中に強誘電体キャパシタに 関して X 線と UV 照射が残留分極(PR)に影響することを示している[25]-[28])。一方で、誘 電体の体積中における電荷補足の結果として生じた磁壁のピン止めによるヒステリシス・ ループ幅(P_{R+} and P_R.の違い)は、疲労劣化現象の発生で減少する[11],[13],[27],[28]。他 方、照射でコンデンサーが初期分極化される場合、誘電体ヒステリシスは誘電体/電極界面 にトラップしている電荷により右から左に移動する。反対のシフトは、PR-による誘電体を 初期分極化することで生じる。(図 3.2.6-10(c))。これはインプリント現象に関与する。す なわち疲労劣化とインプリント現象の混合した影響は、減少とヒステリシス・ループのシ フトに変わる。



図3.2.6-10. 強誘電体のヒステリシス・ループに対する放射線で誘起した影響の概要

FRAM セルにおける 2 進情報は残留分極(P_{R+} or P_{R-})に依存して強誘電体等価静電容量価値 (CP+か CP) に格納される。また、ヒステリシス・ループの減少とシフトは 2 つのキャパシタンス値の CP に影響する。一例として PR+ (図 3.2.6-10(b)) によって初期分極化したセルを考慮する。

照射後のヒステリシス・ループは、減少しそして左側(点線から実線へ)に移動する。こ れはキャパシタンス CP+におけるわずかな変化を発生させる、しかしキャパシタンス CP は、 より強く減少する。もしヒステリシス・ループの劣化が十分高いなら、キャパシタンス CP は小さくなり過ぎることから、PR+状態は PR からの区別できない(動かないビットをもた らして)。もしコンデンサーが PR で初期分極化する場合、正反対となる。

測定している中で動作温度が増加する場合、スタックビット数が増加することを見つけた。事実上、 この時のヒステリシス・ループは増加している温度により減少し、CP+と CP の違いは小さくなる結果 が得られている。この問題を避けるために、メモリ特性解析は照射温度に対して依存しない 85℃で 行った。その結果、図 3.2.6-2 と図 3.2.6-3 中のデータは照射温度に依存する単に放射線損傷に よって説明することがきる。同じ照射線量における X 線照射はプロトン照射より多量のスタックビット を発生させる。これは珪化物の高原子番号金属により引き起こした線量増進効果による。(強 誘電体 PZT は 60.7%の鉄を含む)。

放射線誘起損傷は可逆的である。文献[31]に SBT のような誘電体材料は繰り返された電 気サイクリングでヒステリシス・ループが活性化する傾向があるということが示されている。 しかし、論文[25],[31]では、PZT はそれほど回復傾向がないと報告されている。それにもか かわらず、実験では放射線損傷の部分的回復に伴うスタックビット数の減少を観測した。こ れは、PZT が照射線量により適度に劣化したことを示唆し、また、部分的回復は可能であ ることを示唆している。

照射で誘起した疲労と PZT を基板とするコンデンサーのインプリントは分極界面におけ る光励起電荷捕獲によるものである。もしデバイスが室温でバイアスなしで保持されるなら ば、この電荷は取り除かれると主張できる(図 3.2.6-4)。さらに分極は電子捕獲電荷によっ て強くピンで止められるので、分極消滅は繰り返している電場の間で適当に生じる。しかし、 電荷放出と分極消滅は、高温で大幅に加速される。

図 3.2.6-7 の結果から、アニーリング後の PZT 格子構造は照射前のように回復しないこと が分かる。しかし、いくつかの欠陥は修復されており、それはオリジナルのものより弱い構 造となっている。即ちアニーリングの間に形成された弱い結合が、容易に 2 回目の照射に よって再度壊すことが可能な準安定構造であるという注目に値する (set1 図 3.2.6-7(b))。 これに反して、set2 の場合は、繰り返しが室温で行われたにもかかわらず 2 番目の照射挙 動が最初の照射カーブと完全に重ね合わすことが可能であることから、PZT 欠陥が完全に 回復したことを示唆している。これは、高温アニーリングがドメイン配向の切り換え、およ び結果の格子再編成を行うことで欠陥回復における重要な役割を効果的であることを示し ている。

(6) 劣化モデル

FRAM メモリの信頼性はインプリンティングと疲労を誘導している残留分極の誘発に影響する正 電荷捕獲に関連し、さらに温度が強く分解する速度に影響している。(図 3.2.6-2、図 3.2.6-3)。

モデル開発する上での難題は残留分極の直接測定が不可能なことである。この問題を克服するために、以下の事を考慮し統計的手法を実施した。


図3.2.6-11. 劣化モデルの概略

- 1) ヒステリシス・ループが特定の劣化度に達するとき(強誘電体ループ幅の減少、またはヒステリ シス・ループシフトのクリティカルな値になる時に起こる)、各メモリセルは故障する。
- 2) 全イオン線量実験と強誘電体キャパシタ面積が13.2µm²であるため、照射で誘起した固定電荷と欠陥は強誘電体膜中で一様に分布と考えられる。これらのことから、ヒステリシス・ループのシフトと幅の減少は強誘電体の中で捕獲されている多量な正電荷に比例していると考えられる。
- 3) 配列中のセルの残留分極は、特定の平均値 P_{R,m}、および特定の標準偏差δのガウス分布 をしている(図 3.2.6-11(a))。最初の近似として、我々は放射線で誘起した電荷捕獲は、 図 3.2.6-11に示したように、セル分極のガウス分布の形を変えないように残留分極の分 布が変わることでシフトするようにと仮定した。なおこの仮定は、すべてのセルは全線 量実験を実施していることから一様に低下していると論じることができる。

また、図 3.2.6-6 のデータによって実験的に検証されたように欠陥回復は最大照射温度まで無視できる。これらの仮定から、メモリ中の欠陥セルの割合は式(1)によって与えられる。

$$f = \int_{-\infty}^{P_{FAIL}} \frac{1}{\sqrt{2\pi\sigma}} \exp\left[-\frac{\left(P - P_{R,m}\right)^{2}}{2\sigma^{2}}\right] dP$$
$$= \frac{1}{2} + \frac{1}{2} \operatorname{erf}\left(\frac{P_{FAIL} - P_{R,m}}{\sqrt{2\sigma}}\right)$$
$$= \frac{1}{2} + \frac{1}{2} \operatorname{erf}\left(\frac{P_{WIN}}{\sqrt{2\sigma}}\right)$$
(1)

式(1)では、フラッシュメモリのプログラミングウィンドウとの類推で、臨界分極値PFAILとセル配列 PR,mの平均残留分極の間の違いとして分極ウィンドウPwLNを定義した。PwLNは放射で誘起した捕 獲電荷により直線的に低下すると考えられる。

以下ように捕獲された電荷積層をモデル化する:

照射によって多くの電子・正孔対を発生させる。そして迅速な再結合の後残った自由ホー ルの数をHと定義する。発生した正孔の一部は前駆欠陥に捕獲されて、捕獲電荷Qを増加させ る。これら先駆欠陥の数Nはプロセスで発生したものと放射で誘起した欠陥の両方を含む。 即ち、Nは照射線量の増加に伴い増加する。

ある時間dtにおける自由ホールの増分dHは式(2)のように表される。

$$dH = a \cdot r \cdot dt - b \cdot H \cdot dt - \frac{dQ}{q} \tag{2}$$

aは単位線量当りに発生したホールの数、rは線量率、bはdt時間中に強誘電体から出て行った正孔及び中性化/再結合した正孔の成分、qは素電荷であり、dQ/qはdt時間に前駆欠陥に捕獲された正孔の数を表す。

論文[32]に示されているゲート酸化膜の照射に関する報告から、捕獲された電荷による照 射誘起欠陥は、照射によって発生した荷電欠陥の構造変化から生じると想像できる。例えば、 弱いSi-Si共有結合で正孔捕獲が生じるSiO₂中の中性トラップで、これは正孔捕獲後の Si-Si+中性の両性欠陥の緩和現象である。この説明を強誘電体に適用すると、正孔は強誘電 体中を動く間に、分極界面での強い結合力を持つダングリングボンドに捕獲されると考えら れる。さらに電荷放出や中性化は中性欠陥となり、固定電荷の中性欠陥として残る。

このことから、欠陥成長率は、少なくとも最大10Mrad(Si)までの照射線量まで、飽和状態に至らずに強誘電体中の自由ホールの数に比例していると考えられる。

欠陥成長速度は式(3)のように記載されている。

$$dN = d \cdot H \cdot dt \tag{3}$$

ここでdは欠陥発生確率の意味である。いくつかの自由ホールは、自由ホール(H)と空欠陥数に 比例する割合による先駆欠陥の中に永久に捕獲されるかもしれない。

$$dQ = c \cdot \left(N - \frac{Q}{q}\right) H \cdot dt \tag{4}$$

定数cは正孔捕獲確率を説明。式(2)ー式(4)から、以下のような常微分方程式を得る:式(5)

$$H' = a \cdot r - b \cdot H - \frac{Q'}{q}; \quad N' = d \cdot H; \quad Q' = c \cdot \left(N - \frac{Q}{q}\right) H \tag{5}$$

図3.2.6-12は、初期条件としてH(0)とQ(0)=0、N(0)=0で式(5)によって計算した結果を示す。照 射が始まる場合、自由ホール密度の増加率は式(2)と式(4)を結合した式(6)で得られる。

$$H' = a \cdot r - \left[b + \frac{1}{q}c \cdot \left(N - \frac{Q}{q}\right)\right] \cdot H \tag{6}$$

N>Q/qの場合、時定数は1/bより小さい。したがって、bはHの過渡的な長さの限界を示す。 定数bはPZTからのホール脱出率に比例しており、10⁻⁵~10⁻⁶ cm²秒間と報告されているPZT のホール移動度に関連している[33]。また、100V/cmの小さなPZT電界で、ホールは100ミリ 秒の時間で200nm PZT層からドリフトする。

図3.2.6-12に示すように、ひとたびHの過 渡状態が終わると、Hは定常置(Ho)へと向か う。そしてNは直線的に増加する。より大き なt値の場合、Qは漸近的にNより同じ斜面に 接する直線に向かいます。QとNの漸近なス ロープ(k)は式(7)のようなモデルパラメータ から計算される。



図3.2.6-12. 式(5)を用いた解答の例

$$k = \frac{a \cdot r}{1 + b/d} \tag{7}$$

Q(∅)について式(5)を解決した後に、式(8)のようにP_{WLN}の変化を書きます。 そして、式(8)を式(1)に挿入します。

 $P_{\text{WIN}}(\phi) = P_{\text{WIN}}(0) - \alpha \cdot Q(\phi)$

αは、残留磁気変化によって捕獲した電荷に関連している比例性定数、そしてφは照射線量。

(8)

図3.2.6-13は実験データとモデルとの良い一致を示す。図3.2.6-14は、SA0とSA1ビットにおける 活性化エネルギーに0.093eVと0.085eVに伴う照射温度の関数としたArrheniusの様な傾向を特長 としているスロープkの展開を示す。(Arrheniusとは化学のアレニウスの式:反応速度と活性化エネ ルギーの関係式)

モデルパラメータを分析することか ら、照射温度はほとんど正電荷捕獲 に作用し、温度増加により加速される。 式(7)は、ほとんどのk変化がb/d比率 に依存することを示している。実際、 全ての照射は一定線量率で行われて いることから、照射によって発生した ホールの数と関連するパラメータは一 定と考えられる。そのような数はター ゲット材料のエネルギーギャップと放 射線のエネルギーにほとんど依存し、 それは温度によってわずかな影響を受けると 考えられる。

本論文では、ホール移動度は温度によって わずかに増加することが報告されている[34]。 これは、エスケープ時間を減少させることから、 結果増加することを示している(これは、図 3.2.6-14と対照的になっている)。したがって、 増分は支配的な効果であると考えられる。また、 dの増加は、より多くの欠陥が増加している温



図 3.2.6-13. 温度と線量を関数とした SA0と SA1ビットの発生



度によって発生することを示し、欠陥発生過程は活性した温度による影響であることを示唆している。 SA1の数が常にSA0より少なくても(図3.2.6-2(a), (b))、それらの成長速度はほとんど同じ活性化エ ネルギーを特徴とする(図3.2.6-14)。これは熱的に活性化されるインプリントそして疲労現象が同じ 方法でSA0とSA1で衝撃を与えると示唆する一方、SA0とSA1の異なる数は多分周囲の読まれた回 路の敏感度に負っている。

- (7) 結論
 - ✓ 本論文では強誘電体メモリ用チップの放射線耐性試験の結果を示した。
 - ✓ 放射線損傷は照射温度に強く依存する。

- ✓ 照射量として9Mrad(Si)までの範囲では少なくとも破損のないスタックビットだけから成る。
- ✓ デバイスは無バイアスで照射した場合、耐放射線性ははるかに高い。
- ✓ 放射線損傷は数週間の期間中にアニールする。
- ✓ その回復率はelectrical cyclingまたは高温アニールのどちらかによって加速される。
- ✔ 高温アニーリングがスタックビットを減少することに最も効果的である。
- ✓ 欠陥発生率が熱で活性化することを示す照射温度の関数とした放射破壊力学を利用したモデルを開発した。
- ✓ これらの実験データの結果は放射の厳しい環境で利用するデバイスとして、強誘電メモリが有望であるという考えを確認した。

3.2.7 薄膜 SOI 型 SiGe HBT におけるトータルドーズおよび重イオン電化収集

| 文献名 | Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe | | |
|-----------|---|---|--|
| | HBT on Thin-Film SOI Technology | | |
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3197- 3207, Dec. 2008. | | |
| 著者名 | M. Bellini, S. D. Phillips, R. M. Diestelhorst, P. Cheng, J. D. Cressler, P. W. | | |
| | Marshall, M | I. Turowski, G. Avenier, A. Chantre, and P. Chevalier | |
| 対象デバイス | | SiGe HBT | |
| 実験設備 | 莆 | | |
| 照射線種及び | | プロトン($63 \mathrm{MeV}$) | |
| エネルギーの区分 | | 重イオン(TCAD のみ) | |
| 単発現象又は | | 積算線量効果 | |
| 積算線量効果の区分 | | | |
| 実験又は理論の区分 | | 実験、シミュレーション | |

(1) 概要

薄膜 SOI 上に作成した高性能 SiGe HBT について、DC 特性、AC 特性、熱特性に関する放射 誘起効果を調べた。TCAD シミュレーションをこのユニークな CBE^BC デバイスレイアウトに対して行 い、重イオン電荷収集に関する新しい現象を示した。

(2) 序論

SiGe HBT は近年、ミリ波 IC のアナログ/混合および RF(Radio Frequency)として顕著な成功を 収めている。これは優れた周波数応答、低ノイズ、高ゲイン、高度なインテグレーションのためである。 他方、SOI 技術はますます商業的に注目されている。なぜなら、素子の孤立化とクローストークの改 良、寄生とリークが減少、および、付加的な強化プロセス無しに SEU 耐性の顕著な改善が期待でき るからである。この観点で考えると、CMOS 互換の SOI 基板上に作成した SiGe HBT は、BiCMOS の将来的なスケーリングに対して魅力的な方法となりつつある。放射線という観点から SOI 基板 SiGe は、バルク SiGe で確認されたトータルドーズ耐性と、バルク SiGe HBT で知られた SEU 感受 性低減の組合せを潜在的な可能性として持っている。

本研究では、ST マイクロン社の新しい高性能 SOI 基板 SiGe HBT[2]のAC、DC 特性につい て、63MeV 陽子放射(トータルドーズで 2Mrad(SiO₂)まで)の効果を調べた。まず、EB 構造で作成されたバルクSiGe HBTと耐放射線 性で比較した。両デバイスの唯一の違いは基板 (バルクと SOI)およびコレクタのドーピングであ る。さらに重要なことは、本研究のデバイスが先 進的な C_BE^BC レイアウト(非平面ベース接触、 図 3.2.7-1 参照)という特徴をもっており、AC 特



図 3.2.7-1. C_BB^EC レイアウト SOI 型 SiGe HBT の TEM 断面図。

性を顕著に改善する。本研究では CBEBC レイアウトの TID と SEU の効果をはじめて解析した。

実験データと校正した 3 次元 TCAD シミュレーションで、逆モードにおいて、基板酸化膜表面に 沿って、コレクタとベース間に流れる電流が基板バイアス Vs によって帰ることができ、放射線漏れ電 流を減少することを示している。さらに、エミッタ中央に重イオンを打ち込んだシミュレーションで、 C_BE^BC レイアウトは、新しい電荷収集現象を示した。結果として、300K から 390K の温度 範囲での照射前後のバルクと SOI SiGe HBT の熱抵抗を比較し、SOI 素子の放射線照射で R_{TH}の増加を示した。

(3) デバイス構造と実験セットアップ

薄膜 SOI 上に SiGe HBT を作成するには、Si 層を厚膜、高濃度サブコレクター(バルク SiGe HBT ではコレクタ端子への低抵抗パス)と合わせるために完全空乏型または部分空乏型構造を採ることになる。本研究で議論するデバイスは、130nm SOI CMOS プロセスの上に、たった 4 つのマスク層を付加したものであり、図 3.2.7-1 に示すように 400nm 埋込み SiO₂ 酸化膜(BOX)の上に 150nm SOI 層を形成している[4]。新しいコレクタ構造は、電流の 2 次元(エミッタ下に垂直、 SOI/BOX 界面に水平)の流れを生じさせる。以前の研究で、完全空乏型の場合についてトップコレクター接触への低抵抗パスを仮定し、基板電圧 Vs は SOI/BOX 界面の電荷を蓄積させることを示し、 コレクタ抵抗 Rcを大幅に減少させ、ブレークダウン電圧の低下の代わりに f_{T} とfmaxを増加させること を示した。真のサブコレクターが無いことによる AC 特性の低下を抑えるために、ここでは新しい CBE^BC レイアウトを採用し、Lc(エミッタ-コレクタ間距離、図 3.2.7-1)を 0.4 μ m まで短くした。本研 究では、バルク SiGe HBT と完全空乏型 SOI 上 SiGe HBT について、パッケージの蓋を外し、接 地した状態で 63.3MeV プロトンをトータルドーズ 2Mrad(SiO₂)まで照射し、測定は in situ で行った。バルク及び SOI AC 試験構造で、静的(端子解放)状態でトータルドーズ 4.2Mrad(SiO₂)まで照射し、AC 特性に関する放射線の影響を定量化した。

(4) トータルドーズ効果

図 3.2.7-2 は、バルク型と SOI 型の SiGe HBT の順モードについて、ドーズ量の増加にともなう プロトン誘起により電流利得 (Ic/IB) が低下することを示している。



図 3.2.7-3 は、SOI デバイスについて、照射後に正の基板電圧(Vs)を掛けると、逆モードで起こる

ベース漏れが減少することを示している。



図 3.2.7-4. SRH 生成再結合レートの1次元プ ロット。Vs は挿入図に示したようにベース-コレ クタ間で 0V, 20V とした。



図 3.2.7-5. 部分空乏 SOI 型 SiGe HBT の順 モードガンメルプロット。数種類の温度につい て、プロトンドーズ 4.2Mrad(SiO2)の前後でプ ロットした。



L(A) 図 3.2.7-6. 完全空乏 SOI 型 SiGe HBT の fr(遮断周波数)、fmax(最大発振周波数)。 プロトン 4.2Mrad(SiO₂)ドーズの前後で Vs=0, 10V についてプロットした。エミッタ面 積 A_Eは 7×(0.17×0.85) µ m², Lc は 0.62 µ m。



図 3.2.7-7. バルク型および SOI 型 HBT の熱 抵抗 RTH の Vs 依存性。2Mrad(SiO₂)ドーズ の前後で測定した。温度は 300K, 350K, 390K とした。

3D TCAD シミュレータ Nano TCAD[8]は、SOI デバイス、および、バルクデバイスの順モード、 逆モードに対して、キャリブレートされたモデルを提供してきた。逆モードでの非理想的ベース電流 を再現するために、(文献[10]で提案された)おおよそ 1×10¹⁰cm⁻² のトラップ濃度を、基板の酸化 物/SOI 界面に設定した。シミュレーションは Vs の効果を正しく再現しており、電流は電界の影響で SiO₂/Si 界面から効果的に離れ、図 3.2.7-4 に示すように生成/再結合に起因するリークを減らす。

部分空乏型デバイスについて、30Kから300Kの温度範囲でプロトンドーズ量4.2Mradの照射 前後で測定した結果を図3.2.7-5に示す。照射前の順モードでのピーク電流ゲインは、ベース中の Geの存在により300Kでの250から77Kでの1500以上まで増加する。重要なことに、4.2Mrad という多量のドーズ後のピーク電流の低下は10%以下で、通常のICでは無視できる量である。過剰 ベース電流の理想ファクタは、かなり(室温での2から低温での40以上まで)増加する。このことは低 温ではTrap-Assisted Tunnelingモデルが支配的あることを示している[11]。 AC 特性について述べる。バルク型は、 f_T , f_{max} とも変化しなかった。逆に完全空乏型 SiGe SOI 型 HBT は、以前の知見と同様に図 3.2.7-6 に示すとおり照射後に f_T , f_{max} が増加した。照射により SOI/BOX 界面で正電荷が生成し、Kirk 効果の開始を遅らせ、そのため f_T , f_{max} が増加する[5]。こ れは基板電圧 Vs を高くすることと電気的に等価である。AC 特性の改善は、回路にとって潜在的な 懸念であるブレークダウン電圧の低下により実現する。



図 3.2.7-8. SOI 型 SiGe HBT における電力 密度の挿入図の線 z に沿った 1 次元プロット。 Vs=0V, 20V についてプロットした。



図 3.2.7-9. SOI 型 SiGe HBT における電 力密度の(図 3.2.7-8の挿入図の面 a につ いての)2 次元プロット沿った。Vs=0V, 20V についてプロットした。

我々は、熱抵抗 RTH の照射による効果を文献[13]で述べた手法を用いて、バルク型、SOI 型両 方の HBT について初めて調べた。図 3.2.7-7 は、バルク型の熱抵抗の変化は無視できる一方で、 SOI 型では Vsの増加によって RTH が増加することを示している。

TCAD シミュレーションで電力密度分布を調べた。SiGe SOI型 HBT に対して VBE=0.7V, VCB = 2V, Vs =0V, 20V で計算した。図 3.2.7-8 は、Vs=0V および 20V での、エミッタのすぐ下のz軸に 沿った 1 次元の電力密度 P である。他方、図 3.2.7-9 はエミッタからコレクタにかけての平面 a(図 3.2.7-8 の挿入図参照)における Pの 2 次元断面分布である。SiO₂の熱伝導率は Si より小さいので、 電流による熱は主に Si 層とトップコンタクトで発生しており、SiO₂ BOX では発生が少ない。それゆえ Vs=20V では、SOI/BOX 界面における付加的な電力損失は、図 3.2.7-8、図 3.2.7-9 で示したよう

に SOI 層全体を流れ、熱抵抗がはっきりと 上昇する。多量の放射ドーズは熱抵抗の増 加と衝突イオン化を起こすので、放射環境 下で VcBが大きな場合、自己加熱の潜在的 な増加は素子の信頼性の懸念となり得る。

(5) 重イオン打込みによる電荷収集

SiGe SOI 型 C_BE^BC レイアウト HBT に ついて、エミッタ中心へのイオン打込み用に キャリブレートされた 3D TCAD シミュレー ション結果を図 3.2.7-10 に示す。全収集電





 $P(mW/\mu m^3)$

荷は 0.025pC 以下とバルク型での 1pC と対照的であり、予想どおりSEU に対する脆弱性が顕著に 低下する。

興味深いことに、通常の C_BE^BC レイアウト(ベース接触がエミッタ-コレクタ間の平面上にある)バ ルク型デバイスのエミッタ中心へのイオン打込みと比較して、電流のパルス形状は顕著に異なる。IB は無視できるほど小さく、IEとICは逆符号になることが示された。負のIBパルスはベースから出て行 く過剰な正孔に由来し、正の IEパルスは図 3.2.7-11 に矢印で示したようにエミッタから出て行く過剰 な電子による。Icパルスの符号の変化は、図 3.2.7-10 に A. Bと印した時刻に起こる現象による。

時刻 A において、図 3.2.7-11 に示すように、イオン打込みにより多数の電子-正孔対が生成し、 SOI 層が非平衡状態になり、キャリア再結合の急激な増加をもたらす。再結合は、コレクタ抵抗が低 い高ドープ n 領域の先端でピークとなり、コレクタ接触からの大きな電流を生じさせ負の Ic パルスと なる。



ト平面を示している。

図は2次元カット平面を示している。

時刻 B において、EB 接合、CB 接合が順バイアス時の基板で、イオン打込みにより静電ポテン シャルが図 3.2.7-12 に示すようにかなり不安定になる。CB 接合順バイアスによる正の Ic成分はコレ クタ電流の流れをトータルに変え、再結合の減少により時刻 C で正の Ic パルスとなる。逆に言うと、 EB 接合の順バイアスは、図 3.2.7-10 に示すようにエミッタ電流を減少させる。このとき、素子は飽和

領域で動作しており、大きな IB 電流で Ic と IEをサポートしていることが示される。

CBEBCレイアウトは素子の対称性が大きく 崩れているため、イオン誘起電流曲線の正 確な形状が、実際の打込み位置に依存する ことを期待できる。この仮説は、エミッターベー ス間のイオン打込みで生じる電流を示してい る図 3.2.7-13 とその挿入図で確証的となる。 この場合、電子の大部分は直接コレクタへ流 れる、なぜならほとんど n型接触と言えるから である。TCAD シミュレーションによると、この



図 3.2.7-13. SOI 型 HBT のエミッタ・ベース間(挿 入図参照)へのイオン打込み時の収集電荷。

領域でのイオン打込みはデバイスに影響を与えず、これは打込み誘起電流の符号を変えない理由 を説明できる。

(6) まとめ

独自の EB 構造をした SOI 型、バルク型基板の SiGe HBT への 63.3MeV 陽子照射の効果を、 DC 特性と AC 特性の比較、熱抵抗によってはじめて評価した。SOI 型は逆モードにおいてバルク 型よりも特性が大きく低下するが、基板バイアスの増加により余分なリークを減らすことができる。照 射による電流の変化で R_{TH}が増加し、大きな V_{CB}において信頼性が低下する。最後に 3D TCAD シミュレーションにより、これら SOI 基板 SiGe で使われる新しい C_BE^BC レイアウトが、イオン打込み で誘起される電流パルスの波形に影響し、潜在的には SEU 耐性を変えることを示した。

参考文献

- [2] G. Avenier et al., "A self-aligned vertical HBT for thin SOI SiGeC BiCMOS," in Proc. IEEE Bipolar/BiCMOS Circuits and Technol. Meeting, 2005, pp. 128–131.
- [4] G. Avenier et al., "Investigation of fully- and partially-depleted selfaligned SiGeC HBTs on thin film SOI," in Proc. ESSDERC, 2005, pp. 133–136.
- [5] T. Chen et al., "Substrate bias effects in vertical SiGe HBTs fabricated on CMOS-compatible thin film SOI," in Proc. IEEE Bipolar/BiCMOS Circuits and Technol. Meeting, 2005, pp. 256–259.
- [8] NanoTCAD Software, Version 2007. Huntsville, AL: CFD Research Corp, Sep. 2007[Online]. Available: http://www.cfdrc.com
- [10] Y. Li, "Radiation effects and temperature effects of SOI CMOS technology," Ph.D. dissertation, Auburn Univ., Auburn, AL, 2003.
- [11] J. C. S.Woo, J. D. Plummer, and J. M. C. Stork, "Non-ideal base current in bipolar transistors at low temperatures," IEEE Trans. Electron Dev., vol. 34, pp. 130–138, 1987.
- [13] T. Vanhoucke, H. M. J. Boots, and W. D. van Noort, "Revised method for extraction of the thermal resistance applied to bulk and SOI SiGe HBTs," IEEE Elect. Dev. Lett., vol. 25, p. 150, 2004. [1] D. C. Look et al., "Defect donor and acceptor in GaN," Phys. Rev. Lett., vol. 79, no. 12, pp. 2273–2276, 1997.

| 3.2.8 | バンド間トンネリ | ング誘起ドレイン | リーク電流のゲート | 長及びドレインバー | 「アス依存性 |
|-------|----------|----------|-----------|-----------|--------|
|-------|----------|----------|-----------|-----------|--------|

| 文献名 | Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling-Induced | | | |
|-----------|---|---|--|--|
| | Drain Leakage in Irradiated Fully Depleted SOI Devices | | | |
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3259- 3264, Dec. 2008. | | | |
| 著者名 | F. E. Mamouni, S. K. Dixit, R. D. Schrimpf, P. C. Adell, I. S. Esqueda, M. I | | | |
| | McLain, H. J. Barnaby, S. Cristoloveanu, and W. Xiong | | | |
| 対象デバイス | | 完全空乏型 SOI トランジスタ (NMOSFET) | | |
| 実験設備 | | ARACOR X-ray system | | |
| 照射線種及び | | X線 10keV | | |
| エネルギーの区分 | | 31.5krad(SiO ₂)/min, <300krad | | |
| 単発現象又は | | 積算線量効果 | | |
| 積算線量効果の区分 | | | | |
| 実験又は理論の区分 | | 実験 及び シミュレーション | | |

(1) 概要

放射線(X線)が照射されるとFD-SOI NMOSFET オフリーク電流(GIDL)が大きくなる現象について、ゲート長及びドレインバイアス依存性を調べた。実験結果は、バンド間トンネリングによる効果及びTIDダメージによって埋め込み酸化膜中にトラップされた正電荷による効果を組合せたモデルによって説明することができる。Vgs負領域において、ドレインリーク電流がドレイン電圧増大に伴って大きくなるのは、ゲートドレインオーバーラップ領域の電界が大きくなるからである。これらのデバイスのオフ電流は、TID 増大に伴って増える。それは、埋め込み酸化膜に捕獲された電荷が、BBT 現

象を強めることよって起こるものである。実験 データは、上記オフリーク電流がゲート長の 短い場合に顕著となることを示している。短 チャネルデバイスでは、BBT で生成された 正孔がソース側にドリフトしドレイン電流を増 大させるのに対し、長チャネルデバイスでは、 それらはゲート酸化膜を越えてトンネルする 傾向となることをシミュレーション結果は示し ている。

1E-4 V, shift 1E-5 1E-6 1E-7 1E-8 Drain Current 1E-9 Hysteresis 1E-10 Forward sweep 1E-11 Reverse s 1E-12 BBT enhanced leakage 1E-13 Irradiation conditions Measurement conditions Gate voltage : 0.8 V Drain bias : 1.3 V 1E-14 Back gate bias : 3 V W/L = 0.15/0.51E-15 -0.6 0.2 0.4 0.8 -0.8 -0.4 -0.2 0.0 0.6 Gate Voltage (V_)

(2) 序論

SOI MOSFETs は、活性層が BOX 層で 基板から分離されているので、バルク Si MOSFET に較べて電荷収集体積が減少し SEU 耐性が優れている。しかし、BOX 層が あるので、TID に関してはバルクトランジスタ 図 3.2.8-1. フローティングボディ型デバイス(ゲー ト長 0.5um)の X 線照射による Ids-Vgf 特性 照射条件:エネルギー=10kev, ドーズレート=31.5krad(SiO₂)/min., フロントゲート電圧=0.8V, バックゲート電圧=3V, ドレインとソースは接地 測定条件:Vd=1.3V 印加

より影響を受けやすい。これはTIDでBOX層に正電荷を捕獲するためで、バックゲートI-V特性の 負方向シフトから明らかである。 BOX に捕獲された正電荷は、バックチャネルによるドレイン・ソース間のリーク電流増加をもたらす [4]。図 3.2.8・1 は、放射線照射したメサ分離完全空乏型 SOI(FDSOI)素子のフロントゲート電圧 (Vgt)を正方向及び負方向に掃引したときのドレイン電流(Id)特性である。

フローティングボディを有する NMOS 素子に対して、ドーズレベルが大きくなると、負のゲート電 圧印加時でも高いドレイン電流が観測されている。この寄生的な電流は、バックゲートトランジスタが 酸化膜中に捕獲された正電荷によって導通するもので、高いドーズレベルで低いドレインバイアス、 あるいは通常のドーズレベルで高いドレイン電圧での衝突・電離によって生じる[4]~[8]。しかし、こ の効果が生じる精密なモデルは、まだ議論されていて、動作条件や素子特性に依存する。

最近、2 次元シミュレーションによって得られた新しいモデルが提案されている。このモデルは、放 射線照射した完全空乏型 SOI 素子におけるリーク電流が、BBT(band-to-band tunneling) と BOX 中の捕獲正電荷がどのように組み合わされて生じるかを示した。特に、負のゲート電圧に対し て[9]で取り扱われている。

図 3.2.8-2 は、上記の放射線応答特性を説明するため提案されたモデルである。ゲートドレイン電 圧が大きな負電圧となるとき、ゲートドレインの重なり合う領域に高電界が生じ、この結果 BBT が生じ、 ゲート誘起ドレインリーク電流(GIDL 電流)が増加する。この高電界により、図 3.2.8-3 に示すように

BBT を介して電子・正孔対を発生させ、電子はドレインへドリフトし正孔はボディへと動く(図 3.2.8・2 の矢印①)。そして正孔がソースに達すると、ボディソース間接合は順方向 Si にバイアスされるので電子がボディに注入される(図 3.2.8・2 の矢印②)。図 3.2.8・2 の矢印③で示されているプロセスは、ドレインリーク電流の増加の主要な成分である。これは、BOX中の放射線照射による捕獲電荷とソースに対するボディ電位の増大が組み合わさったボディ効果によって、バックゲートしきい値電圧を低くし、バックゲートの界面に沿ってソースからドレインへの電流を大きくするものである[9]。

本論文では、完全空乏型 SOI MOSFET のトータルドーズに対する影響をドレインバ イアスとゲート長の関数として検討した。特



図 3.2.8-2. TID によるドレインリーク増加 モデル(FD-SOI NMOSFET)

- BBT により生成された正孔がボディに向かって流れる
- ② ソースーボディ障壁が下がることによって電子がボディに逆流
- ③ BOX 中に正孔捕獲・バックチャネルリー クが発生(これは文献[6]等と同じ)

に負のゲート電圧に対しては、ドレイン電流がドレインバイアスと共に増加しゲート長と共に減少した。 このメカニズムとして、BBT、BOX 中の正電荷捕獲、薄い酸化膜の直接トンネリング、短チャネル効 果を検討した。

これまでの研究(1):

低放射線照射・高ドレイン電圧(文献[2]など)→衝突イオン化現象がメイン、寄生バイポーラ動作 これまでの研究(2):

高放射線照射・低ドレイン電圧(文献[6]など)→BOX に正電荷捕獲がメイン、バックチャネル動作

これまでの研究(3):

低放射線照射・低ドレイン電圧(文献[9]など)→図 3.2.8-2 を参照。シミュレーションによる現象説 明。

本研究・論文の目的:

文献[9]の研究・Simulationにより説明されている、TIDによるリーク電流増加モデルのうち、バンド間トンネリング現象(BBT)がそれを強める考え方(特に図3.2.8-2:①②)に関して、実験でその妥当性を確認することが本研究・論文の目的である。

(3) 実験の詳細

初期材料は、標準 UNIBOND ウェハを使用した。SOI 膜厚 及び BOX 膜厚は それぞれ 58nm と 150nm である。SOI 層は p 型(2E15/cm³)で、トランジスタは FinFET を作製する技術 で製造されるが、ここでのデバイスは ゲート幅は十分広く・メサ分離プレーナ型と考えて差し支えな い。アクティブ領域をパターニングした後、ウェハは 700℃ H₂ アニール (600m Torr) を施す。こ れは 表面や メサ分離の Si コーナーを滑らかにするための処理である。2nm ゲート酸化膜は 975℃ in-situ 蒸気酸化で生成され、ゲート電極は 7nm TiSiN LPCVD と 100nm ポリシリコン 層から生成される。

トランジスタ寸法・電気測定方法をまとめると、以下のとおりとなる。



写真は同内容の発表:<u>http://isde.vanderbilt.edu/content/muri 2008/Elmarmouni muri2008.pdf</u>から 図 3.2.8-3. 評価用デバイスの詳細

X線照射条件 及び 同照射時のバイアス条件は以下のとおりである。



- ・照射条件 (ARACOR X-ray System) 10keV, ドーズレート 31.5krad(SiO₂)/分
- バイアス条件(X線照射時)
 ソース及びドレイン接地、フロントゲート
 0.8V、バックゲート 3.0V※
 ※BOX界面に、正電荷が捕獲されやすいように裏面を反転させておく。
- 全ての測定/照射が針を立てたままの in-situ測定

バックゲート電圧=3V. ドレインとソースは接地

測定条件:Vd=1.3V印加

写真は同内容の発表: <u>http://isde.vanderbilt.edu/content/muri 2008/Elmarmouni muri2008.pdf</u>から 図 3.2.8-4. X 線照射及び測定時の写真

(4) 実験結果

X 線照射総ドーズを増やした際の、ドレイン電流(I_D)-ゲート電圧(V_G) 特性変化の様子を図 3.2.8-1 に示した。 **1E4**



(a) ドレインバイアス依存性

図 3.2.8-5 及び図 3.2.8-6 から、Vg 負領

域のリーク電流が、照射ドーズが多くなる程より大きくなる効果は、ドレインバイアスが大きいときに 顕著になることがわかる。これは、ドレインバイアスが大きくなるとBBTキャリア生成率が高くなり、発 生した正孔がソースに走ってボディ電位が浮くためである(図 3.2.8-8 を参照)。

(b) ゲート長依存性

図3.2.8-7及び図3.2.8-5から、Vg負領域のリーク電流が、ドーズ量が多くなる程より大きくなる効果は、ゲート長が短くなると顕著になることがわかる。逆に言えば、長チャネルでは、BBTで発生し

た正孔がソースの方に向かわずボディ電位が浮かないためである(後述図3.2.8-12及び図 3.2.8-13 を参照)。



(5) 議論

TCAD シミュレーション結果は、上記(4)項で示した実測結果・物理現象を説明することができる。 これらの数値計算では、放射線損傷はSOI層・BOX層界面に正捕獲電荷が一様に分布している ものとしてモデル化している。図 3.2.8-9 は、BOX 中の捕獲電荷(Not)が 0~5E11[cm⁻²] の場合で の I_DV_G シミュレーション結果である。Notを考慮したシミュレーションでは、フロントゲートしきい値電 圧(VTf) が負側にシフトし、負ゲート電圧における リーク電流が増加する結果となっている。

ドレインバイアス依存(4項(a))に関しては、図 3.2.8-8及び図 3.2.8-9 で説明できる。

シミュレーション結果は、図 3.2.8-5 及び図 3.2.8-6 の実測傾向と一致する(図 3.2.8-9)。ドレイン バイアスが大きい方が BBT によるキャリア生成率が高くなり、ボディが浮くからである(図 3.2.8-8)。放 射線照射後(post-rad)に相当するシミュレーションでも、上述のとおりのメカニズムによってリーク電 流成分が増加し、ドレイン・ソース間電流が上昇することが示される。



また、ゲート長依存(4項(b))に関しては、図 3.2.8-10~図 3.2.8-13 で説明できる。すなわち、Vg 負領域のリーク電流がより大きくなる効果は、ゲート長が短いときに顕著であり、ゲート長が長いとき には起こらない。短チャネルでは、Vg 負領域でのドレイン電流とソース電流がほぼ同じであることか ら説明できる(ドレインからソースに向かって電流が流れている:図 3.2.8-10 及び図 3.2.8-11)。また、 長チャネルでは、Vg 負領域でのドレイン電流とゲート電流がほぼ同じであることから説明できる (ド レインからゲートに向かって電流が流れている:図 3.2.8-12 及び図 3.2.8-13)。言い換えれば、ゲー ト面積に比例するトンネル電流(直接トンネル電流)は、長チャネルトランジスタの場合に、より効果的 にボディの電荷を引き抜く。実際、長チャネルデバイスにおいては、チャネルに沿うドレインからの電 界強さは弱く、BBT 生成された正孔よりもゲート酸化膜を飛び越える確率の方がむしろ高い。ゲート 酸化膜厚 2.0nm の領域なので、BBT で発生した正孔は、ソース側へ向かうよりも「直接トンネリング 現象」によってゲート酸化膜を飛び越えてゲートに流れる。図 3.2.8-11 (Lg=0.5um) 及び図 3.2.8-13 (Lg=10um) は、ドレイン電流(Id)、ソース電流(Is) 及びゲート電流(Ig) の定量的なシミュ レーションであり、直接トンネル(DT)モデルを考慮したもので フロントゲート電圧の関数になってい る。図 3.2.8-10 (Lg=0.5um) 及び 図 3.2.8-12 (Lg=10um) は、上記シミュレーションに対応する 実測データであり、これら実測結果とシミュレーション結果は、上記モデルによりよく説明することがで きる。



(6) 考察·結論

BBT 及び BOX 中に捕獲された正電荷が合いまった効果によって、放射線照射された FD-SOI のドレインリーク電流 (Vg 負 Va 正: GIDL) が、増えてしまうことを初めて実験的に示した。Vg 負領 域・IaVg ヒステリシスもないことから、衝突イオン化現象は、ここで議論しているリーク電流に寄与して いないことが実験的にもわかるし、今回行ったシミュレーションにも衝突イオン化モデルは入れてい ない(今回行った Va 50mV~1.6V では衝突イオン化は十分小さいとみてよい)。L=0.5um, Va ≦ 1.6V 領域での放射線反応を比べることにより、高 Va においてオフ時ドレインリーク電流が増えてし まうことを示した。これは、ゲート/ドレインオーバーラップ部分で高電界が掛かっていることによる BBT 現象の結果である。ゲート長の短いデバイス(ここでは L=0.5um) では、放射線照射によってオ フリークが増える弱みがある。これは、BOX 層にできる捕獲正電荷の増加或いは生成した正孔が ソースに向かう電流によるものである。ゲート長の長いデバイスでは、生成した正孔はゲート酸化膜 を飛び越える直接トンネリングのメカニズムの方がきく。これは、ドレインからチャネルに沿った電界が 小さいためである。この結果は、実験的にも示されたし、シミュレーションでも説明できた。先の文献 [9]で提案したモデルで、この論文で新しく報告した実験結果、つまり、放射線照射された FD-SOI デバイスのドレインバイアス依存と ゲート長依存の両方の結果を説明することができる。

参考文献(主なものの抜粋)

- [2] V. Ferlet-Cavrois, S. Quoizola, O. Musseau, O. Flament, J. L. Leray, J. L. Pelloie, C. Raynaud, and O. Faynot, "Total dose induced latch in short channel NMOS/SOI transistors," IEEE Trans. Nucl. Sci., vol. 45, no. 6, pp. 2458–2466, Dec. 1998.
- [6] P. Paillet, M. Gaillardin, V. Ferlet-Carvrois, A. Torres, O. Faynot, C. Jahan, L. Tosti, and S. Cristoloveanu, "Total ionizing dose effects on deca-nanometer fully depleted

SOI devices," IEEE Trans. Nucl. Sci., vol. 52, no. 6, pp. 2345–2352, Dec. 2005.

[9] P. C. Adell, H. J. Barnaby, R. D. Schrimpf, and B. Vermeire, "Band-to-Band tunneling (BBT) induced leakeage current enhancement in irradiated fully depleted SOI devices," IEEE Trans. Nucl. Sci, vol. 54, no.6, pp. 2174–2180, Dec. 2007.

3.2.9 MOS デバイスの放射線劣化における水分および水素さらしの影響と長期劣化への提言

| 文献名 | Effects of Moisture and Hydrogen Exposure on Radiation-Induced MOS Device | | | |
|-----------|---|--|--|--|
| | Degradation and Its Implications for Long-Term Aging | | | |
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3206- 3215, Dec. 2008. | | | |
| 著者名 | J. R. Schwank, M. R. Shaneyfelt, A. Dasgupta, S. A. Francis, X. J. Zhou, D. M. | | | |
| | Fleetwood, R. D. Schrimpf, S. T. Pantelides, J. A. Felix, P. E. Dodd, V. | | | |
| | Ferlet-Cavrois, P. Paillet, S. M. Dalton, S. E. Swanson, G. L. Hash, S. M. | | | |
| | Thornberg, | perg, J. M. Hochrein, a | | |
| 対象デバイス | | MOSトランジスタ、2K SRAM、CMOSトランジスタ(Sandia 製) | | |
| | | トランジスタ(OKI 製) | | |
| 実験設備 | | - | | |
| 照射線種及び | | X線 (10-keV) | | |
| エネルギーの区分 | | Co-60 ガンマ線 | | |
| 単発現象又は | | 積算線量効果 | | |
| 積算線量効果の区分 | | | | |
| 実験又は理論の区分 | | 実験 | | |

(1) 概要

HAST(Highly Accelerated Stress Test)、温度 130℃、湿度 85%処理後の放射線照射によるト ランジスタ(Tr)とIC の劣化を調査した。その結果、照射前に HAST 処理を施した p-ch Tr は放射線 照射後に極めて大きな電圧変動を示した。一方、n-ch Tr は p-ch Tr と比較して小さな電圧変動を 示した。これはソース、ドレインに形成されている PSG(Phoshosilicate Glass) により、ゲート酸化 膜への水分拡散が妨げられていることによると考えられる。本結果は、デバイスを水蒸気にさらすこと が長期放射線劣化へ影響するとの懸念を提起する。

(2) 序論

これまでの研究において、水素雰囲気にデバイスをさらすことで界面準位が形成されることが確認 されている。また水素は容易にデバイスの酸化膜中に拡散し、放射線誘起電荷の形成に影響を与 えていると考えられてきた。本論文ではデバイスを HAST によって水蒸気にさらし、酸化膜中の放射 線誘起電荷に関する調査を行った。その結果、MOS デバイスは水蒸気にさらされることによって、放 射線誘起電荷の形成が増加することが確認された。

(3) 実験方法

本研究で使用したデバイスを表 3.2.9-1 に示す。2 種類の Sandia 製 CMOS デバイス(4/3umTr および CMOS IIIA)とOKI 製 Tr について評価を行った。Sandia 製 4/3umTr は分離層に p+ガー ドバンドを用いた、ゲート長 3um の Tr である。また、ほぼ同一の製造プロセスによる 2K SRAM に ついても調査を行った。

CMOS ⅢA は分離層に フィールド酸化膜を用い た、ゲート長 2um の IC

表 3.2.9-1. 本研究にて使用したデバイス一覧

| Technology | Controlling Oxide | Passivation | HAST Exposure | H ₂ Exposure |
|------------|-------------------|-------------|---------------|-------------------------|
| 4/3 μm | Gate | Doped Oxide | Yes | Yes |
| CMOS IIIA | Field | Doped Oxide | Yes | No |
| OKI | Field | Nitride | Yes | No |

である。いずれのデバイスもカバー膜にリンガラス膜を用いている。またコマーシャル品の OKI 製 Tr について同様の調査を行った。OKI 製 Tr はゲート長 3um で、カバー膜に窒化膜を用いていた Tr である。

全てのデバイスに対して、HAST、放射線照射および長期常温アニールの、それぞれ前後に I-V 電荷分離法による特性評価を行い、一部のデバイスについてのみ1/f ノイズ測定を実施した。本研 究において、水分がデバイスに及ぼす影響を加速して調査する手段として HAST を使用した。 HAST 条件は湿度 85%、130℃で1週間から3週間であり、蓋を除去した状態で実施した。続いて 常温アニールを実施し、一部のデバイスは比較実験として水素雰囲気さらし評価を実施した。照射 線種は 10keV のX線源あるいは Co60 である。

(4) 放射線照射前の HAST 処理の影響

(a) 4/3umTr および IC 評価結果

n-ch 4/3umTr において、界面準位電荷による電圧シフトを示す ΔV_{IT} 、および酸化膜捕獲電荷 による電圧シフトを示す ΔV_{ot} は、いずれも放射線照射中の電圧シフトに HAST 処理の影響を示さ なかった(図 3.2.9-1)。一方 p-ch Tr では ΔV_{it} 、 ΔV_{ot} 共に放射線照射中に大きな電圧シフトを示し た(図 3.2.9-2、図 3.2.9-3)。



n-ch Tr にて ΔV_{ot} と ΔV_{it} に変化がみられなかったことの確認として、n-ch Tr のしきい値電圧低 下が支配的であるリーク電流 IoD を調査した。評価には 4/3um Tr と同じプロセス技術にて製造した 4/3um 2K SRAM を用いた。図 3.2.9-4 に示すように、HAST 処理の有無は IoD に影響は見られ なかった。一方 p-ch Tr にて ΔV_{ot} と ΔV_{it} が変化したことの確認として、p-ch Tr のしきい値電圧の 増加は p-ch Tr の駆動とタイミング特性の悪化、ファンクション不良の原因となることから、4/3um 2K SRAM を用いてリードアクセスタイム trdを調査した。その結果、図 3.2.9-5 に示すように HAST 処理した SRAM は放射線照射による Δt_{rd} が大きく増加した。また 1M~2Mrad(SiO₂)照射後に HAST 処理なし SRAM はファンクション不良が発生しなかったのに対し、HAST 処理あり SRAM は全数ファンクション不良となった。



(b) 湿度環境下での影響のメカニズム

HAST 処理による p-ch Tr の放射線劣化のメカニズムを解明するために 1/f ノイズ測定を 4/3um n-ch、p-ch Tr に対して実施した。ドレイン電圧ノイズスペクトル密度 Sv の周波数特性を図 3.2.9-6、図 3.2.9-7 に示す。Sv の増加は SiO2 中の O 空孔と相関関係を持ち、Si/SiO2 界面付近での酸素 空孔欠陥での電子捕獲 – 放出に起因する[27]。評価の結果、図 3.2.9-6 に示すように、n-ch Tr に おいて HAST 処理は Sv に対して大きな影響を与えていないが、p-ch Tr は HAST 処理によって 照射前の比較で Sv が一桁増加し、照射後に二桁増加した。この結果から HAST 処理によって多数の酸素空孔が p-ch Tr 中に形成されたと考えられる。



次に構造の観点から考察する。4/3um Trのソースとドレインはn-ch Trではリン添加で、p-ch Tr ではボロン添加でそれぞれ形成される。リンおよびボロンはそれぞれ高温アニールや酸化処理に よって拡散し、リンは n-ch Tr のゲート酸化膜周囲の酸化層で PSG (phosphosilicate glass)を形 成し、ボロンは p-ch Tr のゲート酸化膜の周囲の酸化層で BSG (borosilicate glass)を形成する。 一般的に PSG は水分の拡散を防ぐため[33]、水分は n-ch Tr より容易に p-ch Tr でゲート酸化膜 に到達する。ゲート酸化膜を水分にさらすことは、酸化膜捕獲電荷の形成を増加させることから[29]、 p-ch Tr はより顕著な劣化傾向を示すと考えられる。また PSG はホールをトラップする効果が低いこ と[37]、ボロンが酸化膜を通過することにより、酸素空孔に起因する欠陥が形成されること[37]が知られている。以上の考察は n-ch Tr が p-ch Tr より耐湿性に優れる実験結果と一致する。

(c) CMOS IIIA Tr 評価結果

Sandia 製の CMOS IIIA Tr に対して HAST 処理後の照射を実施した。HAST 処理を施した Tr の 100krad(SiO₂)照射後 のドレインーソース電流 I_{DS} は、HAST を実 施しなかったサンプルと比較して 3 桁以上 増加した(図 3.2.9-8)。I_{DS} の増加は寄生 フィールド酸化膜中における放射線照射に よる捕獲電荷によることを示している。

(d) OKI Tr 評価結果

コマーシャル品である OKI 製 p-ch Tr に ついて ΔV_{it} 、 ΔV_{ot} に及ぼす HAST 処理の 影響について調査した。図 3.2.9-9 に示す ように照射前に HAST 処理を行った場合、 照射中の ΔVit の変化は大きく、一方、図 3.2.9-10 に示すように ΔVot に照射前の HAST 処理の影響はほとんど見られなかっ た。75krad(SiO₂)照射後、HAST 処理した Tr の ΔV_{it} は未処理のものと比較して約 5 倍であった。さらに HAST との比較として、 加熱のみの影響を調査するために、N₂ ア ニール(130℃、1 週間)を照射前に施し、 評価を行った。75krad(SiO₂)照射後、N₂



のと比較して約2.8倍であった。この結果は水分の存在が加熱によるストレス印加を加速するか、水 蒸気にさらすこと自体が ΔVit を増加させるかのどちらかであることを示している。

- (5) 水素雰囲気さらし評価結果
- (a) 4/3umTr 評価結果

4/3umTr に対し水素雰囲気さらしによる影響を調査した。はじめに水素雰囲気中で常温アニー ルを一週間実施し、その後 500krad(SiO₂)照射を実施した。その結果、n-ch、p-ch の両方で ΔV_{ot} 、 ΔV_{it} に対する影響は確認されたが、HAST 処理で見られたような p-ch における大きな電圧シフト は見られなかった。ただし本実験は常温での水素アニールであり、HASTは130℃での実施である。 この違いが何らかの影響を与えた可能性がある。

(6) 品質保証に関する提言

MIL-STD-883 Method 1018 はデバイスの耐湿性に関する信頼性を確認するために作られて おり、放射線耐性を確認するためのものではない。デバイス技術の新旧の違いは本質的ではないが、 テストガイドラインの変更にあたっては、より新しい技術で製造されたデバイスで評価を行う必要があ る。水分の影響について、今回、水分がフィールド酸化膜中の放射線誘起電荷の形成に影響を及 ぼすことが確認されたことから、寄生フィールド酸化膜中の放射線誘起電荷を制御することで放射線 耐性を得ている最近のデバイスに対しても影響を及ぼす可能性がある。

(7) 結論

TrとICをHAST処理によって水蒸気にさらした後、放射線照射を実施した結果、p-ch Trにおいてファンクション不良に至る、極めて大きな電圧シフトが発生することを確認した。p-ch Trで大きな電圧シフトを示した理由は、n-ch Trではソース、ドレインの周囲に PSG が形成され、ゲート酸化膜への水分の侵入が防止されること、および p-ch Trと比較して n-ch Trでは oxide-trapの形成が少ないためと考えられる。またプラスチックパッケージされたデバイスの場合、カバー膜に窒化膜を用いていても水分は透過し、水分による放射線劣化が増大する可能性がある

(8) 考察

照射前の HAST 処理によって p-ch Tr で 1/fノイズの増加が顕著であることから、HAST によって 酸化膜捕獲電荷が増加することは確認されたが、それが放射線照射時の劣化の違いに、どのような メカニズムで影響を及ぼすのかについては明記されていない。

ただし、本論文は樹脂封止されたパッケージで長期間大気中に保管された Tr や IC は水分の影響を受け、それが放射線照射時の劣化を大きくする可能性について示唆していることから、デバイスのユーザは本論文の示す結果について、同様の現象が発生する可能性について注意を払う必要がある。

参考文献

- [27] D. M. Fleetwood, H. D. Xiong, Z. Y. Lu, C. J. Nicklaw, J. A. Fleix, R. D. Schrimpf, and S. T. Pantelides, "Unified model of hole trapping, 1/f noise, and thermally stimulated current in MOS devices," IEEE Trans. Nucl. Sci., vol. 49, no. 6, pp. 2674–2683, Dec. 2002.
- [29] F. J. Feigl, D. R. Young, D. J. DiMaria, S. Lai, and J. Calise, "The effects of water on oxide and interface trapped charge generation in thermal SiO films," J. Appl. Phys., vol. 52, no. 9, pp. 5665–5682, Sept. 1981.
- [37] W. L. Warren, M. R. Shaneyfelt, D. M. Fleetwood, P. S. Winokur, and S. Montague, "Electron and hole trapping in doped oxides," IEEE Trans. Nucl. Sci., vol. 42, no. 6, pp. 1731–1739, Dec. 1995.

3.2.10 プロトンおよび中性子照射による加速的な劣化と耐量保証試験

| 文献名 | Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness | | |
|--|---|--|--|
| | Assurance Testing | | |
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3096- 3105, Dec. 2008. | | |
| 著者名 M. R. Shaneyfelt, J. A. Felix, P. E. Dodd, J. R. Schwank, S. M. Dalton | | eyfelt, J. A. Felix, P. E. Dodd, J. R. Schwank, S. M. Dalton, J. Baggio, | |
| V. Ferlet-Ca | | avrois, P. Paillet, and E. W. Blackmore | |
| 対象デバイス | | 縦型パワーMOSFET(トレンチ&プレーナ), n-ch 定格電圧 20~30V | |
| 実験設住 | 庯 | WNR continuous spectrum neutron source at Los Alamos National | |
| | | Laboratory and TRIUMF Neutron Irradiation Facility | |
| 照射線種及び | | Proton: $20 \sim 498$ MeV (for proton) | |
| エネルギーの区分 | | Neutron:10MeV 以上 | |
| 単発現象又は | | 積算線量効果 | |
| 積算線量効果の区分 | | | |
| 実験又は理論の区分 | | 実験および理論 | |

(1) 概要

トレンチとプレーナの両構造のパワーMOSにおいて、プロトンと中性子照射で劣化が加速する。 特に、極端に低レベルのプロトン照射トータルドーズ(2rad(SiO2))においても電流電圧特性のシフト が認められる。これらのシフトは素子のオフ状態リーク電流の極端な増大を誘発する。直接イオン化 ではないが、中性子照射でも同様の劣化が同等の照射レベルで観測される。これらのメカニズムとし ては、プロトンおよび中性子と集積回路内の材料との原子相互作用によって生じる2次粒子に起因 するマイクロドーズ効果によって、加速劣化が生じていると推測される。この2次粒子は、トランジスタ のソース・ドレイン間寄生リーク電流経路を誘発するに十分な電荷をゲート酸化膜内に注入すること になる。ここはトレンチとプレーナパワーMOSについて述べているが、その他のタイプの集積回路で の照射反応においてもマイクロドーズ効果は影響を与え得る。本論文では、耐量保証の考え方につ いて議論する。

(2) はじめに

昨年は、重イオンが商用トレンチパワーMOS の IV 特性に大きなシフトをもたらすことを示した。こ のシフトは、y 線によるトータルドーズによる場合より極端に大きい。このシフト量は、照射時のゲート バイアスとイオン LET(Linear Energy Transfer)、そして照射角に依存することがわかっており、マ イクロドーズ効果に関係していると考えられる。特に、イオンがソース・ドレイン間のチャネル長全体に 渡って電荷を注入し、複数の寄生トランジスタ構造を形成していると推定している。図 3.2.10-1 にこ のメカニズムの概要をトレンチ FET 部分と共に示す。このように、トレンチ FET ではゲート酸化膜が 側壁に形成され、チャネルが垂直方向に、表面をソース、途中に P 型ボディ、そしてトレンチ底部に はエピタキシャル層としてドレインが形成されている。このように、イオンがデバイスに衝突し、チップ 表面に垂直にゲート酸化膜を貫通して、チャネル長全体に渡って電荷を注入する(その量はイオン LET に比例)。そして、再結合を免れたホールがゲート酸化膜にトラップされ、イオン経路近傍の チャネル領域の実効的な閾値電圧を低減する。

図 3.2.10-1 の状況を確認すると、イオン照射角を変えることでチャネル全体へ注入される電荷量

が大きく変わることがわかる。入射角を0°(垂直)から90°(素子の表面に平行)へ変えると、単一イ オンはチャネル全体への電荷注入を行わず、寄生経路は形成されない。(従って、IV 特性のコブも 観測されない。)これは、注目しているチャネル長が、低エネルギー重イオンでは、数 10 ミクロンの

オーダーであるイオントラックの半径より大きい[2]と仮 定しているからである。文献[1]に述べたように、この 事実が、チャネルが水平に存在する2重拡散縦型パ ワーMOSや標準CMOSでは、マイクロドーズによる 加速的劣化が観測されなかった理由を説明している。 これらのマイクロドーズ効果を観測するには、イオント ラック径より大きなチャネル長を持つデバイスでは、重 イオンが僅かでも接触するような照射角で照射を受け る必要がある。実際、最大の接触通過角は45°から 60°の間である。この限界は、通常のデバイス実装 方法と試験設備で用意できるイオンの照射エネル ギーに関係している。SEEに使用される殆どの設備 は数(1~10)MeV/核粒子である。残念ながら、実際の



図3.2.10-1. イオンがゲート領域を通過する 状況を示したトレンチFETの断面図。イオン の通過経路を矢印線で示す。トレンチを埋 め込んでいるゲートポリシリコンとその他の キャップ層(酸化膜や金属膜)は表示されて いない[1]。

宇宙環境での重イオンエネルギーは非常に高く、数百 GeV/amu に達しており、ピーク照射量では 数百 MeV/amu となる[3]。これらのエネルギーレベルでは、イオンはデバイスをあらゆる方向から貫 通する。高エネルギー重イオンを供給する加速器が無い場合、水平チャネルを有するデバイスが宇 宙用途でマイクロドーズの影響を受けるかどうか、劣化度合いの定量化など推測できない心配がある。 結論として、宇宙用途で高信頼性で動作するデバイスを約束するためには、これらを定量化する新 しい耐量保証試験手法が必須となる。

プロトンの直接イオン化だけでは説明できない IV 特性シフトが、プロトン照射で発生する。この加速的劣化は十分に解明されていないが、この劣化メカニズムが重イオンに関係するものと類似点があるとすれば、水平チャネルを有するデバイスが、プロトンあるいはイオンマイクロドーズ効果に関係する加速的劣化を受け易いかどうかを判断するために、プロトン照射を用いた耐量保証試験手法を開発できるかもしれない。

この研究では、加速的劣化に関するメカニズムを明確化するために、プロトン照射によるパワー MOS で観測される加速的劣化を広範に調査したので報告する。加えて中性子照射での調査報告 も行う。宇宙用途での MOS デバイスの耐量保証試験を議論する。

(3) 実験の詳細

トレンチパワーMOS として、IR 製の IRF370ZCS、IRF3711ZCS、そして IRF7821 を、またフェ アチャイルド製の FDD068AN03L と FDD6670A を使用した。N 型チャネルで最大ゲート電圧 ±20V、ドレイン耐圧 20~30V。これらのトランジスタは IR 製では 1300 本、FC 製は 3732 本のスト ライプトレンチを有し、約 2600~7400 個のトランジスタの並列接続となっている。ゲート酸化膜厚は 44~68nm の範囲、トレンチ深さはいずれも 1.2μ m である。IRF3704ZCS と IRF3711ZCS は D2PAK プラスチックパッケージ、その他の素子は SO-8 プラスチックパッケージに組まれている。本 論文でのほとんどのデータはFDD068AN03Lによるものであり、他の素子で観測される一般的な特 性を代表している。

プレーナパワーMOSとしては、IR 製の IRF510PBFとIRF3711PBFを評価した。SEM 断面写 真を図 3.2.10-2 に示すが、水平チャネルの形成がわかる。上段の写真は IRF510PBF で標準的な HEXFET 構造をしており、下段の写真は IRF3711PBF でプレーナストライプ形状となっている。い ずれも N 型チャネルで最大ゲート電圧±20V、ドレイン耐圧 20V (IRF3711PBF)または 100V (IRF3711PBF)。

プロトン照射は、TRIUMF プロトン設備[4],[5]お よび IUCF (Indiana University Cyclotron Facility) で実施される。TRIUMF ではプロトンエ ネルギーは、20~498MeV で変化する。 70~105MeVと70MeV以下は、厚さの異なるプラス チック板を用いて、116MeV と 70MeV の主ビーム を減衰させて得られた。105MeV を越えるエネル ギーのプロトンは、最大プロトンエネルギー500MeV の第二ビームラインの主ビームエネルギーを変える ことで得られた。プロトン照射量は、補正されたイオ ンチャンバーを用いた。IUCF では、主ビームエネ ルギーは 200MeV である。低いエネルギーは、ベリ リウム減衰器を用いて得られた。プロトン照射量は、 補正された2次エミッションモニターを使用して測定 した。これらの施設で提供された絶対線量計は 10%以内の精度と推定される。

中性子照射は Los Alamos National Lab と TRIUMF 中性子照射設備にある WNR 連続スペク トラムニュートロンソースを使用した。



図3.2.10-2. a) IRF510PBF 、 b) IRF3711PBFに使用されるトランジスタ 構造のSEM断面写真

照射前後には、Agilent4145,4156 で IV 測定を行い、ドレインバイアスを 10V に固定し、ゲート バイアスをスイープさせた。ゲート電流の変化は、今回のプロトン、中性子いずれの照射でも観測さ れなかった。解析と前回の研究[1]に整合を取るため、ドレイン電流 1 µ A となるゲート電圧を Vst とし た。

- (4) 実験結果と考察
- (a) プロトンの結果・・・トレンチパワーMOS

まず、図 3.2.10-3 a に示すように、プロトン照射での Nch トレンチパワーMOS の IV 特性を評価する。デバイスは FDD068AN03L、35.4MeV プロトン照射、照射時のゲート電圧は 15V、他のピンは接地。プロトン照射は 1E7 から 5E9[p/cm²]まで段階的に増加。IV 特性シフトはサブスレッショルド領域の小さなコブから始まり、照射量増大と共に大きなコブを示していった。IV 特性のコブは常に増大していったわけではなく、コブに関係するドライブ電流が継続的に増加していった。図 3.2.10-3 b に示すように、照射量が 1E7 から 5E9[p/cm²]に増えるにつれて、Ids は 63nA から 0.2mA に増加した。プロトン照射増に応じたこれらIV 特性の変化は、直接イオン化効果によらない

重イオンに曝されたトレンチパワーMOS で、以前観測された変化に似ている。

図 3.2.10-4 に 103rad(SiO₂)/s で γ 線を照射した時の FDD068AN03L トランジスタのサブス

レッショルド IV 特性を示す。トランジスタは トータルドーズ 50krad(SiO₂)、Vgs=15V、そ の他の端子はすべて接地電位で、ステップ状 に照射された。プロトン照射とは異なり、60Co 照射では IV カーブにコブが観測されなかっ た。その代わり、ほぼ並行移動の IV 特性を示 した。これはシフトの大方は酸化膜トラップ電 荷の生成によるものと考えられる。35.4MeV のプロトン照射で特筆すべきは、5E9[p/cm²] (図 3.2.10-3 での最高照射量)はトータルドー ズの丁度1krad(SiO2)に相当する。このように、 もしもプロトン直接イオン化が図 3.2.10-3 に示 す IV 特性シフトに起因するならば、プロトン 照射は、1krad(SiO₂)の γ 線によって誘発さ れるシフトより小さいシフトを誘発していたは ずである。図 3.2.10-3 a において、唯一この 大きさのシフトをしているのは 1mA 以上の Ids の部分である。(図 3.2.10-3 a における○印 部)。これらのデータから明らかなことは、プロ トンで誘発される集積回路の劣化を引き起こ す照射のシミュレーションに γ 線を使用する のが一般的だが、この手法はこれらのパワー MOS には適用できない、ということである。

図 3.2.10-5 に FDD068AV03L において、 エネルギーを20~498MeV でプロトンを照射 した時の ΔV_{st} 応答を示す。デバイスは少なく とも 2 個以上で、ゲートバイアス 15V、他の端 子は接地で照射した。データには大きなバラ ツキがあるが、(原因は後述する)大体の傾向 として照射増に伴ってΔV_{st}電圧の増加が見ら れる。ΔV_{st} は低照射での約 1V から高照射で の 6.8V まで示している。バラツキを考慮して、 プロトンエネルギー依存性は弱い。







図 3.2.10-6 に示すように、オフ状態のソース・ドレイン間リーク電流(Ids)の変化はより顕著である。 照射による IV 特性のコブは、極端に小さな照射でも発生し Vstを変化させるが、必ずしもオフ状態 リーク電流で影響を与えるわけではない。照射前はすべてのデバイスのリーク電流は 1nA 以下で ある。図 3.2.10-6 a に示す Idsの傾向は、ΔVstの傾向と似ている。最低レベルの照射でも数 μA のリークが発生し、6E11[proton/cm²]では 6mA ものリーク電流となる。注目すべきは 498MeV の プロトンはトータルドーズ 21.5krad(SiO₂)に相当する。

図 3.2.10-6 b に示すように、2E7 [protons/cm²]という低レベルの照射で I_{ds} (あるいは ΔV_{st})が

増加した。例えば、FDD068AN03L は 35.4MeV の プ ロ ト ン で は 、 2E7[protons/cm²]で最初の I_{ds} 増加となった。 この照射レベルは γ 線トータルドーズで 2.1rad(SiO₂)に一致する。上述のように、この リーク電流増加は γ 線で予想されるよりはる かに低い総ドーズ量で発生した。図 3.2.10-4 に示すように、FDD068AN03L のリーク電流 としては、20krad(SiO₂)でようやく 100nA の ドレイン電流が観測された。加えて、照射量 2E7[protons/cm²]で 35.4MeV protons の エネルギーで Δ Vst は-1.4V に低下した。 100%の電荷トラップを仮定したプロトン直接 イオン化からの閾値電圧の最大シフトは、式 (1)から計算できる[10]。

 $V_{th(\max)} = -1.9 \times 10^{-8} f(E_{ox}) Dt_{ox}^2, \qquad (1)$

ここで f(E_{ox})は酸化膜の電界強度の関数と してのホール生成率、D はドーズ量、そして t_{ox} は 酸 化 膜 厚 (単 位 は nm)。 FDD068AN03L の場合、これはゲート酸化 膜厚 44nm、電荷生成率 1(最悪ケース)を仮 定しており、2rad(SiO₂)でのプロトン直接イオ ン化による閾値電圧シフトは 74 μ V となる。こ れは明らかに実験値より小さい。このように、 実験値はプロトンの直接イオン化からは観測 される V_{st}(および I_{ds})シフトは説明できない。

その代わり、これらのシフトはプロトンとデバ イス材料の相互作用で生成される2次粒子の イオン化によって発生するマイクロドーズ効果 に関係すると思われる。高エネルギーの陽子 (または中性子)が半導体格子に入って、目 標とする原子核との非弾性的な衝突を受ける かもしれない。これはα粒子またはγ粒子の



放出と放射崩壊により生じた原子核(例えば、Siは α 粒子と反発による Mg 原子核を生じる。)また は破砕反応として、目標の原子核は2つの断片(例えば、SiはCとOイオンに分裂する。)に分裂 する。そして、それぞれは反発する。これらの反応生成物はいずれも、現在、直接イオン化によって 進行軌跡に沿ってエネルギーを付与することができる。4μm のシリコンデバイスの中で、およそ 1E5[p/cm²]の内の1個のプロトンがこのような中性子反応を起こす[11]。これらの2次粒子はより高 い LETs を持つことができて、このように、該当のプロトンより多くの電荷を注入できる。図 3.2.10-5 と図 3.2.10・6 に示すように、プロトンエネルギーに殆ど依存していないのは、これらの影響が、高絶 縁材料がプロトンとの相互作用によって生成される2次粒子に支配されているのではなく、むしろよ り一般的な α 粒子またはシリコンとの反発反応に支配されていることを示唆する。プロトン原子核と シリコンとの相互作用の断面積は約 50MeV で飽和する。このように、20 と 35.4MeV のプロトン照 射の場合を除いて、異なるプロトンエネルギーに対する 2 次粒子の特性の顕著な違いを見出して いない。

この結果は図 3.2.10-5,図 3.2.10-6 と[1]のデータと一致する。例えば[1]では、1E7[ions/cm²] の Ne イオンの照射で 7V の ΔV_{st} が観測された (LET=1.8MeV-cm²/mg)。 1.8MeV-cm²/mg の LET はプロトンとシリコンの相互作用で生じる α 粒子を期待する上限に近い。1E5 個のプロトンで 1 個の 2 次 α 粒子を生成すると仮定すると、1E7[ion/cm²(Ne)]は、およそ 1E12[protons/cm²]の 照射量と同等となる。上述のように、~6.8Vは実際、~6E11[protons/cm²]の照射量を照射した場 合の ΔVst であった。さらに、ゲートの活性領域表面について計算によると、平均として活性ゲート領 域に衝突する1個の2次粒子を生成するのに、1E7[protons/cm2]の照射が必要となる。実験とし ては不確さを含んでいるが、これは IV 特性の変動がプロトン照射において最初に観察された、お よその照射量である(図 3.2.10-5,図 3.2.10-6)。

プロトン照射されたデバイスに見られる大きな素子間バラツキは、これらのデバイスでの加速的劣

0.0

化を誘発するマイクロドーズ効果と一致してい る。上述のように、明らかにマイクロドーズ現 象は元来統計的な過程である。この大きなバ ラツキは、2次粒子 LET の統計的バラツキ、 2 生成された物理的位置、2 次粒子がゲート領 2 域に衝突することでの変化、そして粒子が移 動し電荷を注入する酸化膜を通しての軌道な どに起因するようである。幾何学的な統計に 加え、プロトン反応での統計的取り扱いもまた 重要と言える。正にその反応が起き、そしてそ の反応生成物が非常に敏感な場所に衝突す るといことは非常に珍しい現象である。

実際のプロトン照射での加速的劣化は、ト

IRF3704 ٠ FDD068 -0.5 Ă IRE3711 IRF7821 ∇ -1.0 105 MeV Proton -2.5 $V_{qs} = 15V$ -3.0 10⁹ 1010 108 1011 Fluence (protons/cm²) 図3.2.10-7. 本論文で試験される全トレンチ

FETパワーMOSFETでのプロトン照射による ΔVstと照射量の関係。105MeVのプロトンが照 射に使用され、照射中トランジスタのゲートには 15V印加。

ランジスタ製造で使用される設計と製造プロセスに依存する。今回の研究で評価したすべてのトレ ンチパワーMOS での照射量と平均値としての ΔVstを図 3.2.10-7 にプロットしている。 ゲートバイア ス 15V、プロトン照射エネルギー105MeV の場合、ΔV_{st}は-0.4V(IRF3704ZCS)から -2.7V(FDD068AN03L) の範囲となった。このように約8倍程度の劣化の違いがみられた。これら のトランジスタで観測される ΔVst の照射起因変化がゲート酸化膜中へのマイクロドーズ効果によっ て影響を受けているとすると、このトランジスタ間でのバラツキは、恐らくゲート酸化膜内に形成され る照射起因の電荷量の違いによるものである可能性が高い。ゲート酸化膜内に形成される電荷量

FDD6670

はゲート酸化膜厚[12],[13]、酸化膜質[12],[14],[15]、そして照射中の酸化膜にかかる電界 [10],[15],[16]に強く依存している。

次にチップ表面からのプロトン入射角の影響を調べる。[1]の図 3.2.10-8 を参照すると、重イオン の入射角が 0°から 60°に増加すると、ΔVst は極端に減少した。これは入射角増加により、重イオ ンがソースからドレインまでの全域に渡って通過することが無くなったためで、電荷注入もトランジス タのチャネル全体に渡って形成されることがなくなったためと理解できる。弾性、非弾性のプロトン 材料の原子核相互作用で生成する 2 次粒子はあらゆる方向へ散乱するので、重イオンで見られる ような入射角依存性は期待できない。このことを図 3.2.10-8 で示している。 図 3.2.10-8 では FDD068AN03L のプロトン入射角を振った時のトータルドーズ量とリーク電流の変化量の関係を 示 す。照 射 中 ゲートは 15V、その 他 の 端 子 は 接 地 電 位 で ある。180rad(SiO₂) (3E9[protons/cm²]の照射量)以下のトータルドーズ量では、幾らかの入射角依存性があるようだ

10-2

10-3

10-5

2 10-4

ш

198 MeV Protons FDD068AN03L

= 15V

が、バラツキが大きく、正確なところは不明で ある。しかしながら、トータルドーズ量の大き いところでは、入射角依存性は見られない。 このように、入射角依存性が見られないのは、 実際好ましいことである。というのは、その部 品が2次粒子のイオン化または重イオンのイ オン化によるマイクロドーズに関係した加速 的劣化を受け易いかどうかを評価するプロト ン照射に基づいた試験方法を開発できる可 能性が出てきたからである。これは実際に次 の項で述べるが、プレーナパワーMOS でも マイクロドーズ効果による加速的劣化を受け 易いということを、プロトン照射を用いて示し た最初の例である。

(b) プロトンの結果・・・プレーナパワーMOS プレーナパワーMOS が、上述のトレンチ パワーMOSに見られるマイクロドーズ効果の 影響を受け易いかどうかを判断するために、 プロトン照射が用いられる。RF510PBF と IRF3711PBF の 2 種類のプレーナパワー MOS がここでは試験された。これら2種類の パワーMOS は、エネルギー70MeV、照射 量 1E11 および 5.5E10[protons/cm²]で照 射された。ゲートバイアスは 15V でその他の

< se 10-6 0 0 0 45 _sp 10-7 90 Δ 180 10-8 10-9 10³ 10¹ 10² 104 105 Total Dose (rad(SiO₂)) 図3.2.10-8. FDD068AN03Lデバイスのプロト ン照射でのVgs = 0VでのIdsとトータルドーズ量 の関係。照射中ゲートには15V印加。トランジス タは、照射角0,45,90,および180°で評価。 10⁰ 70 MeV Protons 10-1 5.5 x 10¹⁰ protons/cm² IRF3711BPFB 10-2 $V_{qs} = 15V$ 10 10-٩ Post 10-5 _sp 10-6 10-7 10-8 10-9 10-10 0 2 -4 -2 $V_{gs}(V)$

図3.2.10-9. IRF3711PBF パワーMOSFET のプロトン照射前後のIVカーブ。照射は 70MeV で5.5×10¹⁰ protons/cm²。照射中 ゲートには15V印加。

端子は接地電位。その結果、プロトン照射によって、水平構造を有するパワーMOS でも加速的劣 化が起こりうることを確認できた。照射前後のIRF3711PBFのIV特性を図 3.2.10-9 に示す。2 つ のデバイスのオフリーク電流は 1nA から照射後の 4.7(RF510PBF) あるいは 71(IRF3711PBF) µ A に増加した。これらの結果から明らかに、プレーナ構造のパワーMOS はマ イクロドーズ効果の影響を受け易いことが判った。今後、重イオンをプレーナパワーMOS に照射し た時に、高入射角で加速的劣化が発生するか、調査してみたいと考えている。残念ながら、イオン が十分移動し、ソースからドレインのチャネル全域に渡って電荷を注入するに十分な大きい角度で 照射されない限り、この現象(加速的劣化)は起こり得ない。素子がマイクロドーズ効果による加速 的劣化を受け易いかどうか、またこれらの効果はトレンチ FET に限ったことではないということを データは示している。

(c) 中性子の結果・・・トレンチパワーMOS

図 3.2.10-10 に示すように、中性子の照射応答はプロトン照射の場合と似ている。ここでは、中性

子照射量(10MeV 以上の照射量)とリーク 電流(Ids)の変化の関係が、プロトン (198MeV、図 3.2.10-6参照)の場合と比較 して示してある。予想通り[5]、TRIUMF と WNR のデータには相関が見られる。 TRIUMF のフラックスは WNR の約 10 倍 大きく、TRIUMF ではより大きな照射量で の実験を可能としている。TRIUMF の中性 子ビームはサーマルニュートロンを含んでい るので、照射時にはトランジスタの前にカドミ ウムシートが置かれ、中性子中の熱中性子 を除去している。なお、カドミウムシートなし の状態で照射した結果、その結果は使用す



図3.2.10-10. FDD068AN03Lデバイスの中性子 照射によるVgs=0VでのIdsと照射量の関係。照射 中ゲートには15V印加。比較のため、図3.2.10-6に 示す200MeVプロトンデータを引用。

る場合と何ら変わらないことが分っている。これは、これらのデバイスが熱中性子には影響を受け難 いということを示している。実験誤差範囲では、FDD068ANL03Lの実験結果として、プロトンと中 性子の照射試験に差異が見られない。これは 50MeV 以上の粒子エネルギーでのプロトンと中性 子の反応断面が同等であるという事実から予測されていたことと言える。しかしながら、中性子の データは、観測される IV 特性変化は 2 次粒子のイオン化によるものであるという考えを強く支持す る。中性子はプロトンのように、直接イオン化でエネルギーを失うことはない。中性子がトータルドー ズ効果を引き起こすことに対する唯一のメカニズムとしては、原子核反応によって生成される 2 次粒 子からのイオン化、ということが考えられる。

これらトレンチパワーMOS に見られる加速的劣化は、2 次粒子でのトータルドーズ劣化によるも のであるということのさらなる証明として、これらのデバイスの中性子による照射ダメージは、以前重 イオンで観測されたように[1]、照射中の印加ゲートバイアスに依存しているということが見出だされ た。図 3.2.10-11 は、中性子と Ne イオンが 1.8MeV-cm²/mg の LET で照射された時の、 FDD068ANL03L の規格化された ΔV_{st} とゲートバイアスの関係である。重イオンのデータは[1]の 図 3.2.10-5 を参照した。すべての重イオンデータは照射量 1E7[ions/cm²]である。中性子のデー タは 2E10[neutrons/cm²]の照射量で TRIUMF にて実施した(中性子のエネルギーは 10MeV 以上)。比較のため、中性子と重イオンはゲートバイアス 15V の ΔV_{st} で規格化された。重イオンの ゲートバイアスは-20V~20V、中性子では-5,5 そして 15V に設定した。図 3.2.10-11 では両者の

データは良く一致している。ゲートバイアスで 変化する、規格化された ΔV_{st}のデータの一 般的形状は、X線とγ線に照射された MOS 酸化膜内のトラップ電荷生成の文献値 [16],[20]と良く一致している。ゲートバイアス の絶対値が 0 から 15V に増加するにつれ、 ΔV_{st}も増加している。ゲートバイアス 15V で は、ΔV_{st} は飽和しているように見えるが、これ は酸化膜にかかる電界の増加に伴い実効的 なホール捕獲断面積の縮小と良い一致を示 している[21]-[23]。しかしながらこれを検証 するには、さらに高いゲートバイアスでの実 験が必要となる。ゲートバイアスが 0V に低減 する場合の ΔV_{st} 減少は、電子正孔対の増加



図3.2.10-11. FDD068AN03Lデバイスの中性 子と重イオン照射による ΔV_{st} と照射量の関係。 照射中ゲートバイアスは個々に異なる。Ne重イ オンのデータは図3.2.10-5から引用[1]。中性子 と重イオンのデータはゲートバイアスが15Vでの ΔV_{st} で標準化した。

と一致している[10],[16],[21],[22],[24]。酸化膜にかかる電界が減少すると、2 次イオンにより注入 されたホールのうち、電子との再結合を逃れるホールの数は減少する。その結果、Si/SiO2界面にト ラップされるホールの数も減少する。最後に述べておきたいこととして、中性子のデータとして入射 角依存性も取得したが(ここでは示していない)、図 3.2.10-8のプロトンの場合と一致しており、強い 角度依存性は見られなかった。

上述のプトロンと中性子のデータは明らかに、パワーMOS で見られる加速的劣化は該当粒子の 直接イオン化に因るものではない、ということを示している。むしろ、パワーMOS の加速的劣化のメ カニズムはプロトン、中性子と集積回路内の材料との原子核相互作用により生成された2次粒子に よるマイクロドーズ効果が支配しているということを強く示唆している。次の章では、これらの結果に 基づいて、耐量保証の考え方について議論する。

(d) 耐量保証の考え方

試験のガイドラインとして、MIL-STD-883 や Method 1019 のような耐量保証の規格があるが、 これらは、期間、コストや設備の制約から、必ずしも現状に合致しない場合が多い。例えば、プロト ンの多い宇宙環境で、トレンチ FET タイプのパワーMOS を使用する場合、γ線の試験は照射起 因の劣化を極端に過少評価し兼ねず、その結果宇宙環境で予期せぬ故障を起こすことになる。 リーク電流増加であれ、閾値電圧シフトであれ、照射起因の劣化の許容範囲は用途によって異な る。

ここまでトレンチパワーMOS に限定してきたが、マイクロドーズ効果は他のデバイス(例えば SDRAM など)でも観測される。いずれの場合でも、γ 線だけで行われる品質保証試験は宇宙環 境で起こる素子劣化の現象を再現できない。

もしも、デバイスが高い陽子環境で使用されるならば、TM1019 試験とともに、プロトン照射源に よるトータルドーズ認証試験を実施しなければならないと、これらのデータは強く主張している。 TM1019 認証はアニール効果とドーズレートの課題(例えば ELDRS (Enhanced Low-Dose-Rate Sensitivity):低ドーズ率増速劣化)の方向付けをするために、未だに必要であ る。これに加えて、トータルドーズ劣化に対する素子選別をする場合には、プロトンよりもッ線を使 用する方が相当低コストで実施できる。これらの結果は、プロトンの直接イオン化によって誘発され るトータルドーズ劣化量についてのベースラインを与えてくれる。もし ッ線照射で予想されるより過 剰の劣化がプロトン照射の間に加わるのであれば、それはデバイス応答に影響を与えるマイクロ ドーズ効果が存在することを意味する。しかしながら、プロトン照射が増加すると、間接イオン化効 果に比べて、結局は直接イオン化の効果が支配的となる。例えば図 3.2.10-4 のデータは、直接イ オン化に関する劣化を誘発する照射はトータルドーズレベル 20krad(SiO₂)以上において、 FDD068AN03L のオフリーク電流に影響を与え始めるようになる。50krad(SiO₂)では、直接イオ ン化によるオフリーク電流は 32mA に増加し、間接イオン化のリーク電流を上回ることになる(図 3.2.10-6 参照)。

プロトン(または中性子)認定試験では、システムに予想される最大の照射量を照射する。図 3.2.10-11のデータに示すように、照射中のゲートバイアスは、照射起因の劣化に大きな影響を与 える。このように、照射中のバイアス条件はマイクロドーズ効果を最大にするように設定されるか、あ るいはまた実際のシステム用途に応じて選択すべきである(このバイアス条件を決めるために、異な るゲートバイアスでの特性試験が必要となる)。実際のシステムの使用状況に基づいてバイアス条 件を選ぶということは、バイアス条件の広範に渡る加速が要求される用途において、緩過ぎない試 験を確実に選択するために非常に大切である。プロトンエネルギーと入射角はここで試験されるデ バイスにおいてはマイクロドーズ効果にさほど影響を与えない。しかし、プロトンエネルギーはプロト ンがパッケージ材料を貫通しチップ表面に到達するために、十分大きくしなければならない。

デバイス特性へのマイクロドーズ効果の影響を考慮するとき、アニール効果もまた重要なので、こ れらの効果のアニール特性を理解するために時間と共にバイアス条件を同一としてデバイスをア ニールすることは良いことである。TM1019 では、パラメータ故障を有するデバイスが低ドーズレー トでのデバイス特性をより正しく予測するため、拡張的な室温アニールを認めている[29],[30]。プロ トン(または中性子)認証試験では、マイクロドーズ効果に関する劣化は時間と共に蓄積される。言 い換えると、プロトン(または中性子)照射が増加すると、マイクロドーズ効果による劣化は増加する。 もちろん、認証試験で使用されるフラックスは、部品が大方の用途で受けるフラックスより格段に大 きい。そしてマイクロドーズ効果でのアニール効果のために、同等照射量レベルの用途において観 測されるより、実験室でのプロトン(あるいは中性子)試験で観測される劣化量は大きい。宇宙用途 においてマイクロドーズの真の効果を理解し、また試験条件が緩すぎるためデバイスがスクリーニン グできないことを明確に理解するために、マイクロドーズ照射後のアニール反応性調査を推奨す る。

集積回路の材料とプロトンおよび中性子との核相互作用によって生成される 2 次粒子の大半が低いLET(高々数MeV-cm²/mg)を有する。実際の宇宙用途では高いLETを有するイオンが存在するので、プロトンや中性子照射試験で観測される劣化は、これら宇宙用途において見られる劣化より小さい。どのような場合であれ、マイクロドーズ効果に関して素子が加速的劣化に耐えうるかを判断するために、様々な入射角でのプロトンや中性子を使用することは可能である(ただし、ほとんどの重イオン試験設備では、入射角を変えることは不可能であるのだが)。試験設備の使用が可能であれば、観測される劣化強度を定量化するために、重イオン試験を実施できる(ただし、これは水

平なトランジスタを有するデバイスでは、不可能ではないにしても、難しいことである)。適当な試験 設備がないのであれば、重イオンに曝されるシステムでのマイクロドーズ効果に耐えうる部品を加速 試験する方法を開発しなければならない。

(5) まとめ

パワーMOS デバイスの劣化はプロトンと中性子照射で加速する。この加速的な劣化は非常に低 い照射レベルで、トレンチとプレーナ両構造のパワーMOS において発生する。特に、極端に低いプ ロトン総ドーズ量レベルで電流電圧特性の大きなシフトが見られる。これらのシフトはオフ状態リーク 電流を大幅に増大させる。幾つかのデバイスでは、総ドーズ量レベルが高々~2rad(SiO₂)であって も、リーク電流は3桁も増大する。これに加えて、このリーク電流増加は、γ線のデータに基づいた推 定より、非常に低い総ドーズ量レベルでも発生する。

本論文では、プロトンおよび中性子と集積回路内の材料との原子反応で誘発される 2 次イオンが 商用パワーMOS において、極端なマイクロドーズ効果を誘発することを提示している。基本的に、ト ランジスタのゲート酸化膜に 2 次粒子が電荷を注入する。2 次粒子の軌跡がソースからドレインの ゲート酸化膜領域の長さ方向に伸び、粒子によって注入された電荷が寄生リーク経路を誘発する場 合は、この寄生経路はトランジスタの主チャネルがターンオンする電圧より低いゲート電圧で導通す る。(例えばオフ状態のリーク電流増加が観測できる。)照射起因の劣化の量は照射時のゲートバイ アスに依存する。そしてプロトンエネルギーと照射角はここで評価されるパワーMOS でのマイクロ ドーズ効果には大きな影響を与えない。本論文ではトレンチとプレーナ構造のパワーMOS について の結果を示しているが、マイクロドーズ効果は他の集積回路の照射応答にも影響を与える。

これらの結果が耐量保証認定試験に与える影響について議論した。マイクロドーズ効果はあらゆ るタイプのデバイスで問題となるため、プロトン過剰の宇宙環境において利用される素子に対し、 TM109 およびプロトン施設での試験を利用した、トータルドーズ認定が実施されることを推奨してい る。デバイスでの放射線起因のパラメータ劣化は、通常発生する現象ではあるが、劣化量の許容範 囲は適用分野によって異なる。加えて、ある部品型式がマイクロドーズ効果に関し加速的な劣化をし 易いかどうか確認するために、トランジスタのチャネル構造がトレンチかプレーナかに関わらず、プロ トンと中性子照射が使用され得る。加速的劣化をもたらすマイクロドーズ効果は元来統計的であると いうことを覚えておくべきである。そしてこのように、プロトン(または中性子)の試験は加速的照射劣 化において部品毎のバラツキが大きいようである。観測されるバラツキ量は2次粒子 LET の統計的 バラツキ、生じた物理的位置、2次粒子がゲート領域に衝突する確率、粒子が移動し電荷注入する 酸化膜を通過する軌道に起因することになる。

3.2.11 プロトンとシリコンイオン照射による GaAs 中における欠陥形成

| 文献名 | Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs | | | |
|-----------|--|---|--|--|
| 出典 | IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 3016 - 3024, Dec. 2008. | | | |
| 著者名 | J. H. Warner, C. Inguimbert, M. E. Twigg, S. R. Messenger, R. J. Walters, M. J. | | | |
| | Romero, and G. P. Summers | | | |
| 対象デバイス | | GaAs 太陽電池 | | |
| 実験設備 | | University of Montreal radiation facility | | |
| 照射線種及び | | プロトン、Siイオン | | |
| エネルギーの区分 | | | | |
| 単発現象又は | | 積算線量効果(NIEL) | | |
| 積算線量効果の区分 | | | | |
| 実験又は理論の区分 | | 実験 | | |

(1) 概要

EBICとTEMを使用してプロトンとシリコンイオンを照射したGaAsの電気的及び構造的変化を観測した。

10MeV以上のプロトンとSiイオン照射では、これより低いエネルギーで形成されたものより電気的、 構造的に異なった乱れた結晶領域ができている。

乱れた領域は、実験データとNIELとのズレの原因であるのを示している。

反跳スペクトルの解析から高エネルギーの反跳により乱れた領域が形成される。

(2) 序論

非電離エネルギーロス(NIEL: Non-Ionizing Energy Loss) 変位損傷の概念は 20 年もの間、 異なる粒子による変位損傷の効果の説明に用いてきた。LET の概念が電離損傷効果と関連づけら れたように、NIELの概念は変位損傷と関連づけられてきた。しかしながら、いくつかの場合でこの相 関関係が一致しないことがあった。特に、10MeV以下のプロトンのエネルギーに関して、GaAs デバ イスの損傷係数がデバイスタイプまたはデバイス・パラメータの如何にかかわらず NIEL と共に直線 的に変化することが分かっている。この結果から損傷係数のエネルギー依存性を NIEL を用いて予 測可能であることを示しており、耐放射線性を一つの都合の良いプロトンエネルギーで得られること を示している。対照的に 10MeV を超えるとこの NIEL の関係がずれる。この高エネルギーのプロト ンでの GaAs デバイスで観測される振る舞いは、1980 年から比較研究されてきた。NIEL の関係が 崩れるのは、核反応、反跳現象、非電離デポジション(堆積)、クーロン反応、再結合などが影響し ていると見られている。

本論文では、さらに詳細な核反応計算と電子線誘起電流(EBIC)、透過型電子顕微鏡(TEM)で 研究を続けた。EBIC では、電気的な変化を観測し、TEM では放射線による構造上の変化を評価 した。 (3) 実験

この研究で用いたサンプルは、

0.5×0.5cm² p+n GaAs 太陽電池セルで n 型 GaAs 基板に分子ビームエピタキシャル 法(MBE)法で成長させた。この詳細は[7]に 記述されている。このウェハは NRL でのプ ロセスである。EBIC で計測したものはモント リオール大学の放射線設備で 10MeV のプ ロトンで 10¹²から 10¹³[p/cm²]のフルエンス で照射したものと 227MeV で照射したサン プルである。

構造変化はTEMを使って評価した。プロ トンとシリコンイオンエネルギーに対して示し た。EBIC は JEOL 5800 SEM システムを 使い電子ビームのエネルギーは 10keV で EBIC 像を発生させた。TEM 観測は日立 製 H-9000UHR の高解像度 TEM (HRTEM) を 300kV の加速エネルギーで 使った。

- (4) 実験結果
- (a) EBIC 結果

図 3.2.11-1(a)-(c)に 10MeV のプロトン でフルエンスを増加させた EBIC の画像を 示す。明るいところと暗い領域が分かれて 表示されている。暗い領域は、再結合が発 生している領域である。これらの領域は、 再結合中心または欠陥点を表している。 ダークスポットの密度はプロトンの注入フル エンス増加に依存している。これは放射線 によって欠陥が増加していることを示して いる。

欠陥強度は 10MeV と 227MeV プロトン 照射像で濃い部分に相当するものがほぼ 10%と 70%であった。この結果から、 227MeV プロトン照射で発生した欠陥は 10MeV プロトンによる欠陥よりも電気的活 性度は大きい。



(c)
 (d) □
 10
 図3.2.11-1.10MeVプロトン照射でのGaAs太陽
 電池セルのEBIC像



図3.2.11-2.227MeVプロトン照射のウィークビーム 像(明るいところが欠陥)



図3.2.11-3.22MeVシリコンイオン照射のウィーク ビーム像
227MeVのプロトン照射では、さらにダークスポットが増加して再結合中心が増加していることが 確認できる。この結果は図 3.2.11-1(d)に示す。

(b) TEM 結果

2 及び 4MeV プロトン照射前後の弱いビームの TEM 像では、明暗に現れる欠陥は見られな かった。しかしながら 10MeV 以上のエネルギーでは状態が大きく異なる。227MeV のプロトンでフ ルエンス1×10¹⁴cm⁻²の TEM 像を図 3.2.11-2 に示す。g=004 にg-3gの弱いビームで明るいスポッ ト像としてダメージ領域が明らかに現れている。円で囲ったところがその領域のひとつである。この ひずんだ領域は明らかに放射線で引き起こされた欠陥である。これらの欠陥はサンプルの上から 下まである。計算では 227MeV プロトンの GaAs 中の飛程は約 90mm である。よって、227MeV のプロトンはウェハ全体を突き抜けている。(厚み約 300um)

図 3.2.11-3 は、22MeVのSiイオンをフルエンス2×10¹⁹ions/cm⁻²照射したウィークビームTEM 像である。ビームの入射方向はイメージ像の上方からである。このSiイオンにより現れた変位量は

ウィークビーム像の結果は重要である、 なぜなら粒子放射線の条件のもとの変位 欠陥が示されるためである。しかしながら、 これらの結果は自然にある欠陥から導かれ るさまざまな情報を与えないため、高解像 度 TEM はウィークビーム像で見られた欠 陥の本質を決定するのに使用した。図 3.2.11-4 は 227MeV プロトンで照射した後 の GaAs 太陽電池セルの結晶格子のイ メージである。図 3.2.11-2 のウィークビーム 像と比較する。HRTEM 像は{111}の結晶 面がクロスハッチング上に見える。格子イ メージから見られるのは、包含や拡張の欠

高エネルギーのプロトンより小さい。



図3.2.11-4. HRTEMでの227MeVプロトン照射の GaAs太陽電池セル

陥などの原子スケールの状態が見られる。放射線で発生した欠陥は、直径1から3nmのレンジで 黒く円状にはっきりと見えることができる。欠陥サイズの変化によってイオンターゲットとの相互作用 の統計的な性質に関連する。放射線で発生したダメージ領域は結晶格子が乱れている領域で見ら れる。多くの場合、得られた近似的結果から乱れている領域の原子列は周囲のマトリクス上に結晶 秩序(すなわち、格子編)として現れる。これは、乱れている領域がアモルファスでないという有力な 証拠である。

(c) NIEL の計算でのリコイル (反跳) スペクトルの影響

このセクションの目的は、反跳スペクトル分析で重要な置き換え損傷過程のある一定の局面をさ ぐることである。これは以下を含んでいる。1)クーロン力相互作用のために様々な粒子エネル ギーによる反跳スペクトルを示す。2)ある特定の高エネルギープロトン入射において、反跳エネル ギーの関数としてクーロン力と核反応の関係性を示す。3)総合的な影響の反跳調査では、クーロン 力と原子核の相互作用の両方を考慮に入れながら、反跳エネルギーを導きだす。反跳スペクトルと 微分散乱断面積は互換性をもって使用される。

図 3.2.11-5 に GaAs での 22MeV Si イオン と異なる反跳スペクトルの比較を示す。図 3.2.11-5 からは、以下のことが観測される。 1) 各スペクトルは下側のエネルギーに向かった 傾向を示す。 2) 22MeV Si は当然のごとく反 跳エネルギーでまた反跳するためプロトンと比 べてエネルギー範囲が広いスペクトルエネル ギーになる。そして、いくつかの場合において 3) 反跳エネルギーは、1MeV 以上の高い成 分が含まれた。最大値は粒子の種類では決 まっていない。

クーロン力と核との相互作用を比較する。図 3.2.11-6に、GaAsの上の227MeVプロトンに よる反跳スペクトルを示す。この反跳スペクトル はGEANT 4 で計算したものである。ラインは クーロン力によるスペクトルを示し、各点は GEANT4 で示している各イオンでのスペクト ルである。各々の反跳スペクトルは、異なった 変位損傷エネルギー量でトータルの NIEL に 寄付している。すべての変位損傷での核反応 の影響が関連しており、我々は反跳スペクトル で NIEL の積算または NIEL の振る舞いを考 える。

図 3.2.11-7 は、プロトンとSi イオン照射によ る反跳エネルギーよって生成された標準化し た累積 NIEL Fraction を示す。プロトンエネ ルギーが高いほど反跳エネルギーと NIEL Fraction の関係がシフトしていく。0.2MeV の 反跳エネルギーで核断片とクーロン相互作用 が立ち上がる。これは変位損傷の影響である。



(5) 考察

GaAs 太陽電池セルの粒子放射線の影響を

電気的には EBIC の結果と構造的には TEM 結果で確認した。EBIC の結果を比較するとエネル ギーが増加すると明らかに欠陥の量が増加する。特に 2MeV 以下では劣化は見られなかったが 10MeV を超えると劣化が見られる。TEM での欠陥でも同じように 10MeV 以上でダメージが見られ るようになる。 HRTEM(図 3.2.11・4)の結果からは、ダメージ領域はアモルファス状態でなく結晶性を持っていることがわかった。 試料作成に Ar ミリングの影響が考えられるがイオンミリングのダメージならばアモルファスになることがわかっているため、その影響ではない。

今回の結果から変位損傷については、しきい値があると考えられる。22MeV Si イオンと 2MeV, 10MeV のプロトンの反跳スペクトル(図 3.2.11-5)について検討する。ここで下記の式で変位損傷の 指紋(量?)Caを示す。

 $C_d'(T) = \phi \frac{d\sigma}{dT}$

ここで ϕ は、粒子のフルエンス、T は反跳エ ネルギー、do/dT は一次反跳スペクトル(図 3.2.11-5 から得られる)。この関数をプロットし たのが図 3.2.11-8 である。ここで 2MeV では EBIC の結果からダメージはどの領域でも出 なかったことを考慮する。よって欠陥が発生す るのは、反跳エネルギーが 0.2MeV 以上であ るということがこのグラフから示される。Srourら はSi中のダメージ効果を検討している[39]。こ の検討から GaAs 中でクラスタを形成する反 跳 エ ネ ル ギ ー の 飛 程 は 、 0.22MeV<Eclus<0.54MeV である。

図 3.2.11-9 に反跳エネルギーのしきい値 以上(0.22MeV)での正規化した累積ダメー ジを示す。このグラフは局所的な欠陥量とエ ネルギー関連性を示す。この結果、欠陥はエ ネルギー依存性があり、粒子には依存してい ない。10MeV 以上でダメージを起こす。 227MeV の時と 10MeV のダメージでは約 6.5 倍違う。これは、EBIC の黒色点の量や TEMの結果と一致する。Siの22MeVとプロ



トン 227MeV と比較すると 60%以上のダメージ差がある。これも TEM の結果とほぼ一致する。

(6) まとめ

TEMとEBICの結果から、高エネルギープロトン(10MeV以上)と22MeVのシリコンイオンによっ て発生する欠陥は、低いエネルギーのプロトンで作られる欠陥と電気的構造的に異なることが明確 になった。

反跳スペクトルの解析から、EBIC と TEM 画像から結晶の乱れた領域が観測されるのは反跳エ ネルギーのしきい値として 0.22MeV ということを示した。 今回の結果から、欠陥が様々なデバイスの電気パラメータに影響を及ぼし、なぜ 10MeV 以上の プロトンエネルギーでの NIEL スケーリングが異なるのかを示した。

参考文献

- E. A. Burke, "Energy dependence of proton-induced displacement damage in silicon," IEEE Trans. Nucl. Sci., vol. 33, no. 6, pp. 1276–1281, Dec. 1986.
- [2] C. J. Dale, A. B. Campbell, G. P. Summers, W. J. Stapor, M.A. Xapsos, T. Palmer, and R. Zuleeg, "Energy dependence of proton-induced displacementdamage in gallium arsenide," IEEE Trans. Nucl. Sci., vol.34, pp. 1220–1226, 1987.
- [3] G. P. Summers, E. A. Burke, M. A. Xapsos, C. J. Dale, P. W. Marshall, and E. L. Peterson, "Displacement damage in GaAs structures," IEEE Trans. Nucl. Sci., vol. 35, no. 6, pp. 1221–1226, Dec. 1988.
- [4] G. P. Summers, E. A. Burke, P. Shapiro, S. R. Messenger, and R. J. Walters, "Damage correlations in semiconductors exposed to gamma, electron and proton irradiations," IEEE Trans. Nucl. Sci., vol. 40, pp. 1372–1379, 1993.
- [5] A. L. Barry, A. J. Houdayer, P. F. Hinrichsen, W. G. Letourneau, and J. Vincent, "The energy dependence of lifetime damage constants in GaAs LED's for 1–530 MeV protons," IEEE Trans. Nucl. Sci., vol. 42, pp. 2104–2107, 1995.
- [6] R. J.Walters et al., "Correlation of proton radiation damage in inGaAs- GaAs quantum well light-emitting diodes," IEEE Trans. Nucl. Sci., vol. 48, pp. 1773–1777, 2001.
- [7] J. H.Warner, R. J.Walters, S. R. Messenger, G. P. Summers, S. Khanna, D. Estan, L. Erhardt, and A. Houdayer, "High-energy proton irradiation effects in GaAs devices," IEEE Trans. Nucl. Sci., vol. 51, pp. 2887–2895, 2004.
- [8] S. R. Messenger, G. P. Summers, E. A. Burke, R. J. Walters, and M. A. Xapsos, "Modeling solar cell degradation in space: A comparison of the NRL displacement damage dose and the JPL equivalent fluenceapproaches," Progr. Photovolt.: Res. Appl., vol. 9, pp. 103–121, 2001.
- [9] A. Akkerman, J. Barak, and Y. Lifshitz, "Nuclear models for proton induced upsets," IEEE Trans. Nucl. Sci., vol. 49, pp. 1539–1546, 2002.
- [10] C. Inguimbert and R. Gigante, "NEMO: A code to compute NIEL for protons, neutrons, electrons, and heavy ions," IEEE Trans. Nucl. Sci., vol. 53, pp. 1967–1972, 2006.
- [11] J. Lindihard, V. Niaison, M. Scharff, and P. V. Thomsen, "Integral equations governing radiation effects," Mat. Fys. Medd. Dan. Vid. Selsk., vol. 33, pp. 1–42, 1963.
- [12] M. T. Robinson, "Basic physics of radiation damage production," J. Nucl. Mat., vol. 216, pp. 1–28, 1994.
- [13] A. Akkerman and J. Barak, "New partition factor calculations for evaluating the damage of low energy ions in silicon," IEEE Trans. Nucl. Sci., vol. 53, pp. 3667–3674, 2006.

- [14] R. A. Weller, M. H. Mendenhall, and D. M. Fleetwood, "A screened Coulomb scattering module for displacement damage computations in Geant4," IEEE Trans. Nucl. Sci., vol. 51, pp. 3669–3678, 2004.
- [15] S. R. Messenger, E. A. Burke, G. P. Summers, and R. J. Walters, "Limits to the application of NIEL for damage correlation," IEEE Trans. Nucl. Sci., vol. 51, pp. 3201–3206, 2004.
- [16] J. H. Warner, S. R. Messenger, R. J. Walters, G. P. Summers, M. J. Romero, and E. A. Burke, "Displacement damage evolution in GaAs following electron, proton and silicon ion irradiation," IEEE Trans. Nucl. Sci., vol. 54, pp. 1961–1968, 2007.
- [17] M. Kittler and W. Seifert, "EBIC defect characterisation: State of understanding and problems of interpretation," Mat. Sci. Eng. B, vol. 42, pp. 8–13, 1996.
- [18] R. A. Brown and J. S. Williams, "Crystalline-to-amorphous phase transformation in ion-irradiated GaAs," Phys. Rev. B, vol. 64, pp. 155202-1–15520-6, 2002.
- [19] M. W. Bench, I. M. Robertson, M. A. Kirk, and I. Jencic, "Production of amorphous zone in GaAs by the direct impact of energetic heavy ions," J. Appl. Phys., vol. 87, pp. 49–56, 2000.
- [20] S. R. Messenger, E. A. Burke, M. A. Xapsos, G. P. Summers, R. J. Walters, I. Jun, and T. Jordan, "NIEL for heavy ions: An analytical approach," IEEE Trans. Nucl. Sci., vol. 50, pp. 1919–1923, 2003.
- [21] I. Jun, M. A. Xapsos, S. R. Messenger, E. A. Burke, R. J.Walters, G. P. Summers, and T. Jordan, "Proton nonionizing energy loss (NIEL) for device applications," IEEE Trans. Nucl. Sci., vol. 50, pp. 1924–1928, 2003.
- [22] C. Inguimbert and R. Gigante, "NEMO: A code to compute NIEL for protons, neutrons, electrons, and heavy ions," IEEE Trans. Nucl. Sci., vol. 53, pp. 1967–1972, 2006.
- [23] G. Vitali, M. Kalitzova, N. Pashoc, P. Werner, H. Bartsch, and D. Karpuzov, "Lattice imaging study of in-depth disordering of Si-implanted GaAs," Appl. Phys. A, vol. 46, pp. 185–190, 1988.
- [24] I. Jencic, M. W. Bench, I. M. Robertson, and M. A. Kirk, "Electronbeam- induced crystallization of isolated amorphous regions in Si, Ge, GaP, and GaAs," J. Appl. Phys., vol. 78, pp. 974–9982, 1995.
- [25] W. Wesch, A. Kamarou, and E. Wendler, "Effect of high electronic excitation deposition in semiconductors," Nucl. Instr. Meth. B, vol. 225, pp. 111–128, 2004.
- [26] W. Wesch, A. Kamarou, E. Wendler, A. Undisz, and M. Rettenmayr, "Effect of high electronic excitation in swift heavy ion irradiated semiconductors," Nucl. Instr. Meth. B, vol. 257, pp. 283–286, 2007.
- [27] W. Wesch, A. Kamarou, E. Wendler, and S. Klaumunzer, "593 MeV Au irradiation of InP, GaP, GaAs, and ALAs," Nucl. Instr. Meth. B, vol. 242, pp. 363–366, 2006.
- [28] A. Dunlop, G. Jaskierowicz, and S. Della-Negra, "Latent track formation in silicon irradiated by 30 MeV fullerenes," Nucl. Instr. Meth. B, vol. 146, pp. 302–308, 1998.

- [29] A. Colder, O.Marty, B. Canut, M. Levalois, P. Marie, X. Portier, S. M. M. Ramos, and M. Toulemonde, "Latent track formation in germanium irradiated with 20, 30, and 40 MeV fullerenes in the electronic regime," Nucl. Instr. Meth. B, vol. 174, pp. 491–498, 2001.
- [30] A. Colder, B. Canut, M. Levalois, P. Marie, X. Portier, and S. M. M. Ramos, "Latent track formation in GaAs irradiated with 20, 30, and 40 MeV fullerenes," J. Appl. Phys., vol. 91, pp. 5853–5857, 2002.
- [31] W. Wesch, A. Kamarou, and E. Wendler, "Effect of high electronic excitation deposition in semiconductors," Nucl. Instr. Meth. B, vol. 225, pp. 111–128, 2004.
- [32] G. Braunstein, D. Tuschel, S. Chen, and S. T. Lee, "Raman scattering study of lattice disorder in 1 MeV Si-implanted GaAs," J. Appl. Phys., vol. 66, pp. 3515–3522, 1989.
- [33] N. Pashov, G. Vitali, M. Kalitzova, and M. Rossi, "Lattice defects in ion implanted GaAs," Phys. Stat. Sol. A, vol. 150, pp. 239–245, 1995.
- [34] P.Werner and M. Pasemann, "Generation of radiation-induced defects at room temperature in silicon in a HVEM and their annihilation," Ultramicroscopy, vol. 7, pp. 267–276, 1982.
- [35] A. Akkerman, J. Barak, M. B. Chadwick, J. Levinson, M. Murat, and Y. Lifshitz, "Updated NIEL calculations for estimating the damage induced by particles and gamma rays in Si and GaAs," Radiat. Phys. Chem., vol. 62, pp. 301–310, 2001.
- [36] G. P. Summers, E. A. Burke, M. A. Xapsos, C. J. Dale, P. W. Marshall, and E. L. Peterson, "Displacement damage in GaAs structure," IEEE Trans. Nucl. Sci., vol. 35, pp. 1221–1226, Dec. 1988.
- [37] S. R. Messenger, R. J.Walters, E. A. Burke, G. P. Summers, and M. A. Xapsos, "NIEL and damage correlations for high-energy protons in gallium arsenide devices," IEEE Trans. Nucl. Sci., vol. 48, pp. 2121–2126, 2001.
- [38] P. d. Almeida and J. Raisanen, "Atomic displacements in solids: Analysis of the primary event and the collision cascade. Part I: Neutron and positive ion irradiation," Eur. J. Phys., vol. 26, pp. 371–389, 2005.
- [39] J. Srour and J. W. Palko, "A framework for understanding displacement damage mechanisms in irradiated silicon devices," IEEE Trans. Nucl. Sci., vol. 53, pp. 3610–3620, 2006.
- [40] J. H. Warner, S. R. Messenger, R. J. Walters, and G. P. Summers, "A comparison between pn and pn GaAs displacement damage coefficients following proton irradiation," in Proc. 33rd Photovoltaic Specialist Conf. (PVSC), San Diego, CA, 2008.
- [41] S.Wood, N. J. Doyle, J. A. Spitznagel, W. J. Choyke, R. M. More, J. N. McGruer, and R. B. Irwin, "Simulation of radiation damage in solids," IEEE Trans. Nucl. Sci., vol. 28, pp. 4107–4112, 1981.
- [42] R. M. More and J. A. Spitznagel, "Primary recoil spectra and subcascades effects in ion bombardment experiments," Radiation Effects, vol. 60, pp. 27–33, 1982.

[43] C. J. Dale, P. W. Marshall, E. A. Burke, G. P. Summers, and E. A. Wolicki, "High energy electron induced displacement damage in silicon," IEEE Trans. Nucl. Sci., vol. 53, pp. 1208–1214, 1988.

| 文献名 | Design Implications of Single Event Transients in a Commercial 45 nm SOI | | |
|-----------|--|--|--|
| | Device Technology | | |
| 出典 | IEEE Trans | action on Nuclear Science, Vol. 55, No. 6, pp. 3461 - 3466, Dec. 2008. | |
| 著者名 | AJ Kleinoso | wski, E. H. Cannon, J. A. Pellish, P. Oldiges, and L. Wissel | |
| 対象デバイス | | 45nm CMOS/SOI | |
| 実験設備 | | Massachusetts General Hospital in Boston | |
| 照射線和 | 重及び | プロトン | |
| エネルギーの区分 | | 148MeV | |
| 単発現象又は | | 単発現象 | |
| 積算線量効果の区分 | | | |
| 実験又は理論の区分 | | シミュレーション及び実験 | |

3.2.12 45nm SOI デバイスにおける SET の回路への影響

(1) 概要

組み合わせロジック回路では、SET (Single Event Transient)の影響がロジックによってマスク される場合や、電気的に減衰していく場合もあり得るが、メモリ素子中のクロック回路やパスゲートは、 特にデータ保持している期間中は SET に対して非常にセンシティブである。

本論文では、地上用 45nm SOI デバイステクノロジーにおける SET のモデリングと測定方法について述べており、半導体パッケージや高エネルギー中性子によって派生する a 線が引き起こす SET に着目している。(IBM は、地上においても、荷電粒子による SRAM や FF 等のメモリ素子中での SET 発生は、SEU の主要原因として問題視しており、本論文の筆者は、2007 年の NSREC においても 65nm SOI において同様な SET 対策回路の検討結果を発表している。)

本論文では、45nm SOI テクノロジーにおいて、以下の内容について詳説した。

- ① DICE (Dual Interlocked Storage Cell)回路の設計
- ② TCAD (Technology Computer Aided Design)を用いたDICE回路に対するa線入射時のSET電流/電圧波形のシミュレーション
- ③ DICE回路のメモリブロックに対するプロトン照射の実施
- ④回路へのSET対策の検討
- (2) SETの物理的メカニズム

TCAD(Synopsys Sentaurus, 3D mixed-mode)を使用し、放射線対策のない通常のDタイプフ リップフロップ(図 3.2.12-1)を構成する任意の OFF 状態のトランジスタに対して、5.5MeV のα線を、 入射角度を変えながら照射し、上記トランジスタのソース、ドレイン、ボディにおける SET 電流をシ ミュレーションした。

α線を照射したトランジスタは、図 3.2.12-1 の D タイプフリップフロップ回路中の N チャネルトラン ジスタ(N23)のソース、ボディ(ゲート直下)、及びドレインである。入射角度を、ノーマル(垂直)照射、 45°照射、全方向、と変化させた。図 3.2.12-2(a),(b),(c)に、それぞれのシミュレーション結果をグラ フにしたものを示す。



図 3.2.12-2. TCAD シミュレーション結果



図 3.2.12-2(a),(b),(c)の結果から言えることは、以下の4点に要約できる。

- ① Source/Drain 垂直入射では、Drain 電流はほとんど流れず、角度入射ではパスが長くなるため、電流増加傾向。
- ② Body 入射が最も多く Drain 電流が流れる。Body で発生した e-h ペアの内、electron は Drain/Source に拡散し、過剰の hole が Body 電圧を引き上げ、バイポーラ効果を引き起 こす。
- ③ Body への入射角度 20°以上になると、Tr を ON させるに十分な電荷が Body 中に発生し、Drain 電圧を GND に引き下げる。(SET 発生)
- ④ V.Ferlet-Cavrois らの 2007 年の NSREC ペーパー⁽¹⁾で示されている SET 電流よりも大 きくでているが、それは Si 層の厚さが厚い PD-SOI であることと、Tr 単体で測定した前述 ペーパーとは違って、回路中の Tr に対するシミュレーションだから。(⁽¹⁾ "Transient radiation response of single and multiple gate FD SOI transistors," NSREC2007)

(3) 評価回路について

評価回路に使用したメモリは、図 3.2.12-1 の D タイプフリップフロップの他に、SEU 対策済みの DICE 回路(図 3.2.12-3)を用意した。DICE 回路は、その中のデータ保持部分における SEU 耐性 は高いが、クロックラインに SET 除去回路を挿入しない限り、クロックラインまたはパスゲートでの SET 発生または SET 伝搬に対しては弱く、SEU 発生につながる。図 3.2.12-2 の DICE 回路には、 クロックラインには SET 対策がなされていないので、上記の通り SEU は発生する可能性がある。 SPICE を用いてクロックライン上のトランジスタに疑似的に SET を発生させ、SEU 発生につながる シミュレーションの結果を、図 3.2.12-4 に示す。B_CLK_N(前述 DICE 回路の Slave 側の b_clk_c に入力される) 出力で発生させた SET によって、Master の保持データ"1"が Slave の保持デー タ"0"を Over-write され、SEU の原因となっていることが分かる(逆に"0"→"1"の Over-write は、 本例のような SET によって影響を受けるパスゲートの Tr が P-Tr ということがあり、発生しにくい。)



図 3.2.12-4. SPICE を用いた SET シミュレーション結果(DICE)

(4) プロトン照射試験結果

プロトン照射に使用したデバ イスに搭載したのは、11.520個 の D タイプフリップフロップと、 5,760 個の DICE 回路で、図 3.2.12-5 に示すようなチェーン 構造とした。

プロトン照射については、以 下の通りの条件で行い、照射 結果は、表 3.2.12-1の通りであ る。All 0s や All 1s の各条件 では、DICE 回路の特徴が出 ており(内部のデータ保持回路 での SEU は発生しない)、 DICE カイロでの SEU 発生は 0となった。しかし、0011(0→1) や 0011(1→0)の各条件では、





Fig. 4. Part (a). Typical four bit register where a_clk and b_clk signals are routed and a_clk_n and b_clk_n are generated within each flip-flop. Part (b). Revised four bit register where the local clock inverter is removed from the L2 (slave stage) of the flip-flop. This requires the b_clk_n signal to be generated with a 4x wide inverter and then routed to each flip-flop.

図 3.2.12-5. DICE を用いた評価回路

Dタイプフリップフロップよりもかなり強い耐性ではあるが、それでもクロックライン上でのSETの影響 で、SEU 発生がみられた。

:noRHBD D-type-FF, RHBD DICE-type-FF ✓ DUT ✓ 試験回路 :シフトレジスタ ・noRHBD・・・11,520個のFFを直列接続 RHBD・・・・・5,760個のFFを直列接続 ✔ 線源 :プロトン(148MeV) @Massachusetts General Hospital in Boston ✓ 試験パターン :all 0、all 1、checkerboard (クロック回路/パスゲートのSET評価としては、checkerboardがワーストケー ス) ✓ 試験結果 :表3.2.12-1参照

表 3.2.12-1. プロトン照射結果

TABLE I NORMALIZED CROSS SECTIONS FOR D-TYPE AND DICE-TYPE FLIP-FLOPS DURING 148 MEV PROTON TESTING, D-TYPE L1 ALL 0S WAS USED AS THE BASE CASE FOR NORMALIZING

| Test | D-type FF | DICE-type FF | noSEU @DICE-type FE |
|----------------|-----------|--------------|--|
| L1 All 0s | 1.0x | 0.0x | |
| L1 0011 0 to 1 | 2.8x | 0.1x | |
| L1 0011 1 to 0 | 1.7x | 0.7x | 「DICE-type FFIC Jいては、クロック回路/ハス」 ゲートに対するSETの影響が現れている |

D-type FFの"L1 All 0s"の反転断面積を1とした、 正規化された反転断面積比率で表示

· 刈 9 つこ 彩音. `近1 ົ (5) SET対策手法について

SOI回路で最も効果的なSET対策は、TrのWサイズを大きくすることである。

- ・ ボディ面積大 → バイポーラ効果に必要な電荷量大
- ・ Trの駆動能力大 → SET発生を軽減
- ・ ゲート容量増大 → upsetに必要なSETパルス幅の増大

また、α線に対する対策としては、W>1mm、ゲート容量>10fF、が必要である。(重イオン対策としては、これでは不十分だが、α線ならOK、という意味。)

DICE 中のクロック回路中のインバータを構成する Tr の W サイズを大に変更。この SET 対策に よるペナルティとして、面積と消費電力の増大が挙げられるが、それらを軽減するために、FF 中のク ロック回路を FF の外に出し、W サイズを増大させることで駆動能力を上げさらにゲート容量も上げ、 これを複数の FF に対して共有化させる。さらに、その後ろに繋げる FF 数を増やすことで、upset に 必要な Critical Charge がさらに増大し、SEU 発生しにくくなる。(図 3.2.12-6)



図 3.2.12・6. バッファに対するファンアウトの違いによるクリティカルチャージの変化

(6) 結論

45nmSOIテクノロジーを用いて設計したSEU対策済みメモリ回路(DICE)においても、SETの影響によるSEU発生が起こることが、プロトン照射結果によって判明した。クロック回路やパスゲートのTrが、荷電粒子の影響を受けていた。

 ✓ クロック回路/パスゲートへのSETが原因で発生したSEUについては、DICE-type FF(RHBD)の反転断面積は、D-type FF(noRHBD)の約0.7倍であった。DICEでも、ク ロック回路/パスゲートへのSET対策は必要であるということ。

- ✓ 3D Mixed Mode TCADシミュレーション結果から、荷電粒子入射によるTrのDran/Source での電荷蓄積よりもBodyでのそれがSET発生に大きく影響していることが判明した。
- ✓ DICEのクロック回路/パスゲートへのSET対策としては、Trサイズupによるクロック回路の駆動能力up、及びFF内部からクロック回路を外に出し複数のFFで共有化させることによって、 FFが保持データUpsetを発生させるCritical Chargeを増加させ、SEUを引き起こすような SETを発生しにくくさせた。
- ✓ SET対策としてはボディタイも有効であるが、ボディタイはminimum WのTrで構成されて いるFFには適用できない。(ボディタイ挿入による面積増大が許容できない、という意味と考 えられる。)

3.2.13 電荷収集および電荷拡散を軽減に関するガードリング・ガードドレインの効果の定量的評 価

| 文献名 | Quantifying the Effect of Guard Rings and Guard Drains in Mitigating Charge | | | | |
|-----------|---|---|--|--|--|
| | Collection as | Collection and Charge Spread | | | |
| 田 | IEEE Trans | action on Nuclear Science, Vol. 55, No. 6, pp. 3456- 3460, Dec. 2008. | | | |
| 著者名 | Balaji Nara | asimham ^(a) , Jody W. Gambles ^(b) , Robert L. Shuler ^(c) , Bharat L. | | | |
| | Bhuva ^(a) , an | d Lloyd W. Massengill ^(a) | | | |
| | (a)Vanderbi | lt University, Nashville TN 37235 USA | | | |
| | (b)Center fo | r Advanced Microelectronics& Biomolecular Research, University of Idaho | | | |
| | (c) NASA Jo | hnson Space Center | | | |
| 対象デバイス | | 130 nm and 180 nm CMOS logic circuit | | | |
| 実験設備 | | (a) LBNL の重イオンビーム (b) Texas A&M Univ.の重イオンビーム | | | |
| 照射線種 | 及び | (a) Kr 886MeV(入射角:0度)/Xe 1403MeV(入射角:0, 38.5, 54度) | | | |
| エネルギ | ーの区分 | [文献 9] | | | |
| | | (b) 記述なし | | | |
| 単発現象又は | | 単発現象、RHBD | | | |
| 積算線量効果の区分 | | | | | |
| 実験又は理論の区分 | | 実験及び理論 | | | |

(1) 緒言

微細化技術の結果、CMOS IC の広帯域化・低電圧化・ノイズマージンの減少などが顕在化し、 IC にイオンが通過したときのソフトエラーレートが悪化した。その対策として、かつて特殊な半導体プ ロセスが使われたが、それでは最新の商用 CMOS 技術の発展に追随することが難しい。したがって、 標準プロセスを使い RHBD で SEU 対策を用いるのが好ましい。一方、従来の冗長性・エラー訂正 などによる対策の多くは、シングルイベントで複数のトランジスタが影響を受ける場合に対応していな い。一つの MOS トランジスタを駆動する電荷はますます減っており、1 個のイオンが CMOS 回路に 入射しても複数の MOS トランジスタに影響を与えるようになった。シングルイベント耐性を上げるた めには、RHBD で個々の CMOS トランジスタのレイアウトを変更し、イオンによる電荷の影響と近接 するトランジスタへの影響を減らすことを冗長性などと併用することが必要になっている。

(2) 研究の背景

ガードリングを用いてイオンによる電荷がトランジスタに入らないようにする方法は、すでに報告されてきた。ガードリングとは、図 3.2.13-1 のように、n-well 中の PMOS トランジスタの周囲を n+領域 で覆う(あるいは p-基板中の NMOS トランジスタの周囲を p+領域で覆う)ものである。n-well 中の

PMOS トランジスタには 有効であるが、p-基板中 のNMOSトランジスタの 場合有効性は低いこと が分かっている。この理 由は、ガードリングが n-well の電位を固定し



図 3.2.13-1. p-基板中の NMOS トランジスタ: (a)従来型 (b)ガードリン グ (c)ガードドレイン

て n-well 中の PMOS トランジスタの寄生バイポーラ効果による 2 次的な電荷収集を制限するから である。p-基板中の NMOS トランジスタでは、寄生バイポーラにより電荷収集が強められることが多 いので、ガードリングはあまり効果がない。反対に、ガードドレイン(ドレイン周囲に逆バイアスを掛け たダイオード領域を置くもの)は、p-基板または n-well 中の電荷を集める第 2 の領域として働き、イ オンにより発生し、ドリフト・拡散する電荷がドレインで収集されるのをより効果的に軽減する。

この論文では、3D-TCAD シミュレーションを用いて、ガードリングとガードドレインの効果を分析する。実験結果から、ガードリングは PMOS トランジスタに有効的で、ガードドレインは NMOS トランジスタの電荷収集低減に効果的であることを示した。重イオン照射実験では、130nm デバイスを用いて SET パルス幅とエラー断面積でガードリング有無の差を、一方 180nm デバイスではエラー断面積によりガードリングとガードドレインの効果を定量的に評価した。

(3) 3次元TCADシミュレーション

モデル





3D-TCAD シミュレーションは、Synopsys 社 の Sentaurus を用いて、電荷収集と電荷の分散 (分布)を解析した。二つの MOS トランジスタを 約1.5µmの距離で配置した。そして3種類(従来 型、ガードリング、ガードドレイン)の PMOS トラン ジスタをモデル化した(図 3.2.13・2)。(a)従来の 構造:n-well に基板と well へのコンタクト、(b) ガードリング構造:各トランジスタを n+のリングで 囲ったもの、(c)ガードドレイン構造:各トランジス タを p+のリングで囲ったものである。同様に、p-基



板上の NMOSトランジスタも3種類モデル化した。ここに、LET = 40 MeV-cm²/mgのイオンを走行 距離 10μm だけ走らせた。入射角 0 度と 60 度でイオンを入射した。図 3.2.13-3 に示すように、垂直 入射はデバイス A のドレインの中心を通るように、60 度入射はデバイス A から B に向けて行った。 そして、デバイス A・B のドレインに流れる電流を記録した。

垂直入射イオンへの応答

図 3.2.13・4 に、デバイスA・B に流れるドレイン電流の時間依存性を示す。イオン通過で発生する 電荷により n-well 中のポテンシャルが乱れる。その結果発生する寄生バイポーラトランジスタのため に、デバイスの収集電荷が増加する。ガードリング・ガードドレインは、どちらもその電荷を減少させる。 ガードリングは、n-well に発生する電子を除去し、well のポテンシャルの崩壊 (collapse) を防止し、 その結果、寄生バイポーラトランジスタの影響を減らす。一方、ガードドレインはイオン通過により発 生しドリフト・拡散するホールの一部を除去し、ドレインに到達する量を減らす。PMOS デバイスでは、 ガードリングがガードドレイン以上に効果的である。なぜなら、PMOS デバイスでは、寄生バイポーラ トランジスタの影響が支配的だからである。逆に、NMOS デバイスでは寄生バイポーラトランジスタが 発生しないので、ガードドレインがより有効である。図 3.2.13・5 は、ドレインに流れる電流を積分した ものである。PMOS の場合は、対策がないと隣のトランジスタに大量の電荷が励起されるが、それを ガードリングが非常に効果的に抑制する。NMOS の場合は、ガードドレインがより有効であることが 分かる。



(4) 照射実験結果

SET 幅自動測定回路[文献 9]

図 3.2.13-7 に、130nm プロセスの評価に用いた SET 幅自動測定回路を示す。被試験回路

(Target Circuit)部と測定回路からなる。被試験回路は、照射によりSETを発生させる回路で多段 インバータなどを用いる。測定回路は、多段(stage 1 ... final)のラッチ回路からなる。被測定回路 で、SET が発生すると、その波形は多段ラッチ回路を伝搬してゆく。トリガー回路からのホールド信

号は、すべての段に共通と なっている。トリガー回路は最 初にリセットされる。初段の出 力がトリガーとなり一定遅延 時間後にホールド信号が反 転する。その瞬間の各段での レベル(つまり SET 波形)が 記録される。文献[9]より、試



図 3.2.13-7. SET 幅自動測定回路による。

験回路の段数は 32 で各段の遅延は 120psec、リーディングエッジが 22 段にサンプルされるので、 有効に使えるのは 21 段で 2520psec が幅測定の最大時間・測定誤差は±60psec である。

照射はLBNLの重イオンビームで行われた。イオン・エネルギー・入射角度を変化させ Effective LET 31-100 MeV-cm²/mg の範囲で測定した。ここで、

Effective LET = Actual LET / $\cos\theta$

ただし、0は入射角である。図 3.2.13-9(a)は、ガードリング有無の SET パルス幅の測定結果であ る。SET パルスの最大幅は、デバイスが収集した電荷に比例すると考えられる。SET パルス幅の最 大は、ガードリングにより平均 20%減る。従って、デバイスが収集する電荷も 20%程度減少したと考 えられる。図 3.2.13-9(b)に示すとおり、SET 発生断面積は平均で 42%改善する。

SET 発生検知回路





図 3.2.13-8. SET 頻度測定回路

したフリップフロップ(guard gate based latch cells) である。この試験回路を Texas A&M 大学 (TAMU)で、0度(垂直)・60度でイオンビームを入射し、ガードリングとガードドレインで対策した場合 の SET 発生断面積を測定・比較した(図 3.2.13・10)。Actual LET は、入射角度で補正していない LET 値である。

ガードドレインはガードリングと比較して、垂直入射時に 30%、60 度入射時に 40%エラー頻度が 減少した。(ただし、この差の一部はデバイス面積の差の効果かもしれない。)

ガードドレインは PMOS・NMOS 双方に効果的だが、ガードリングは PMOS でのみ有効なので、 PMOS ガードリング・NMOS ガードドレインの組み合わせで将来の試験を行うつもりである。



図 3.2.13-9.130nm デバイスへの照射結果。ガードリング有無の 図 3.2. 比較。(a)SET 幅分布の LET 依存性。線分は分布の上限と下 0 度お 限、長方形は平均と±10を示す。(b)SET 断面積の LET 依存性。 ドリング



(5) 結論

IC の微小化が進み、電荷収集の効率が上昇し、複数セルへの電荷分散が起こるようになり、従来 のシングルイベント対策には有効でない方法が増えつつある。RHBD で、各デバイスでの電荷収 集・電荷分散を軽減すれば、SET の軽減の手法となる。3D-TCAD により 130nm デバイスで従来 構造・ガードリング・ガードドレインの 3 構造を比較し、n-well の PMOSトランジスタではガードリング が、p-基板中の NMOS トランジスタではガードドレインが有効であることを示した。180nm と 130nm CMOS で RHBD 評価用チップを試作し、重イオン照射試験を行った。130nm デバイスの 試験結果から、ガードリング構造を用いることで SET パルスの平均時間幅(収集電荷に相当)が 20%減少することが分かった。また、シングルイベント発生断面積は 42%減った。180nm デバイスの 試験結果から、ガードドレインはガードリングに比べてエラーレートを減らすのに 30%有効であること が分かった。

- (6) 考察および委員会における主な質疑とコメント
 - ◎ LBNLの実験では、入射角度を変化させ Effective LETを、TAMUの実験では Actual LET と入射角度を実験条件として扱っているが、どちらかに統一して議論すべきである。
 - ◎ コメント:一般には"Effective LET"で議論する。
 - ◎ SET幅測定の結果:下限・平均・分布の幅などはSET発生の電荷閾値の影響を受けているので 解釈が難しい。本論文は上限のみを議論している。
 - ◎ 図3.2.13-4のデバイスAの応答:鋭いピークはイオンで発生する電流と考えられ、対策の有無によらない。その後一定電流がしばらく流れるが、これは寄生バイポーラトランジスタの効果で、対策により持続時間を減少させることができている。鋭いピークからの電荷は寄生バイポーラトランジスタによる電荷に比べて無視できる。その結果、SETの幅と電荷が概ね比例すると考えられる。
 - ◎ コメント: TCAD シミュレーションのデータを実施するにあたり、Device AとDevice Bの距離や 入射位置を変化させながら、電荷収集を議論すべきであった。
 - ◎ Q:ガードリング・ガードドレインを入れることにより、図 3.2.13-3のレイアウトはどれくらい変化するのか?
 - ◎ A:論文に記述が無い。図3.2.13・2のトランジスタ部分の拡大図を示す。 シミュレーションではAとBの距離は一定らしい。

- ◎ コメント:論文にはデバイスの面積が30%増加と書いているが、実際のレイアウトに必要な面積は さらに増える可能性がある。
- ◎ Q:「かつて行われた、特殊な半導体プロセスを用いた対策」とはどのような対策か?
- ◎ コメント:論文に記述ないが、寄生バイポーラ効果を抑制するものだと思われる。また、現在では、 放射線対策を回路で施す手法が一般的である。
- ◎ コメント:シミュレーション結果と実験結果を扱う論文では、両結果を比較できるデータを用いて議 論・考察するべきである。
- ◎ コメント:SEE対策としてガードリングは通常のRHBDライブラリにはない。
- ◎ コメント:微細化が進むにつれ、酸化膜厚は小さくなるのでTID耐性は上がる。
- ◎ コメント:ガードリングの有無により、TCADでは電荷収集量は1桁程度変化するのに、実際の測 定ではSETパルス幅は20%程度しか違いがない。比例特性は見られないが、これは電子・正孔 の移動度の差に起因する可能性がある。



参考:図 3.2.13-2 のトランジスタ部分の拡大図

参考文献

[9] B. Narasimham, B. L. Bhuva, R. D. Schrimpf, L. W. Massengill, M. J. Gadlage, O. A. Amusan, W. T. Holman, A. F. Witulski, W. H. Robinson, J. D. Black, J. M. Benedetto, and P. H. Eaton, "Characterization of digital single event transient pulse-widths in 130-nm and 90-nm CMOS technologies," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2506–2511, Dec. 2007. (SET 測定回路の説明)

3.2.14 ミックスド・シグナル フェイズ・ロック・ループにおける耐放射線強化した電圧制御発振器 への確率的解析手法の適用について

| 文献名 | A Probabilistic Analysis Technique Applied to a Radiation-Hardened-by-Design | | | |
|-----------|--|--|--|--|
| | Voltage-Controlled Oscillator for Mixed-Signal Phase-Locked Loops | | | |
| 出典 | IEEE Trans | action on Nuclear Science, Vol. 55, No. 6, pp. 3447 - 3455, Dec. 2008. | | |
| 著者名 | T. D. Lovele | ss, L. W. Massengill, B. L. Bhuva, W. T. Holman, M. C. Casey, R. A. | | |
| | Reed, S. A. N | Nation, D. McMorrow, and J. S. Melinger | | |
| 対象デバイス | | ミックスド・シグナル CMOS デバイス | | |
| 実験設備 | | — | | |
| 照射線和 | 重及び | TPA (Two Photon absorption) Laser :12nJ | | |
| エネルギーの区分 | | | | |
| 単発現象又は | | 单発現象(SET) | | |
| 積算線量効果の区分 | | | | |
| 実験又は理論の区分 | | 実験と解析 | | |

(1) 序論

近年、デバイスサイズの縮小化と動作周波数の増加により、VCO や PLL などのミックスド・シグナルに対しても考慮されるようになってきた。VCO の放射線の影響として、出力周波数や振幅の変動や一時的に発振が停止するなどが生じている。

本論文では、先ず、IBMの90nm CMOS9SFのPDK (process design kit)を用いて設計した2 種類のVCOを対象に、シミュレーションによるSET 解析結果と複雑なSET 信号を特徴づける新し い確率的解析方法について述べ、本RHBD-VCOの出力の位相変動を効果的に抑制できているこ とを示す。次に、本確率的解析方法の妥当性確認のため実施した、IBM 社 130nm CMRF8RF プ ロセスで設計製作した耐放射線化していないVCOに対する2光子吸収(TPA)レーザ照射試験結果 を示す。最後に、本RHBDのVCOを適用する上での設計上のトレードオフ(面積、電力)について の考察し、提案した RHBD は、面積と電力の増加を伴うが、ノイズ(放射線を含む)やデバイスばら つきに対する位相ジッタを抑制でき、ミックスド・シグナルの放射線耐性強化に有効であることを示 す。

(2) VCO(電圧制御発振器)の概要

(a) 電流欠乏型 VCO の回路構成

本研究でデザインした通常の VCO の 回路構成を図 3.2.14・1 に示す。本回路は、 入力電圧(Vinvco)に応じた定電流を生成 するインプット・バイアス・ステージと、電流 量に応じて遅延(周波数)が変わることを 利用した電圧欠乏型リングオシレータで構 成される。本回路は、定格電源電圧 1.2V の IBM 社 90nm COS9SF の PDK を用





(b) VCO の周波数変換特性

本回路の電圧周波数変換特性を、図3.2.14-2 に示す。中心周波数fcからの標準偏差は約 232MHz、fcからの分散は12%である。これらの本 特性は、ケーデンス社のEDAツール(Spectre)、 Vanderbilt 大 学 の ACCRE (Advanced Computing Center for Research & Education) クラスタ計算機、3oのプロセスばらつ



図 3.2.14-2 通常の VCO の周波数変換特性

きを有するPDKを用いた100モンテカルロシミュレーションにより取得した。

(c) 位相ジッタの定義

本論文では、VCO回路のSET特性を直接評価する指標として、出力信号の理想的な周期から

の変動量である位相ジッタを用いた。通常動作 時の位相ジッタの主要因には、電源電圧変動 や電流源の不整合などがある。位相ジッタ jitterccは、図3.2.14-3と式(1)のように、連続し た個々の発振周期(ti)と理想周期(Tclk)を用い て定義する。また、位相ジッタの典型的な測定 基準とされるrmsは、位相ジッタjitterccの標準 偏差として式(2)で定義される。ここで、Var(X) はXの分散とする。電源電圧変動による位相 ジッタをシミュレーションするため、理想的なDC 電源と直列に擬似的なランダムノイズ源(Vad = 1.2Vの±2%以下)と、低周波の正弦波ノイズ源 (Vad =1.2Vの15%振幅)を加えている。

$$jitter_{cc} = \begin{bmatrix} t_{1} - T_{clk} \\ t_{2} - T_{clk} \\ \vdots \\ t_{i} - T_{clk} \\ \vdots \\ t_{N} - T_{clk} \end{bmatrix} \qquad \vec{\mathbb{R}}(1)$$

 $jitter_{\rm rms} = \left[\text{Var}(\text{jitter}_{\rm cc}) \right]^{\frac{1}{2}} \quad \vec{\mathbf{x}}(2)$ $\overline{\phi_e} = 3 \cdot \left[\text{Var}(\text{jitter}_{\rm cc}) \right]^{\frac{1}{2}} = 3 \cdot jitter_{\rm rms} \quad \vec{\mathbf{x}}(3)$



図 3.2.14-3 式(1)~(3)で規定した位相ジッタ、 rms、最大値 ϕ_e の期待値の計算に使用する時間を示す図



図 3.2.14-4 は、上記電源電圧ノイズにより生じる VCO の各周期の位相ジッタをシミュレーション

解析した結果を示したものである。位相ジッタは、平均値 0ps のガウシアン分布となり、中心周波数 における rms は約 48ps(位相角 0.53 ラジアン)、3σ での値は約 144ps(位相角 1.56 ラジアン)で ある。

(3) 耐放射線VCO

VCOの耐放射線化の方法として、トランジスタサイズやインバータ段数を変更する方法等が提案 されているが、本論文では、より高い放射線耐性を確保するため、図3.2.14-5に示すようにTMR (Triple Modular Redundancy) による強化を行った。リングオシレータ内に多数決回路を含めるこ

とで、素子の特性ばらつきによる位相ジッタの悪化は 抑制できるが、一巡伝達遅延の増加により中心周波 数が約20%低下してしまうため、中心周波数を同等 になるように電流制御部のトランジスタを2.5倍ほどサ イズアップした。本耐放射線VCOの最終的な電圧周 波数変換特性のシミュレーション解析結果を、図 3.2.14-6に示す。比較のため、耐放射線化前の特性 も同図中に示している。中心周波数の変化は2%以

下であり、電圧周波数変換のゲイン(傾き)は 25%程低下した。ゲイン低下により最大動作 周波数が減少したが、入力電圧範囲は広が り、これにより、位相ジッタのrmsは、48psか ら43ps(~7%)に10%程改善された。なお、中 心周波数からの標準偏差は181MHzであり、 平均値からの偏差は9%である。

(4) SETシミュレーションパラメータ

本論文でのSETシミュレーションでは、動 較のた 作中のVCO回路ノードにSETを注入し、そ 特性者 の直後のVCO出力の位相変動量(理想クロックとの位 相差)を評価している。位相変動量には、SETによるエ ラークロック数、エラー継続時間、電源変動による位相 ジッタが含まれる。

解析時のパラメータは、照射対象回路ノードは全ノード、LET 値は 10, 20, 80[MeV・cm²/mg]の 3 水準、照 射タイミングはクロック周期内で 10 水準、入力電圧 (Vinvco)は 0.3V~1.2V の範囲を 0.1V 刻みで 10 水準 とし、電源電圧、PDK および解析ツールは(2)項のシ ミュレーションと同様である。また、SET モデルは電流



図 3.2.14-5 RHBD の VCO 回路の概念図 (各遅延ステージに必要な Input-bias stage と電流源の部分は省略)



図 3.2.14-6 RHBD VCO の周波数変換特性。比 較のため、耐放射線化前の5 段ステージ VCO の



図 3.2.14-7 SE(シングルイベント)の後に 続く摂動時間(tser)を表した図。

源モデルとし、その電流プロファイルは、3 次元-TCAD シミュレーションにより最小デバイスサイズ、 最小負荷の条件下で計算した。

- (5) SETの応答
- (a) 最大位相変動による比較

RHBD-VCO および耐放射線化前の VCO のイオン照射直後に生じた位相変動量の最大値の 解析結果を、図 3.2.14-8 に示す。縦軸左は位相変動量を角度(ラジアン)で表し、縦軸右はエラー パルス(位相変動量/2π)で表している。RHBD-VCO の最大位相変動量は、耐放射線化前の

VCO に比べ、5~6%の改善効果が見られ た。また、位相変動量が最大となるのは、多 数決回路や出力バッファに照射した時で あった。発振周波数が高いほど、エラーパ ルス数は増加する傾向が見られる。LET が 10, 20[MeV·cm²/mg]でのエラーパルス数 の最大値は1(2πラジアン)であり、SET で 生じるパルス幅は発振周期よりも短いことを 示している。



(b) 確率密度関数(PDF)による評価

個々の SET の応答に対する位相変動量を、確率密度関数 (PDF: Probability Density Function) によるヒストグラムで表現したものを図 3.2.14-9 に示す。

耐放射線化していない VCO では、LET 10,20[MeV·cm²/mg]では、位相変動量の分布には2 つの集団が見られ、最も大きな位相変動が生じているのは、インプット・バイアス回路に照射した時 であることが分かる。また、LET 80[MeV·cm²/mg]では、SET で生じる位相変動量が個々の回路 ノードによって異なっていることがよく区別できる。

一方、RHBD-VCO では、上述の複数の集団は殆ど見らない。僅かに見られる集団は、多数決回路や出力バッファの照射で発生したものである。ヒストグラムの左側に見られる集団の位相ジッタは、電源ノイズで生じる位相ジッタの 3σ に近い値である。また、LET=10, 20[MeV・cm²/mg]での位相ジッタは 2πラジアン以下である。位相変動量が最大となるのは、多数決回路出力部のPMOS に照射された時であるが、これは出力ノードの静電容量を増加させることで低減できる。



(a)~(c)通常 VCO の PDF プロット図、(d)~(f)RHBD-VCO の PDF プロット図

(c) 累積分布関数(CDF)による評価

図 3.2.14-10 は、シミュレーション結果を累積分布関数(CDF: Cumulative Distribution Functions)で表現した結果を示したものであり、特定の値となり得る確率を見積もることができるようになる。

図 3.2.14-10(c)は、RHBD-VCO および耐放射線化していない VCO の LET=80[MeV・cm²/mg]における CDF カーブをプロットしたものであり、本 RHBD では SET 耐性が十分改善できていることが分かる。

また、提案したシミュレーション方法および解析方法を使用することにより、個々のトランジェント が及ぼす効果について詳しく分析することができるようになったといえる。



(6) 解析手法の検証

提案した確率的解析方法やシミュレーション方法の妥当性を確認するため、実験検証を行った。 本実験は、IBM社の130nm CMRF CMOSプロセスで設計製作した耐放射線化していない11段イ ンバータで構成される中心周波数および最大周波数はそれぞれ200MHz,450MHzであるVCOを 供試体とし、2光子吸収(TPA)レーザー(エネルギー=12nJ)を照射した直後のVCOの出力波形を オシロスコープにより測定、位相変動量を評価したものである。図3.2.14・11(a)は、実験結果をPDF (確率密度関数)カーブでプロットした結果を示したものであり、照射した回路ブロック毎に色分けし て示している。本グラフより、位相変動量は、1.55ns(4.3ラジアン)を平均値とするガウス分布に近い 分布となり、最大位相変動は、発振周波数が455MHzの時の電流欠乏型インバータで観測されたこ とが分かる。また、図3.2.14・11(b)は、図3.2.14・11(a)にレーザ実照射時の電源ノイズによる位相変 動量をグレー色で重ねたものである。

図3.2.14-11(c)は、実験結果をCDFカーブで示したものであり、ノイズバンド付近(1.55ns=4.3ラ ジアン)でCDFの値が急速に大きくなっている点や、位相変動量が1.8nsと2.5nsの部分にインプッ ト・バイアス回路と電流欠乏型インバータでのそれぞれの位相ジッタの分布の違いを示す不連続な カーブが見られる点などは、シミュレーション解析で得られたCDFカーブに近い結果となっている。 また、本CDFカーブにより、レーザ照射の約95%は、2.6ns(7.3ラジアン)以下の位相変動を生じさ せるだけであるということも分かる。これらのことから、本確率的解析方法およびシミュレーション方法 は、VCO回路の複雑なシングルイベント特性を十分表現できる方法と言える。



(7) 設計のトレードオフ

RHBDによる実装は、電気特性や面積、電力とのトレードオフが必要となる。TMRにより、SET特性と通常特性における位相ジッタを大幅に改善できるが、面積と平均電力は3重化による3倍と、バッファや多数決回路の増加分などが加わる。RHBDの消費電力は、動作周波数1.75GHzにおいて876µWであり、耐放射線していないVCOの消費電力70µWよりも大きい。

電力と面積のペナルティはアプリケーションにより様々である。オンチップ・ループフィルタを有する PLL の場合は、ループフィルタの面積が非常に大きいため、RHBD による面積増加は全体面積 に比べ十分小さく、問題とならない。一方、PLLの消費電力の内、VCOでの消費電流の占める割合 が大きいため、RHBD による消費電力増加がトレードオフのポイントとなる。

(8) 結論

本論文では、PLLのSET特性に対する新しい確率的解析方法を提案し、実験確認により各回路 ノードで発生したSETを効果的に区別できることを示した。

また、提案した RHBD の VCO は、面積と電力は増加するが、SET による出力信号の位相変動を 最大限(通常の電源ノイズで生じる位相変動に収まる程度)にまで抑制でき、更に、電源ノイズやデ バイス特性ばらつきに起因する位相ジッタも低減できることを示した。

4 検討委員会の運営

学識経験者から構成される検討委員会を3.1.2項に示す通り設置し、表 3.1.2・1に示す委員長及 び副委員長並びに委員を選定し、委嘱を行い、検討委員会の運営を実施した。また、委員会を運営 するにあたり、表 4・1に示す事務局を HIREC 内に設置し、各種連絡調整作業等を実施した。

| 委員名 | 会社名 | 所属 | 役職 |
|--------|------------|---------------------------|---------|
| 田村 高志 | 宇宙航空研究開発機構 | 研究開発本部 電子部品・デバイスグループ | グループ長 |
| 久保山 智司 | 同上 | 同上 | 技術領域リータ |
| 廣瀬 和之 | 同上 | 宇宙科学研究本部 宇宙探查工学研究系 | 准教授 |
| 新藤 浩之 | 同上 | 研究開発本部 電子部品・デバイスグループ | 主任開発員 |
| 山本 和信 | 同上 | 同上 | 主任開発員 |
| 北岡 和彦 | 同上 | 同上 | 主任開発員 |
| 矢野 善之 | 同上 | 同上 | 主任開発員 |
| 池田 直美 | 同上 | 同上 | 主任開発員 |
| 阿部 一英 | 同上 | 同上 | 主任開発員 |
| 水田 栄一 | 同上 | 宇宙科学研究本部 電子部品・デバイスグループ | 開発員 |
| 丸 明史 | 同上 | 研究開発本部 電子部品・デバイスグループ | 開発員 |
| 宮崎 良雄 | HIREC株式会社 | 技術部 | 部長 |
| 梨山 勇 | 同上 | 同上 | 専門技師 |
| 杉本 憲治 | 同上 | 同上 | 主席技師 |
| 槇原 亜紀子 | 同上 | 同上 | 副主席技師 |
| 浅井 弘彰 | 同上 | 同上 | 主任技師 |
| 松田 美恵子 | 同上 | 同上 | 副主席 |
| 倉持 喜代子 | 同上 | 同上 | 派遣職員 |

表 4-1 JAXA 殿委員及び HIREC 事務局一覧

検討委員会については、合計5回開催し第5回(最終回)は成果報告会を兼ねた。開催日時等に

ついては、表 3.1.3-1の通りである。

検討委員会の運営にあたっては、JAXA 殿や委員長等と日程調整を実施するとともに、委員会開 催場所の確保、各委員に対する委員会開催通知を実施した。また、検討委員会で使用する資料の調 達・準備を実施するとともに、委員会当日の議事進行を実施した。検討委員会で検討する内容等に関 しては JAXA 殿及び委員長と調整の上で決定した。また、各委員会開催後に議事録を作成し委員の 了承を得た。

5 成果のまとめ

平成 21 年度の本検討委員会における検討内容は、IEEE Transaction on Nuclear Science, Vol.55, No.6 (December 2008)から、メモリデバイス、ディープサブミクロンデバイス、SOI デバイス、 バルクデバイス、パワーデバイス、PLL、High-k デバイスを調査対象として選定した。また現象として は、トータルドーズ現象(ELDRS を含む)、シングルイベント現象、陽子・中性子核反応シングルイベ ント、変位損傷効果について検討を実施した。

以上選定した14件の論文に対して、学識経験者で構成される検討委員会を設置し、最新デバイスの耐放射線性強化技術の動向に関する討議を行い、これを成果報告書に編纂することができた。

日本の宇宙開発を進める上で半導体デバイスは必要不可欠である。その技術は日進月歩であり、 耐放射線強化技術や評価技術は非常に重要となる。今後も継続して宇宙用・地上用に関わらず世界 の研究動向を調査し、その成果を部品開発・評価に反映する必要があると考える。

6 添付資料

委員会の会議資料及び議事録をこの文書に添付した。

- ·添 付 6-1 検討委員会 議事録
- ·添 付 6-2 検討委員会 配付資料

一以上—

添付 6-1 検討委員会 議事録

| | | (1/4) |
|-----------------------------|--|---|
| | 会 議 議 事 録 整理 | No. HIREC-MG-E09016 |
| 1. 議 題 | 「平成21年度 最新デバイスの耐放射線性強化技術に 第1回委員会 | 関する検討委員会」 |
| 2.日 時 | 平成21年 6月 19日 (15時 00 分から) | 8. 確認欄 |
| | (17時 30 分迄) | 社名・所属・等 サイン |
| 3.場 所 | HIREC株式会社 川崎事業所 会議室 | JAXA |
| 4. 出席者 | 添付資料1による | HIREC |
| | | |
| | | |
| | (敬称略)(順不「 | 司 |
| 5. 配布資料 | 添付資料2による | |
| 6. 議事要約 | 配布資料 新デバー1-2の議事次第に従い議事を進行し | た。 (処置・等) |
| | 1. HIREC挨拶(宮崎技術部長) 暑い中参加下さりありがとうございます。この委員会は30 委員会であり、毎年継続し技術蓄積を図ることがとても重要 は電子デバイスに対する放射線の影響は、宇宙だけでな り、ますますこの委員会の重要性が増している。各委員に いするとともに、活発なご議論を期待し挨拶とする。 2. JAXA殿挨拶(久保山技術領域リーダ) 契約形態が変わり、早めの開催をお願いしている。最近 耐放射線性に関する動向は、微細化に伴い宇宙だけでは 影響も無視できなくなり、新しい現象も報告されている。この して理解を深め耐放射線性デバイスの設計にフィードバッ い。今後ともご協力をお願いしたい。 3. 委員長・副委員長の選出 委員長及び副委員長が以下の通り選出され、委員の承 委員長 : 伊部英史 氏(㈱日立製作所生産技術板 副委員長 : 矢嶋孝太郎 氏(三菱電機(株)高周波光) | 2数年続いている 要である。最近で く地上も問題とな にはご協力をお願 のデバイスの なく地上での の委員会を通 クしていきた 総認を受けた。 研究所) デバイス製作所) |
| 7. 配布先 | 各委員、JAXA殿 | |
| | | |

| | 会 議 議 事 録 | (2/4) |
|-------------------------------------|--|------------------------|
| 6. 議事要約 つづき | 会 議 議 事 録 4. 委員及び出席者自己紹介 委員及び出席者の自己紹介を行った。 本年度から新たに参加する検査員及び委員は以下の通り。阿部検査員 (JAXA研究開発本部電子部品・デバイスグループ)、水田検査員(JAXA 宇宙科学研究本部電子部品・デバイスグループ)、島田委員(㈱東芝セミ コンダクター社)、猪俣委員(NEC東芝スペースシステム㈱)、加藤委員(三 菱電機㈱鎌倉製作所)、三浦委員(OKIセミコンダクタ宮城㈱)である。 次席者は大西顧問(HIREC㈱)、平尾委員(日本原子力研究開発機構)、 坪山委員(高エネルギー加速器研究機構)である。 5.本年度の委員会活動内容及び検討論文の発表(事務局) 本年度の委員会活動内容及び検討論文について、配付資料新デパ 1-3(1),(2)に基づき説明した。 6. 各委員の調査結果報告(Q質問、A回答、Cコント) 6.1 Design Implications of Single Event Transients in a Commercial 45nm SOI Device Technology (事務局) 【概要】 45nmPD-SOIについて、T-CADシミュレーションおよびプロトン(148MeV)照射試験によりSET評価を行った。この結果、次のこ とが判明した。①SEU対策回路(DICE回路)でもSET起因によるSEUが発生した。②プロトン照射試験の結果、DICE-type FF の反転断面積は、D-type FFと比較して0.7倍であった。③SET発 生要因については、Source/Drainの電荷萎積の影響よりもBodyの | <u>(2/4)</u> (処置・等) |
| | させる。 【質疑】 Q1:SET対策で、ボディタイが有効ではないのはなぜか? A1: ボディタイを入れることによるFFの面積増加が許容できない ためであると考えられる。著者らは、SET対策クロック回路は FFの外に出してトータルのゲート幅を変えないように工夫し ている。 Q2:実験で書込データ"ALL0"/"ALL1"とはMaster/Slaveに同じデ ータを書き込むことか。 A2: その通り。 | |

帳13D-2

138

| | 会 議 議 事 録 | (3/4) |
|---------|--|---------|
| 6. 議事要約 | C1:SET対策では、トランジスタゲート幅はキーパラメータとな | (処置・等) |
| つづき | る。またチャージシェアリングの問題が顕著に現れる。 | |
| | C2:インアルからの論文で、バルクアバイスのDICE回路でSEUが 変化するしの却生がある。 | |
| | 第二年、第二年、第二年、第二年、第二年、第二年、第二年、第二年、第二年、第二年、 | |
| | A3:40nmの方がSET耐性は低いと考えられる。 | |
| | Q4:P7 イオン入射角依存性について、20°~45°間の電荷量は連 | |
| | 続的に変わるのか? | |
| | A4:イオン入射による発生電荷量はコサイン法則に従う。 | |
| | Q5:実験での動作周波数は? | |
| | A5:記述はない。 | |
| | Q6·S1 Ac: コンピレナない、 | |
| | AO·記述ななない。 | |
| | 6-2 Extended SET Pulses in Sequential Circuits Leading to Increased SE Vulnerability (藤田委員) | |
| | ・ シミュレーションおよび重イオン照射試験結果により、先端テ | |
| | クノロジではマルチノードでの電荷収集が起きることが判明し | |
| | た。また、マルチノードでの電荷収集によるパルスが集合すると | |
| | 単体でのSETよりもパルス幅の広いE-SET (extended-SET) が発 | |
| | 生する。今後のSET研究では、E-SET現象も含めて解析すべきで | |
| | めると考える。 | |
| | 【質疑】 | |
| | Q1:P5 イオン入射によるnウェルの電位変調について、通常 | |
| | SRAMのバイポーラ効果ではpウェルのみ起こるが、何故nウ | |
| | ・ エルに着目するのか? · · · · · · · · · · · · · · · · · · · | |
| | Al·FIg.3のレイノリト図から、者有らは育甲合わせに配直しに MOSFFTの五差目したためであると考えられる | |
| | 「 $C1:C1:C1:C1:C1:C1:C1:C2:C2:C2:C2:C2:C2:C2:C2:C2:C2:C2:C2:C2:$ | |
| | グ効果を指している。 | |
| | Q2:Fig.3のレイアウトについて寸法などの情報は? | |
| | A2:90nmCMOSプロセスを使用したことのみ記述がある。また、 | |
| | No.1 及びNo.8のpMOSFETの背中合わせの間隔は1umであ | |
| | つ。 Q3:Fig 1の収集電荷量けどのパラメータで決まるのか? | |
| | $A_3:入射する重イオンのLETに依存する。$ | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | [以下次ページ (有・無] | |

| | 会議議事録 | (4/4) |
|-----------------------------|---|---------|
| 6. 議事要約 | Q4:P5 収集電荷量は、イオン衝突箇所から半径1um以内で多いと | (処置・等) |
| うべき | あるが、これは一般的な数値なのか? | |
| 2 7 C | A4:収集電荷量はウェル設計により変わるため、一般的な数値では | |
| | なくこのシミュレーションでの結果。 | |
| | Q5:最先端テクノロジーでは微細化によりSET耐性が低いため、 | |
| | トランジスタサイズを大きくするという対策は、微細化の流れ | |
| | ・ に逆行しているといえる。最も経済的なSET対策手法はどうな | |
| | のか? | |
| | A5:非常に難しい問題であるが、レイアウト設計に注意する必要が | |
| | あるだろう。 | |
| | C2:自動レイアウトツールに、SET対策をつけたものが必要である | |
| | と考える。 | |
| | | |
| | | |
| | 7. その他 | |
| | (1) 次回委員会開催日は、7/31(金)を予定する。 | |
| | · - - (2) 事務局より、検討論文の電子データ(CD-ROM)を送付す | |
| | る。 | |
| | | |
| | | |
| | | |
| | 以上 | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | [以下次ページ:有(・無] | |
| | | |

添付資料1 出席者(順不同)

1. 委員

| 1. | 伊部 | 英史 | 委員長 | (株)日立製作所 生産技術研究所 |
|-----|-----|----|------|------------------------|
| 2. | 矢嶋孝 | 太郎 | 副委員長 | (株)三菱電機 高周波光デバイス製作所 |
| 3. | 藤田 | 実 | 委員 | 法政大学 |
| 4. | 高橋 | 芳浩 | 委員 | 日本大学 |
| 5. | 石井 | 茂 | 委員 | 三菱重工業(株)名古屋誘導推進システム製作所 |
| 6. | 島田 | 健児 | 委員 | (株)東芝セミコンダクター社 |
| 7. | 深田 | 孝司 | 委員 | みずほ情報総研(株) |
| 8. | 藤島 | 直人 | 委員 | 富士電機デバイステクノロジー(株) |
| 9. | 猪俣 | 輝司 | 委員 | NEC東芝スペースシステム(株) |
| 10. | 矢作 | 保夫 | 委員 | (株)日立製作所 生産技術研究所 |
| 11. | 加藤 | 一成 | 委員 | (株)三菱電機 鎌倉製作所 |
| 12. | 三浦 | 規之 | 委員 | OKIセミコンダクタ宮城(株) |

2. 検査員

| 1. | 久保山 智司 | 技術領域リーダ |
|----|--------|---------|
| 2. | 新藤 浩之 | 主任開発員 |
| 3. | 阿部 一英 | 主任開発員 |

3. 事務局

| 1. | 宮﨑 | 良雄 | 技術部長 |
|----|----|-----|----------|
| 2. | 槇原 | 亜紀子 | 技術部副主席技師 |
| 3. | 浅井 | 弘彰 | 技術部主任技師 |
| 4. | 松田 | 美恵子 | 技術部副主席 |
| 5. | 倉持 | 喜代子 | 技術部 |

| 1 | 土酘 | 去里 | |
|----|----|----|---------------|
| 1. | 人野 | 羊力 | H I K E C (M) |
- 新デバ1-1 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会 座席表
- 新デベ1-2 「平成 21 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会 議事次第
- 新デバ1-3(1)「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 委員会の進め方について
- 新デバ1-3(2)「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 担当論文アサインリスト
- 新デバ1-4 Design Implications of Single Event Transients in a Commercial 45nm SOI DeviceTechnology (事務局)
- 新デバ1-5 Extended SET Pulses in Sequential Circuits Leading to Increased SE Vulnerability (藤田委員)

| | | ∧ = | 关 | -)半 | ±- | 47 | | | | 1.2.7 | | (| 1/3) |
|--------|---|----------------|------------|-----------------|----------------|-------------|--------------|---------------|---|--------------|---------------------|---------------------|-----------|
| | | | 我 . , | · 氏 | 争 | 荻 | | | | <u>!</u> N o | • HIRE(| <u>)-M</u> | IG-E09030 |
| 1. 議 | 題 | 「半成2 第2回 | 1年度 委員会 | t 最新 会 | テバィ | イスの |) | 線性強 | 化技術に | こ関す | する検討委員 | (会) | |
| 2. 日 | 時 平 | 成21年 | = 7) | 31 | 1日 | | (14 時 | 00 | 分から) |) | 8. 確認欄 | | |
| | | | | | | | (18時 | 00 | 分 迄) | 1 | 社名・所属・等 | ۲ F | サイン |
| 3.場 | 所 H | IREC校 | 朱式会 | 社 川 | 崎事業 | 業所 会 | 議室 | | | | JAXA | | |
| 4. 出席 | 者 添 | 衍資料 | ・1に」 | たる | | | | | | | HIREC | | |
| | | | | | | | | | | | | / | |
| | | | | | | | | | | 2 | | / | |
| | | | | | | | (| 助新政 |) (順不 | (三) | | | |
| 5 配布資 | 料 添 | 付資料 | 217 1 | - ろ | | | (| 现入小小山口 | | | / | | |
| | 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 | | | | | | | | | | | | |
| 6. 議事要 | 約 1. | 配布資 | 料 新 | 新デバ | -2-20 | つ議事 | 次第に | 従い議 | 事を進行 | テした | -0 | (| 処置・等) |
| | 2. | 各委員 | の調 | 查結果 | 具報告 | (Q質F | 問、A回: | 答、Cコ | メント) | | | 1 | |
| | 2-1 | Hafni | um | and 1 | Urani | um (| Contrib | itions | to Soft | Eri | ror Rate at | | |
| | | Groui | nd Le | evel | (矢作 | 乍委員 |) | | | | | | |
| | | 【概要】 デバ | イフィ | カッキ | ももとう | カス。 | 、 | 夕— 万 | ゝ゚ぃヽ゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚゚ | ⊧.τ | uf II) /ᠵ ŀ | | |
| | | るソフ | トエ | モール | いの名 | いる a F与(| SER) | レーシ | ットルオ いて検討 | r. L. | 11, 0) によ ①Hfによる | 1 | |
| | | SERIT | 0.27 | FIT/N | /Ibit未 | :満で | あり、 | 、 影響に | tほとん | どな | いこと、② | | |
| | | RPPモ | デル | を使V | シシミ | ュレ | ーション | /計算 | を行った | 結果 | 見、Uについ | ļ | |
| | | て、U O Comb | 「汚ゞ 印度 | と量か | ゴ 0.16] コノギ | ppb 稻 啰萨 | と度 (1 | 30nm | CMOS | SRA | Mでは0.4- | i 1 | |
| | I I I | 0.6ppb 는 논 | ·程度 ③SF |) めオ ER.のフ | しね、 オーダ | Γ 「予測」 | ₽性士(であれ) | -よる) ず、110 | SERとは Dみをα | お子 | 」し個を示う - 放射源と仮 | 1 | |
| | | 定した | シミ | ュレー | ーショミ | ン計算 | 草で十分 | である | らことがオ | っかい | った。 | | |
| | | 質疑】 | | | | | | | | | | | |
| | | C1:【伯 | 종正】 | (誤) |) P13 | SER | (地下)/: | SER(# | <u>赴</u>)=3.04 | 4 | | | |
| | | a = | | (正) |) P13 | SER | (地上)/ | SER(地 | 1下)=3.04 | 4 | | | |
| | | Q1: RH | PE | デルを | :立方(無) | 本で近 | E似した | 根拠に | t? | | | | |
| | | A1.論) C2:RP | くにに Pチラ | ト 記 かい ド ル け | 無 し。 最件 | 三端デ | バイス | こ対応 | できかい | ため | り他のモデル | i 1 | |
| | | を何 | もう~ | きだ | と考え | 3. | | -/1/2 | | 100 | | 1 1 1 | |
| | | | | | | | | | | | | | |
| | | | | | [L] | 、下次 | ページ | (有)・ | 無] | | | | |
| 7. 配布先 | 各 | 委員、 | 「AXA属 | <u>师</u> 汉 | | | | \smile | | | | <u>.</u> | |
| | 2 | | | | H | IR | EC株式 | 式会社 | | | | | |

| | 会 議 議 事 録 | (2/3) |
|-------|--|--------|
| 6. 議事 | Ę約 C3:従来α線によるソフトエラーはパッケージ材料からのα線とさ | (処置・等) |
| つづき | れていたが、シリコン中からのα線とメカニズムが変化してい | |
| (| る。この論文では、α線放射源としてハフニウムおよびウラン | |
| | のみしか扱っていないが、他の材料(ThやPo)からのソフト | |
| | エラーについても評価すべきである。 | |
| | | |
| | 2-2 Quantifying the Effect of Guard Rings and Guard Drains in | |
| | 「「」 Mitigating Charge Collection and Charge Spread (叶田安貞) | |
| | 「M女」 SET対策RHBD手法の1つであろガードリング・ガードドレイン」 | |
| | の効果について、3D-TCADシミュレーションおよび重イオン照射 | |
| | 試験にて定量的に評価した(デバイス:130nm/180nmCMOS)。 | |
| | この結果PMOSではガードリング、NMOSではガードドレインが | |
| | 特に有効なSET対策であることがわかった。また照射試験の結 | |
| | 果、130nmデバイスでは、ガードリングをつけた方がSET発生断 | |
| | 面積を42%低下させることがわかった。 | |
| | | |
| | | |
| | Q1: シミュレーションでDeviceAとDeviceBの距離により電荷収集 | |
| | か遅りと思りか、とれくらいか? A1:DouriseA k D は 1 5[um] 離して 配置した また 設立では | |
| | A1. DeviceA \subset D $(a 1.5 [um]) 離 \cup \cup 能 直 \cup L : a エレ、 冊 \chi \cup (a)DoviceA - B問の距離やイオン入財位置を可変させた電荷収集量!$ | |
| | このいて議論していない. | |
| | Q2:ガードリング、ガードドレインを入れることにより、図3のレ | |
| | イアウトはどれくらい変化するのか? | |
| | A2:論文に記述無し。 | |
| | Q3:照射試験結果で、LBNLではイオン入射角度を考慮し | |
| | た"Effective LET"であるのに対してTAMUでは"Actual LET" | |
| | と角度を補正していないのは何か理由があるのか? | |
| | A3:論文に記述はないが、"Effective LET"で議論すべきである。 | |
| | Q4:P2「かつて行われた、特殊な半導体プロセスを用いた対策」 | |
| | とはどのような対策か? | |
| | A4・論人に記述ないか、命生ハイホーフ効果を抑制するものにと思; | |
| | 4740分。よた、現住では、放射脉対象を回路で施り手伝が一般 的である | |
| | C1:シミュレーション結果と実験結果を扱う論文では、両結果を比 | |
| | 較できるデータを用いて議論・考察するべきである。 | |
| | C2:SEE対策としてガードリングはRHBDライブラリにはない。 | |
| | C3:微細化が進むにつれ、酸化膜厚は小さくなるのでTID耐性は上 | |
| | がる。 | |
| | C4:ガードリング有無により、電荷収集量は1桁程度、SETパルス | |
| | 幅は20%程度違いがあり比例特性は見られないが、これは電 | |
| | 子、正孔の移動度に起因するものであると考える。 | |
| | | |
| | [以下次ページ (面・無] | |

| , | | 会 議 議 事 録 | (3/3) |
|----|------|---|---------|
| 6. | 議事要約 | 2-3 Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons (加藤委員) | (処置・等) |
| | つつき | 【概要】 | |
| | | NANDフラッシュメモリのプロトン入射による反跳原子核の影 | |
| | | - 響を、放射線試験結果(ガンマ線/重イオン/プロトン)を用い - *** | |
| | | - たシミュレーションツールを開発し、計算結果と比較検討した。 - 計算結果は TID 効果にお用すて如八は実験値も増換できたが | |
| | | 」 訂昇和木は、 Π D別木に起囚りる部刀は美駅値を関係できたが、 反聯 原子核の影響に上る V thのテール部分についてけ実験値と | |
| | | 致しなかった。今後、モデルの改良が必要である。 | |
| | | 【質疑】 | |
| | | Q1:シミュレーションモデルに組み込んだ照射試験結果は? | |
| | | A1:TIDについてはコバルト60の試験結果、SEEについては重イオ | |
| | | ・ ン照射試験結果を組み込んでいる。 | |
| | | $i = 0$ $i = 1$ $a > matrix SEE TID \mathcal{M} \times \mathcal{E} / \mathcal{M} \wedge \mathcal{I} \to \mathcal{E} $ | |
| | | のフルエンスが重要となる。(論文ではフルエンスの記述無) | |
| | | し) | |
| | | Q2:P13 Fig.4のテール部分の物理的現象は? | |
| | | A2:プロトンによる反跳原子核(二次粒子)によるシングルイベン | |
| | | ト現象であると考えられる。 O2:D10 Fig 2 k D11 Fig 2のFigsh デバイスについて、同じT2デバー | |
| | | Q_3 ·F10 FIg.22F11 FIg.00 Fresh / ハイスについて、向し12/ハ イスで特性が違うのはなぜか? | |
| | | A3:Fig.2とFig.3では、デバイスの型式は同じだが同一サンプルの | |
| | | 結果ではないかもしれない。(ただし両グラフを測定した方法) | |
| | | は同じである。) | |
| | | C2:シミュレーションモデルを検討する上で、SEE、TID、NIEL | |
| | | の影響について個別に解析するべきであると考える。 | |
| | | ↓ Q4-Displacement Damageの影響は考慮しているか? ↓ A4:絵文に記述がないことから、考慮していないと考える | |
| | | C3:TID効果については、 FG に加えて、トンネル酸化膜や層間絶 | |
| | | 縁膜のCharge Trapの影響も考慮するべきである。 | |
| | | | |
| | | 3. 2009年NSREC参加報告を事務局より行った。 | |
| | | 4. 2009年国際字会(DSN,IOLTS) 参加報告を委員長より行った。 5. その他 | |
| | | 3. てい他 (1) 次回季昌会開催日は 10/9(金)を予定する | |
| | | (2) 平尾委員から第5回SERESSAの案内があった。 | |
| | | ・日時:2009年12月2日~4日 | |
| | | ・場所:日本原子力研究開発機構 高崎量子応用研究所 | |
| | | | |
| | | ULE ULE | |
| | | [以下次ページ:有 無] | |

会 議 議 事 録

添付資料1 出席者(順不同)

1. 委員

| 1. 大西 | 一功 | 顧問 | HIREC(株) |
|-------|-----|------|---------------------|
| 2. 伊部 | 英史 | 委員長 | (株)日立製作所生產技術研究所 |
| 3. 矢嶋 | 孝太郎 | 副委員長 | (株)三菱電機 高周波光デバイス製作所 |
| 4. 藤田 | 実 | 委員 | 法政大学 |
| 5. 平尾 | 敏雄 | 委員 | (独)日本原子力研究開発機構 |
| 6. 坪山 | 透 | 委員 | 高エネルギー加速器研究機構 |
| 7. 深田 | 孝司 | 委員 | みずほ情報総研(株) |
| 8. 藤島 | 直人 | 委員 | 富士電機デバイステクノロジー(株) |
| 9. 矢作 | 保夫 | 委員 | (株)日立製作所 生産技術研究所 |
| 10.加藤 | 一成 | 委員 | (株)三菱電機 鎌倉製作所 |
| 11.三浦 | 規之 | 委員 | OKIセミコンダクタ宮城(株) |

2. 検査員

| 1. 新藤 | 浩之 | 主任開発員 |
|-------|----|-------|
| 2. 阿部 | 一英 | 主任開発員 |
| 3. 水田 | 栄一 | 開発員 |

3. 事務局

| 1. 宮﨑 | 良雄 | 技術部部長 |
|-------|-----|----------|
| 2. 梨山 | 勇 | 技術部専門技師 |
| 3. 槇原 | 亜紀子 | 技術部副主席技師 |
| 4. 浅井 | 弘彰 | 技術部主任技師 |
| 5. 松田 | 美恵子 | 技術部副主席 |
| 6. 倉持 | 喜代子 | 技術部 |

4. オブザーバ

| 1. 黒﨑 | 忠明 | HIREC(株) 社長 |
|-------|----|-------------|
| 2. 下平 | 勝幸 | HIREC(株) 顧問 |

- 新デベ2-1 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第2回委員会 座席表
- 新デベ2-2 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第2回委員会 議事次第
- 新デベ 2-3 Hafnium and Uranium Contributions to Soft Error Rate at Ground Level (矢作委員)
- 新デバ 2-4 Quantifying the Effect of Guard Rings and Guard Drains in Mitigating Charge Collection and Charge Spread (坪山委員)
- 新デバ 2-5 Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons (加藤委員)
- 新デバ2-6 2009年 NSREC 参加報告(事務局)

| | | |) |
|-----------|-------|--|---|
| · · · · · | | 会議議事録 整理No. HIREC-MG-E09049 | |
| 1. | 議 題 | 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第3回委員会 | |
| 2. | 日時 | 平成21年 10月 9日 (14時 00 分から) 8. 確認欄 | |
| | | (16時 35 分迄)社名・所属・等 サイン | |
| 3. | 場 所 | HIREC株式会社 川崎事業所 会議室 JAXA | |
| 4. | 出 席 者 | 添付資料1による HIREC | |
| | | | |
| | | | 7 |
| | | (敬称略) (順不同) | |
| 5. | 配布資料 | 添付資料2による | |
| | | | |
| 6. | 議事要約 | 1. 配布資料 新デバ3-2の議事次第に従い議事を進行した。 (処置・等) | |
| | | 2. 各委員の調査結果報告(Q質問、A回答、Cコメント) | |
| | | 2-1 Investigation of the Propagation Induced Pulse Broadening | |
| | | (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains (高極秀昌) | |
| | | 「 Inverter Onams (同個安員) 【 概要】 | |
| | | BulkおよびSOIインバーターチェーンのPIPB効果を解析するた | |
| | | め、130nmプロセスのBulkインバーターチェーン(20列x1008) | |
| | | 段)およびSOIインバーターチェーン(800段)についてレーザ | |
| | | ー、里イオン照射を美施し、さらにンミュレーンヨン解析も行っ た。この結果 ①Bulkお上びSOI土にPIPB効果を確認できたこ | |
| | | と、②PIPB効果の原因は、浮遊ボディ効果によるものである、③ | |
| | | ボディコンタクトはPIPB効果を抑制できないこと、④浮遊ボディ | |
| | | 効果を考慮しないSETのシミュレーション評価は、過小評価にな | |
| | | ることがわかった。 | |
| | | 【質疑】 | |
| | | Q1:ボディ帯電効果とは浮遊ボディ効果と同義か? | |
| | | A1:その通り。 | |
| | | | |
| | | | |
| | | | |
| | | [以下次ページ (有)・無] | |
| 7. | 配布先 | 各委員、JAXA殿 | |

| | 会 議 議 事 録 | (2/4) |
|---------|---|--------|
| 6. 議事要約 | Q2:P14のグラフで初期SETパルス幅=70[ps]はどのように求めた | (処置・等) |
| つづき | のか? | |
| | A2:シミュレーション計算結果からである。 | |
| | Q3:"Bias time before irradiation"とは? | |
| | A3:インバーターチェーンに電源電圧を人力後、レーザーを照射す | |
| | としていた。 | |
| | Q4:P17S01インハーターナェーンの重イオン照射結果で、SETハ | |
| | ルイ幅と以転断面損との関係性は? Λ : 会立に記述けない、また、重くナン昭計な \mathbf{D}_{2} | |
| | A4・神义に記述はない。また、里イオン照射を $Bulk$ (1) つしいな | |
| | 05:ボディ帯雪効里は ホール エレクトロンのチビルティに関係 | |
| | | |
| | - 5.5000 - $$ | |
| | 効果が現れており、モビリティの関係はないと考える. | |
| | Q6:シミュレータは何を使用したのか? | |
| | A6:論文に具体名の記述はないが、回路シミュレータを使用した解 | |
| | 析を行っている。 | |
| | Q7:SOIのInv1~4について遅延時間の比較はしているか? | |
| | A7:議論してない。Inv1からInv4になるほどドライブカレントが | |
| | 大きくなるため遅延時間は小さくなる。 | |
| | Q8:パルスレーザー照射によるSET発生メカニズムは? | |
| | A8:光により電子を励起(光励起)させる。 | |
| | 2-2 Degradation Induced by X-ray Irradiation and Channel Hot Carrier Stresses in 130-nm NMOSFETs With Enclosed Layout (島田委員) 【概要】 ゲート酸化膜が薄膜(2.2nm)、厚膜(5.2nm)2つのELTについて、 X線照射、300℃アニーリング、HCストレスを与え、電気的特性 の膜厚依存性やOLTとの比較評価を行った。この結果、①ELTは OLTよりもCHCストレスによる特性劣化が大きいこと、②この原 因はTCADシミュレーションより界面準位生成後の水素の影響で あること、③X線照射による特性劣化は、薄膜よりも厚膜の方が 大きいこと、④CHC劣化は、照射により誘起された欠陥によりわ ずかに低減すること、⑤CHC劣化の温度依存性は照射有無に関係 がないことがわかった。 | |
| | 【質疑】 C1:CHCと書いてあるが、実際にはIsubmaxになるようなストレ スをかけている。本評価試験における劣化は、ドレインアバラ ンシェか、CHCかどうか区別するのは難しい。 | |
| | [以下次ページ (君・無] | |

| | 会議議事録 | (3/4) |
|-----------------------------|---|---------|
| 6. 議事要約 | Q1:CHCストレスをかける位置は? | (処置・等) |
| つづき | A1:ドレイン端でストレスをかけている。 | |
| | C2:ホットキャリア注入位置と水素との関係で劣化が評価されると | |
| | 考えるため、注入位置が重要となる。 | |
| | Q2:トータルドーズ量はどのように決めたのか? | |
| | A2:本評価は、CERNで使用されるデバイスについて行っている。 | |
| | CERNでは使用予定箇所での被爆量を計算し、マージンを加味 | |
| | したトータルドーズ量を決めている。 | |
| | C3:CERNでは、特に被爆量の多い箇所についてはドーズ量 | |
| | 100Mrad以上耐性をもつデバイスが要求されている。 | |
| | Q3:薄膜の照射結果からTID劣化はないという結論で良いか? | |
| | A3:論文ではトータルドーズによる劣化評価について、この評価結 | |
| | 果のみで結論づけていない。 | |
| | Q4:RILCについて議論しているか? | |
| | A4:論文に記述はない。 | |
| | C4:X線照射ではなくプロトンや中性子による評価の方が重要だと | |
| | 考える。CERNの加速器では特にプロトン、中性子が支配的と | |
| | なる。 | |
| | i | |
| | 2-3 A Probabilistic Analysis Technique Applied to a Radiation- | |
| | Hardened-by-Design Voltage-Controlled Oscillator for Mixed- | |
| | Signal Phase Locked Loops (石井委員) | |
| | | |
| | PLLの電圧制御発信器VCO回路について、RHBDによる耐放射 | |
| | 線性回路を設計し、SETシミュレーションを行った。その結果、 | |
| | RHBD-VCOでは、消賀電刀、面積、電気的特性のヘアルアイは発 | |
| | 生するもののSETによる世相変動は、電源ノイスで生しる世相変 動力にはよい限まれ、たれが、なの変化さぜができることもと | |
| | 動内にほどんど収まり、位相ンツタの発生を低減でさることから - 土垣のCETTETHはたきってしばわかった。たくに、し、ボー切けま | |
| | 人幅なSETI耐性をもつことかわかった。さらに、レーサー照射美 験による大観転毛油の変化性な変図し、この観転状態を思いること | |
| | i 映による本解析手法の妥当性を確認し、この解析技術を用いるこ | |
| | といSEI発生帷平を1桁オータで見損もることかできる。 | |
| | | |
| | 「 【貝秋】 (1) D1 D0 の ガラフに ついて I FT-80 [MoV/(mg/am2)] で PHPD-VCO | |
| | は 2 化すると言っているのか? | |
| | A1: のシミュレーション結果は、シミュレーションモデルを絵評 | |
| | AI: COO(スエレ) コン 相木は、シスエレ) コン COOの 接他 証価は! | |
| | こののの一方ではないのの、1日1の座いたよる、00の小正市価は | |
| | - C1:PLLの位相がずれろと周波数け早くたろため それに対応でき | |
| | - かいディジタル回路が存在し悪影響を及ぼす 複雑かシステム! | |
| | の場合このPLLの位相ずれが重大な問題とたろ | |
| | | |
| | | |
| | | |
| | | |
| | しい下次ハーン (月)・ 悪」 | |

HIREC株式会社

| | | 会議議事録 | (4/ | 4 |) |
|-------------|----------|---|------|--------------------|---|
| 6. 議事 つづ | -要約 き | 会 議 議 事 録 Q2:P6のグラフ結果は、電源ノイズは含まれた結果か? A2:電源ノイズを含んだ結果である。また、電源電圧の正弦波ノイズの影響も含んでいる。 C2:P16消費電力について、発振周波数に対する多数決遅延の影響が重要なパラメータとなる。 3. その他 次回委員会開催日は、11/27(金)を予定する。 平尾委員、事務局から第5回SERESSAの案内があった。 日時:2009年12月2日~4日 場所:日本原子力研究開発機構 高崎量子応用研究所 備考:参加費無料。問い合わせ先は平尾委員まで。 (3) 矢作委員の代理として新保氏が出席。 (4) 藤島委員、猪俣委員について所属、連絡先等が変更。アップデートした最新版の名簿を各委員へ配布する。 | (4) | <u>(4</u>) ・等) |) |
| | | ・備考:参加費無料。問い合わせ先は平尾委員まで。 (3) 矢作委員の代理として新保氏が出席。 アップデートした最新版の名簿を各委員へ配布する。 以上 | | | |
| l | | | | | |

帳13D-2

会 議 議 事 録

添付資料1 出席者(順不同)

1. 委員

| 1. 伊部 | 英史 | 委員長 | (株)日立製作所 生産技術研究所 |
|-------|-----|------|------------------------|
| 2. 矢嶋 | 孝太郎 | 副委員長 | 三菱電機(株) 高周波光デバイス製作所 |
| 3. 平尾 | 敏雄 | 委員 | (独)日本原子力研究開発機構 |
| 4. 藤田 | 実 | 委員 | 法政大学 |
| 5. 高橋 | 芳浩 | 委員 | 日本大学 |
| 6. 石井 | 茂 | 委員 | 三菱重工業(株)名古屋誘導推進システム製作所 |
| 7. 島田 | 健児 | 委員 | (株)東芝 tミコンダクター社 |
| 8. 深田 | 孝司 | 委員 | みずほ情報総研(株) |
| 9. 坪山 | 透 | 委員 | 高エネルギー加速器研究機構 |
| 10.新保 | 健一 | 委員代理 | (株)日立製作所生産技術研究所 |
| 11.加藤 | 一成 | 委員 | (株)三菱電機 鎌倉製作所 |
| 12.三浦 | 規之 | 委員 | OKIセミコンダクタ宮城(株) |

2. 検査員

| 1. 新藤 浩之 | 主任開発員 |
|----------|-------|
| 2. 丸 明史 | 開発員 |
| 3. 水田 栄一 | 開発員 |

3. 事務局

| 1. 梨山 | 勇 | 技術部専門技師 |
|-------|-----|---------|
| 2. 杉本 | 憲治 | 技術部主席技師 |
| 3. 浅井 | 弘彰 | 技術部主任技師 |
| 4. 松田 | 美恵子 | 技術部副主席 |
| 5. 倉持 | 喜代子 | 技術部 |

4. オブザーバ

| 1. 黒﨑 | 忠明 | HIREC(株) 社長 |
|-------|----|-------------|
| 2. 下平 | 勝幸 | HIREC(株) 顧問 |

- 新デベ3-1 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第3回委員会 座席表
- 新デバ3-2 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第3回委員会 議事次第
- 新デバ 3-3 Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing (藤島委員)
- 新デバ 3-4 Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in 130nm NMOSFETs With Enclosed Layout (島田委員)
- 新デバ 3-5 A Probabilistic Analysis Technique Applied to a Radiation Hardened by Design Voltage - Controlled Oscillator for Mixed-Signal Phase-Locked Loops (石井委員)
- 新デ^ハ 3-6 Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains (高橋委員)

| | | | |) |
|----|-------------|---------|--|---|
| | | | 会 議 議 事 録 整理No. HIREC-MG-E09058 | |
| 1. | 議 | 題 | 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第4回委員会 | |
| 2. | 日 | 時 | 平成21年 11月 27日 (14時 00 分から) 8. 確認欄 | |
| | | | (17 時 40 分 迄) 社名・所属・等 サイン | |
| 3. | 場 | 所 | HIREC株式会社 川崎事業所 会議室 JAXA | |
| 4. | 出 | 席 者 | 添付資料1による HIREC | |
| | | | | |
| | | | | |
| _ | | | (敬称略) (順不同) | |
| Ъ. | 酉 己不 | 币貸料 | 添付資料2による | |
| 6. | 議 | 事要約 | 1. 配布資料 新デバ3-2の議事次第に従い議事を進行した。 (処置・等) | |
| | | | 2 2000年PADFCS参加報生 | |
| | | | 2. 2009年RADECS (@ベルギー)の参加報告を行った。 | |
| | | | | |
| | | | | |
| | | | in a New SiGe HBT on Thin-Film SOI Technology (深田委) | |
| | | | 員) | |
| | | | | |
| | | | SOI および Bulk 基 板 の SiGe HBT について、 照 射 実 験 (63.3 MeVプロトンを使用) TCADシミュレーションによる | |
| | | | DC,ACおよび熱特性を比較評価した。比較評価の結果、①inverse | |
| | | | modeにおいて、SOI型はBulk型に比べて劣化が大きいものの基板 | |
| | | | 電圧を加えることにより特性劣化が小さくなること、②プロトン | |
| | | | 照射により熱抵抗が増加し、アバイスの信頼性が低下すること、 3TCADシミュレーションによるデバイスのSEU評価には、イオ | |
| | | | ンの入射位置が大きく影響を与えることがわかった。 | |
| | | | 【質疑】 | |
| | | | Q1:プロトン照射によりSOIデバイスのどこに欠陥が形成されるの | |
| | | | か? A1:論文には記述ないが、SOI層とBOX層の界面に照射効果が現れ ると考える。 | |
| | | | [以下次ページ (有)・無] | |
| 7. | 配不 | | 各委員、JAXA殿 | _ |

| | | 会 議 議 事 録 | (2/4) |
|----|------|---|--------|
| 6. | 議事要約 | C1:BOX層-SOI層界面準位に散乱が起こり熱抵抗が変化する。 | (処置・等) |
| | つづき | C2:放射線照射により熱抵抗が悪化する原因は、BOX層の一部に | |
| | C | 局所的に電流が流れたためであると考えられる。 | |
| | | Q2:Vsとは何か? | |
| | | A2:基板電位のこと。 | |
| | | Q3:エミッタの面積が異なるデバイスを用いて評価をしているのは | |
| | | 何故か? | |
| | | A3:論文に記述はない。 | |
| | | C3:TID効果のGummelプロット評価について(P4)、SOI型と | |
| | | Bulk型で結果に違いが現れる原因を深く考察すべきである。 | |
| | | C4:今回作製したSOI型SiGe HBTは、ベースがEC平面上にないこ | |
| | | とが特徴とあるがFig.1の断面写真からはわかりずらい。Bulki | |
| | | 型の断面与具も論文に載せるべきたろう。 | |
| | | | |
| | | 13-2 Effect of Proton and Silicon Ion Irradiation on Defect | |
| | | 「Formation in GaAs (入鴨安貞) 【概西】 | |
| | | $G_{a}A_{c}$ に対してプロトン(エネルギー・9 4 10 53 953 M_{e} V)お上 | |
| | | 「 i Siイオン (エネルギー・22MeV) を昭射し EBIC TEMを使用 | |
| | | し照射後の欠陥を解析した。入射イオンの反跳エネルギーとNIEL | |
| | | の関係性から算出した変位損傷のしきい値エネルギー | |
| | | (0.22MeV)を実験で示すことができた。また、10MeV以上の高 | |
| | | エネルギープロトンおよびシリコンイオンによって生成された欠 | |
| | | 陥と10MeV以下で生成された欠陥を比較したところ、構造、電気 | |
| | | 的に違うことがわかった。 | |
| | | | |
| | | | |
| | | Q1:アバイスに注入した不純物濃度は? | |
| | | AI: m L m m m L m | |
| | | | |
| | | し2. 今後、仄跳ンリコンとNIELとの関係を胜性することにより、 デバイフ関発。フィードバックできる式里をたたたナレ老さ | |
| | | $I = \int \int \int \partial f \partial h \partial h$ | |
| | | · \bigcirc \bigcirc · · · · · · · · · · · · · · · · · · · | |
| | | l = l + 2 | |
| | | - A2:P8 Fig.7のグラフ から読み取れる。このグラフは、反跳エネ | |
| | | ルギーに対するNIELの積算ダメージを計算したものである。 | |
| | | C3:反跳エネルギー10MeVは、核反応が起こるしきい値エネルギ | |
| | | ーである。 | |
| | | Q3:照射実験で22MeVのシリコンイオンを選定した理由は? | |
| | | A3:論文に記述無し。 | |
| | | | |
| | | | |
| | | | |
| | | [以下次ページ(剤・無] | |
| | | | |

| | | 会 議 議 事 録 | (3/4) |
|----|------|---|---------|
| 6. | 議事要約 | 3-3 Gate-Length and Drain-Bias Dependence of Band-to-Band | (処置・等) |
| | つづき | Tunneling-Induced Drain Leakage in Irradiation Fully | |
| | - | Depleted SOI Devices (三浦委員) | |
| | | 【概要】 | |
| | | 放射線照射による FD-SOIの GIDL (Gate Induced Drain) | |
| | | Leakage) 効果について評価するため、10keVのX線照射試験およ | |
| | | いシミュレーション解析を実施した。GIDL効果のドレイン電圧 | |
| | | 依存性評価結果から、ドレイン電圧か高い方がリーク電流は大さ くれてこしがわか。たったたが、「馬佐友地証(近付用から」 ビー | |
| | | くなることがわかった。また γ ート女体仔性計価桁未から、 γ ー 、 、 、 、 、 、 、 、 、 、 、 、 、 | |
| | | ト电圧がマイノス頃域において、 $& 0 \\ & - \\$ | |
| | | : $ク電流は、 (0,0) 下段 (10 m) の (10 + 0.0) (10 m) (10 + 0.0)$ (10 m) (10 + 0.0) (10 + 0.0) (10 + 0.0) (10 m) (10 + 0.0) (10 + 0.0) (10 + 0.0) (10 m) (10 + 0.0) (10 + 0.0) (10 + 0.0) (10 m) (10 + 0.0) (10 + 0.0) (10 + 0.0) (10 + 0.0) (10 m) (10 + 0.0) (10 + 0. | |
| | | 「Tunneling) モデルにより解明することができた | |
| | | | |
| | | - 【質疑】 | |
| | | Q1:P13のグラフについて、20kradと50kradの間で急にリーク電 | |
| | | 流が増加したのはなぜか? | |
| | | A1:この急なリーク電流について定量的な議論はなし。 | |
| | | Q2:P13のグラフについて、ヒステリシスと衝突イオン化の関係 | |
| | | は? | |
| | | A2:放射線照射による衝突イオン化が起こると、電気的特性測定中 | |
| | | にキャリア消滅が終わらないため、Forward sweep測定と | |
| | | Reverse sweep測定でヒステリシスが確認できる。P13の結果! | |
| | | から、衝突イオン化成分が無いことがわかる。 | |
| | | Q3:BBTは、どの領域で発生するのか? | |
| | | A3: ドレイン領域で発生する。 $C1: DDDD 田 タ し 声 拉 しい クリング田 タは ビー し 目 の 目 さに かか$ | |
| | | し、BBI現象と国体トンイリンク現象は、クート文の女さにかれていた。 | |
| | | 4769 他にるものでのる。 $OA:BBT H 不純励濃度に上り亦化するか9$ | |
| | | : $\mathbf{Q}_{\mathbf{f}}$ ・ $\mathbf{D}_{\mathbf{f}}$ になり変化するか: : $\mathbf{A}_{\mathbf{f}}$: $\mathbf{A}_{\mathbf{f}}$: 本価物濃度が高い方が BRT け起これやすくたろ! | |
| | | - b z | |
| | | G5:P20のグラフについて、ゲート雷圧のマイナス領域でリーク電 | |
| | | 流が顕著に現れるのはなぜか? | |
| | | A5:この評価では、ドレイン電圧はプラスなのでゲート電圧がマイ | |
| | | ナスになるほどドレイン・ゲート間のオーバーラップが大きく | |
| | | なるためエネルギーバンドが急峻になる。従って、リーク電流 | |
| | | が大きくなる。 | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | [以下次ページ (有)・無] | |

| · | | 会議議事録 | (4/4) |
|----|------|---|---------|
| 6. | 議事要約 | 3-4 Ionizing Radiation Effect on Ferroelectric Nonvolatile | (処置・等) |
| | つづき | Memories and Its Dependence on the Irradiation Temperature (亚尼禾昌) | |
| | | | |
| | | : FRAMの放射線照射効果について調査するため、様々な条件で | |
| | | 10keVX線および5MeVプロトンによる照射試験を実施した。照射 | |
| | | によりスタックエラーが発生するが、エラー発生頻度は温度依存 | |
| | | 性をもつ(高温照射の方がエラー数多い)ことがわかった。この | |
| | | エラーは、無バイアス放置やRead/Writeを繰り返すことによりア | |
| | | ニーリングする。また、エフー発生箇所のマッビング解析を行っ たしこえ II | |
| | | にところ、Unpowered 朱件では照射領域内でのみエノーが発生し たが Powered 条件では row columnに沿って昭射領域外でもエ | |
| | | - ラーが発生した。これらの放射線損傷効果について説明するため! | |
| | | のモデルを提案した。 | |
| | | | |
| | | 【質疑】 | |
| | | C1:FRAMのスタックビットエラーは、強誘電体でトラップされた | |
| | | 電荷の影響によるものである。 01:抜計編新に V線トプロトンを用いた理由けの | |
| | | $Q_1 M 和 極に、 A 縁 C ノ ロ トン を 用 い に 埋 田 は ? A_1 : 論 立 に 記 示 た い が 10 keVの X線 昭射 で け エ ネ ル ギ ー が 桁違?$ | |
| | | いに小さいため、宇宙空間を想定した評価は難しいと考える。 | |
| | | Q2:照射は、デバイス全体に照射したのか? | |
| | | A2:評価デバイスは、市販品のFARMであり、デキャップした状態 | |
| | | でデバイス全体に照射した。 | |
| | | C2:Poweredとは、デバイスに電圧を印加しあるデータを保持させ、 | |
| | | に に 不 思 じ め る と 考 え る。 O3.D19 Fig 07 昭 財 エ 川 ア 从 で エ ラ ー が 発 生 し て い ろ の け か ぜ | |
| | | b_{2} | |
| | | A3:よくわからないが、照射エリアでエラーが発生し、これがトリ | |
| | | ガとなりrow、columnに沿ってエラーが追随したものだと思わ | |
| | | れる。 | |
| | | C3:FRAMは宇宙用途に期待されるデバイスの1つであるが、高集 | |
| | | 積化、低電圧化などに問題がある。 のい実験な思惑と笑いた。 | |
| | | C4:実験結果から鼻出された活性化エネルキーは、耐放射線性のア バイス開発にフィードバックできる | |
| | | | |
| | | 3. その他 | |
| | | (1) 次回委員会開催日は2010年2月頃を予定する。 | |
| | | (2) 次回委員会の開催場所が変更する。(開催日と共に別途連絡) | |
| | | (3) 平尾委員から第5回SERESSAの案内があった。 | |
| | | ・日時:2009年12月2日~4日 ・提訴・日本百子力研究開発機構 宣協県乙内田研究所 | |
| | | | |
| | | 以上 | |
| | | [以下次ページ:有(無) | |
| | | | |

会 議 議 事 録

添付資料1 出席者(順不同)

1. 委員

| 一功 | 顧問 | HIREC(株) |
|-----|--------------------------|---|
| 英史 | 委員長 | (株)日立製作所 生産技術研究所 |
| 孝太郎 | 副委員長 | 三菱電機(株) 高周波光デバイス製作所 |
| 敏雄 | 委員 | (独)日本原子力研究開発機構 |
| 実 | 委員 | 法政大学 |
| 健児 | 委員 | (株)東芝 tミコンダクター社 |
| 孝司 | 委員 | みずほ情報総研(株) |
| 直人 | 委員 | 富士電機システムズ(株) |
| 透 | 委員 | 高エネルギー加速器研究機構 |
| 健一 | 委員代理 | (株)日立製作所 生産技術研究所 |
| 一成 | 委員 | (株)三菱電機 鎌倉製作所 |
| 規之 | 委員 | OKIセミコンダクタ宮城(株) |
| | 一英孝敏実健孝直透健一規功史太雄 児司人 一成之 | 一功顧問英史委員長孝太郎副委員長敏委員女員委員第委員委員委員人委員人委員人委員人委員人委員人委員人委員人委員人委員 |

2. 検査員

| 1. | 久保山 | 智司 | 技術領域リーダ |
|----|-----|----|---------|
| 2. | 新藤 | 浩之 | 主任開発員 |

3. 事務局

| 1. 梨山 | 勇 | 技術部専門技師 |
|-------|-----|----------|
| 2. 杉本 | 憲治 | 技術部主席技師 |
| 3. 槇原 | 亜紀子 | 技術部副主席技師 |
| 4. 浅井 | 弘彰 | 技術部主任技師 |
| 5. 松田 | 美恵子 | 技術部副主席 |
| 6. 倉持 | 喜代子 | 技術部 |

4. オブザーバ

| 1. 黒﨑 | 忠明 | HIREC(株) 社長 |
|-------|----|-------------|
| 2. 下平 | 勝幸 | HIREC(株) 顧問 |
| 3. 関根 | 省三 | HIREC(株)常務 |

- 新デベ4-1 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第4回委員会 座席表
- 新デベ4-2 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第4回委員会 議事次第
- 新デバ4-3 2009年 RADECS 参加報告(事務局)
- 新デバ 4-4 Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe HBT on Thin-Film SOI Technology (深田委員)
- 新デバ 4-5 Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs (矢嶋委員)
- 新デバ 4-6 Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling –Induced Drain Leakage in Irradiated Fully Depleted SOI Devices (三浦委員)
- 新デバ 4-7 Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature (平尾委員)

| | | | | (1/3) | |
|----|----|-----|---|-----------|--|
| | | | 会議議事録 整理No. HIREC-M | IG-E09076 | |
| 1. | 議 | 題 | 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会 第5回委員会 | | |
| 2. | 日 | 時 | 平成22年 2月 19日 (14時 00 分から) 8. 確認欄 | | |
| | | | (17時 00 分迄) 社名・所属・等 | サイン | |
| 3. | 場 | 所 | HIREC株式会社 川崎事業所 会議室 JAXA | | |
| 4. | 出 | 席 者 | 添付資料1による HIREC | | |
| | | | | | |
| | | | | | |
| | | | (敬称略) (順不同) | | |
| 5. | 配オ | 市資料 | 添付資料2による | | |
| | | | | | |
| 6. | 議 | 事要約 | 1. 配布資料 新デバ3-2の議事次第に従い議事を進行した。 | (処置・等) | |
| | | | 2. 各委員の調査結果報告(Q質問、A回答、Cコメント) | | |
| | | | 2-1 Enhanced Proton and Neutron Induced Degradation and Its | | |
| | | | Impact on Hardness Assurance Testing (藤島委員) 【概西】 | | |
| | | | トレンチ型及びプレーナ型のPower MOSFETに対して、プロト | | |
| | | | ン及び中性子照射を行い、電気的特性を評価した。その結果、① | | |
| | | | プロトン及び中性子照射での特性劣化(ΔVst,オフリーク電流) | | |
| | | | は、ガンマ線照射での劣化よりも大きいこと、②プロトン照射後 | | |
| | | | の特性劣化と中性子照射後の特性劣化は類似したこと、③劣化は | | |
| | | | 照射時のクートハイノスに依存すること寺がわかり、八射したクロトン及び中性子と素子内部材料との核反応により生成された2次 | | |
| | | | 粒子が極端なマイクロドーズ効果をもたらしたと結論づけてい | | |
| | | | る。また、プロトンリッチな環境で使用されるデバイスのトータ | | |
| | | | ルドーズ耐性評価手法については、プロトン照射によるマイクロ | | |
| | | | ドース効果も評価するべきであると提案している。 | | |
| | | | 【質疑】 | | |
| | | | Q1:2007年に実施した重イオン照射で用いたイオン種は? | | |
| | | | A1:Ne,O,F,Si,Ni,Ar,Br,Cu,Xe,Auイオンでエネルギー範囲は278 | | |
| | | | ~2869MeV。本論义において実験結果と比較で用いられたす。 オン種はNeイオン(LET=18[MeV-cm²/mg]) | | |
| | | | | | |
| | | | [以下次ページ (有)・無] | | |
| 7. | 配不 | 节先 | 各委員、JAXA殿 | | |

| | 会 議 議 事 録 | (2/3) |
|---------|---|---------|
| 6. 議事要約 | Q2:Fig.8のプロトン照射角度依存性について、同じ照射角度の結 | (処置・等) |
| つづき | 果で2桁~3桁程度違いがあるのはなぜか? (P14) | |
| | A2:サンプル間のばらつきではないかと思うが論文に記述はない。 | |
| | Q3:マイクロドーズ効果とは? | |
| | A3:プロトン(または中性子)がデバイス(ゲート酸化膜領域)に | |
| | 入射し核反応による生成した2次粒子のパスがソース・ドレイン | |
| | 間に形成し局所的にチャージが発生しリーク電流が増加する効 | |
| | + 果。また、実験結果より、ガンマ線照射ではこの効果は現れな 、 | |
| | | |
| | $ \begin{bmatrix} $ | |
| | 「 にのはなせか?」 「 A 小デバイスのリーク電法な測定士スため WOV b 」た | |
| | $A4.7 ハイスのサーク电弧を測定するため、Vgs=0V C U C_{o}$ | |
| | QOVSU电/IIIE/IIIE/IIIE/IIIE/IIIE/IIIE/IIIE/II | |
| | ADVSt电圧は、VIII电圧より小さい电圧しのる。 $C1$:従って プロトン昭射後のIW 特性で組密されたっプけ サブ | |
| | | |
| | ばで見られる現象である。 | |
| | | |
| | 2-2 Effects of Moisture and Hydrogen Exposure on Radiation- | |
| | Induced MOS Device Degradation and Its Implications for | |
| | Long-Term Aging (猪俣委員) | |
| | 【概要】 | |
| | n-chトランジスタ、p-chトランジスタ、ICに対して、HAST処 | |
| | 理(条件:130℃/85%/1week or 3week)有無による放射線照射後 | |
| | の劣化の違いについて調査した。この結果、①HAST処理したp | |
| | chトランジスタは大きな劣化を示したこと、②一方n-chトランジ | |
| | スタはHAST処理有無に拘わらず劣化が小さいことなどがわかっ | |
| | た。この原因は、n-chトランジスタのソース・ドレインに形成され | |
| | たPSG (Phoshosilicate Glass) によりゲート酸化膜への水分拡散 | |
| | が妨げられたためであると考えられる。また、水素雰囲気中での | |
| | 照射有無について評価したところ、HAST処理の影響に比べてn- | |
| | chトフンシスタ、p-chトフンシスタ共に劣化は小さいこともわか」 | |
| | - った。さらにこの実験結果からMIL-STD-883 Method1018につい - てお母娘少したまたまた可能性があててしまれました | |
| | (| |
| | ↓ 【貝郑】 ↓ C1:【你正】 (訳) D14 "DSCの時御"に記載の「DAC」 | |
| | | |
| | 【 「150」 ↓ C2:MIL-STD-883 Method1018に相定された水分の基準量で放射 | |
| | 線劣化をする可能性があると記述している。必ずしも劣化が発 | |
| | + するということではない。 | |
| | Q1:CMOSの照射結果は、n-chのみか? | |
| | A1:p-chのデータはないため、n-chのみである。 | |
| | | |
| | | |
| | [以下次ページ(君・無] | |
| | | |

帳13D-2

| | 会議議事録 | (3/3) |
|---------|--|---------|
| 6. 議事要約 | C3:HAST条件で、1week~3weekさらしは非常に厳しい条件であ | (処置・等) |
| つづき | る。従って、通常の実使用に沿った条件の方が良かったと思わ | |
| | れる。 | |
| | Q2:HAST処理前後でデバイス特性を測定したデータはあるのか? | |
| | | |
| | - C4:照射前に潜在的に持つアバイスの特性を充分把握し、照射前後 | |
| | ・ の务化の遅いを議論するべさたろう。 ・ のでILACEが加速により、「スカウルは知察されない」と思われて | |
| | C5·HAST処理によりアハイスの劣化は観祭されないと思われる。 O2:Controlling Orido には何か 2 (D5) | |
| | $ Q_{3}$ 、Controlling Oxide $2(4 \oplus n^{3})$ (P3) | |
| | Ao(2) 「 $力 m 2$ 」 $C = C = C = C = C = C = C = C = C = C$ | |
| | T r | |
| | した電圧値の違いによる電界強度が原因ではないか? | |
| | (n-ch:Vgs=4V, p-ch:Vgs=-12.5V) | |
| | A4:論文に記述はない。 | |
| | C6:印加電圧の違いにより捕獲形成に影響があり、水素が特性劣化 | |
| | に悪影響を与えていると考えられる。 | |
| | C7:プラスチックパッケージタイプのデバイスを宇宙に使う場合 | |
| | は、水素の影響を調査するため保管環境も記録する必要があ | |
| | 5. | |
| | | |
| | 3. 成果報告(本報告は、成果報告会を兼ねたものである。) | |
| | 3-1 会員会連番の報告 | |
| | ↓ | |
| | 日本中長の便时哺天的谷に周して 一 伊部委員長上り合在度の検討論文の内容について まとめ報告を | |
| | | |
| | | |
| | 4. JAXA殿 ご講評 | |
| | 久保山技術領域リーダより講評を頂いた。 | |
| | 今年も引き続き委員会に出席し活発な議論をしていただき感謝し | |
| | ます。また、委員長より1年分の成果をまとめて報告していただき | |
| | 感謝します。この委員会で得られた知見を生かし宇宙用部品試験技 | |
| | 術を向上していきたい。ここ数年のプロセスの微細化により、新し | |
| | い故障モードが現れており、試験技術も多岐に渡るようになってお | |
| | - り、継続して本委員会で議論していきたい。論文選定については委 | |
| | し、し、し、し、し、し、し、し、し、し、し、し、し、し、し、し、し、し、し、 | |
| | いさだい。 | |
| | 5 その仲 | |
| | - (1) 2008年NSRECのCD-ROMの返却をお願いすろ | |
| | | |
| | 以上: | |
| | | |
| | [以下次ページ・右・無] | |
| | | |

会 議 議 事 録

添付資料1 出席者(順不同)

1. 委員

| 1. 大西 | 一功 | 顧問 | HIREC(株) |
|-------|-----|------|-----------------------|
| 2. 伊部 | 英史 | 委員長 | (株)日立製作所生産技術研究所 |
| 3. 矢嶋 | 孝太郎 | 副委員長 | 三菱電機(株) 高周波光デバイス製作所 |
| 4. 藤田 | 実 | 委員 | 法政大学 |
| 5. 高橋 | 芳浩 | 委員 | 日本大学 |
| 6. 石井 | 茂 | 委員 | 三菱重工業㈱ 名古屋誘導推進システム製作所 |
| 7. 藤島 | 直人 | 委員 | 富士電機システムズ(株) |
| 8. 猪俣 | 輝司 | 委員 | NEC東芝スペースシステム(株) |
| 9. 加藤 | 一成 | 委員 | 三菱電機(株) 鎌倉製作所 |
| 10.三浦 | 規之 | 委員 | OKIセミコンダクタ宮城(株) |

2. 検査員

| 1. 久保山 智司 | 技術領域リーダ |
|-----------|---------|
| 2. 新藤 浩之 | 主任開発員 |
| 3. 丸 明史 | 開発員 |

3. 事務局

| 1. 梨山 | 勇 | 技術部専門技師 |
|-------|-----|----------|
| 2. 槇原 | 亜紀子 | 技術部副主席技師 |
| 3. 浅井 | 弘彰 | 技術部主任技師 |
| 4. 松田 | 美恵子 | 技術部副主席 |
| 5. 倉持 | 喜代子 | 技術部 |

4. オブザーバ
 1 関根 省三

| 1. | 関根 | 省三 | HIREC(株)常務 |
|----|-----------|----|------------|
| | 12/2/12/2 | | |

- 新デベ5-1 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第5回委員会 座席表
- 新デバ5-2 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第5回委員会 議事次第
- 新デバ 5-3 Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing (藤島委員)
- 新デバ 5-4 Effects of Moisture and Hydrogen Exposure on Radiation-Induced MOS Device Degradation and Its Implications for Long-Term Aging (猪俣委員)
- 新デベ5-5 「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 委員会の運営について(事務局)
- 新デバ5-6 「平成 21 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 最終報告(委員長)

添付 6-2 検討委員会 配付資料

「平成 21 年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第1回委員会 議事次第

日時: 平成 21 年 6 月 19 日(金) 15:00 ~ 17:30

場所:HIREC 株式会社 川崎事業所 会議室

神奈川県川崎市川崎区駅前本町 26-4 ラウンドクロス川崎 10F

(TEL: 044-221-7145)

| 1.HIREC 挨拶(5 分) | $15:00 \sim 15:05$ |
|------------------------------|--------------------|
| 2.JAXA 殿挨拶(5 分) | $15:05 \sim 15:10$ |
| 3.委員長・副委員長の選出(5分) | $15:10 \sim 15:15$ |
| 4.委員及び出席者自己紹介(15分) | $15:15 \sim 15:30$ |
| 5.委員会活動内容及び検討論文の発表(事務局)(15分) | $15:30 \sim 15:45$ |

6. 各委員の調査結果報告/質疑(報告 20 分/質疑 25 分:計 45 分)

| | 6.1 Design Implications of Single Event Transients in a Commercial 45 nm SOI |
|---|--|
| | Device Technology(事務局) |
| | 6.2 Extended SET Pulses in Sequential Circuits Leading to Increased SE |
| | Vulnerability (藤田委員) |
| 7 | 7.事務局からの連絡(5分) |



最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

平成21年度 最新デバイスの耐放射線性 強化技術に関する検討委員会

委員会の進め方について

2009年 6月 1 9日 HIREC株式会社

High-Reliability Engineering & Components Corporation

最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

1. 委員会名

「平成21年度 最新デバイスの耐放射線性強化技術に関する 検討委員会」

2. 委員会の目的

宇宙航空研究開発機構(JAXA)殿の委託業務契約「平成21 年度部品プログラム支援」の要求事項「最新デバイスの耐放 射線性強化技術に関する検討委員会の開催支援」に基づき、 大学、公的研究機関、及び産業界等の学識経験者から構成さ れる委員会を設置し、最新デバイスの耐放射線性強化技術に 関する検討を行う。

3. 委員会期間

平成21年6月 ~ 平成22年3月

HIREC Hindeliny Englanding & Composition

最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

4.委員会開催予定日及び議題(予定)
○第1回委員会 <平成21年6月19日> 議題1:委員会運営についての説明(事務局) 議題2:各担当論文の紹介(事務局) 議題3:各担当論文の検討結果発表とその検討(事務局/委員)
○第2回委員会 <平成21年7月31日> 議題:各担当論文の検討結果発表とその検討(委員)
○第3回委員会 <平成21年10月上旬> 議題:各担当論文の検討結果発表とその検討(委員)
○第4回委員会 <平成21年11月下旬> 議題:各担当論文の検討結果発表とその検討(委員)
○第5回委員会 <平成22年1月下旬> 議題:委員会活動の"まとめ"(委員長/事務局)

最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

2009年度 最新デバイスの耐放射線性強化技術に関する検討委員会スケジュール

| | 2009年 | | | | 2010年 | | | | | | |
|---------------------|--|--------------------|------|------------------------|------------------------|----------------------|-------------------|------------------------|---------|---|--------------------|
| 項目 | 4月 | 5月 | 6月 | 7月 | 8月 | 9月 | 10月 | 11月 12月 | 1月 | 2月 | 3月 |
| 1 委嘱作業(事務局) | | | * | | | | | | | | |
| 2 検討論文の選定 | + | | * | | | | | | | | |
| | | | 6/19 | 7/31 | ' | | | | | | |
| 3 委員会の開催 (原則金曜日) | | | 1 | 2 | | | 3 | | | 5 | |
| | ・委員会の進め、 ・アサイン論文発 ・論文報告:2件 | 方説明(事務局) 表(事務局) | | 20~24日 NSREC | 上 | 14~18日 RADECS | •論文報告:4件(委 | 員)] 「·論文報告:4件(委 | 員)] | ・検討論文まと ・委員運営報告 ・ | め報告(委員長) ;(事務局) |
| 4 論文報告資料及び抄訳の作成(委員) | | | | | | | | | | | |
| 5 論文報告資料の提出(委員) | | | | ▲ * 委員会開催 1週間前まで | | ▲ *委員会勝 1週間前まで | | ▲ * 委員会開催 1週間前まで | | | |
| 6 抄訳の提出(委員) | | | | | ▲ * 委員会閉会 2週間後まで | | * 委員会閉会 2週間後まで | * 委員会閉 が 2週間後まで | | | |
| 7 抄訳の受領・確認(事務局) | | | | | | | 2後、委員長へ抄言 | Rを提出 | | | |
| 8 検討論文のまとめ(委員長) | | | | | | | | | == | ▲ めの報告 | |
| 9 まとめ資料の提出(委員長) | | | | | | | | | | | |
| 10 作業報告書の作成と納入(事務局) | | ╽╽┝┽ | | | | | | | | | |

2

(1)事務局から送付される担当論文(電子データ)について、報告

(詳細は7項に示す)

5. 委員作業内容

最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

(2)担当論文について、製本用の抄訳(原稿)を作成する。 (詳細は8項に示す)

(発表)用資料(ppt形式)を作成する。

(3)委員会にて担当論文の調査報告(発表)及び討論を行う。

なお、当委員会では、環境問題、委員会資料を事前に各委員に 配布し討議をより活性化させるなどの観点から、ペーパレス化を導 入しております。大変お手数をおかけ致しますが、委員会に「ノート パソコン」あるいは「事前に配布した資料」をご持参くださいますよ うご協力お願いいたします。

High-Reliability Engineering & Components Corporation

最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

6. 担当論文の調査報告(発表)資料の作成及び配布について

- (1) 担当論文内容を発表形式(パワーポイント)にてまとめる。[報告時間:20分/討論時間:25分]
- (2) 調査報告する委員会開催日の1週間前(土・日・祝祭日除)まで に発表資料の電子データを事務局に送付する。
- (3) 事務局より委員会開催日前までに委員会資料をE-mailにて各 委員に配布致します。

配布した資料に差し替え等が発生した場合、委員会当日にご持参いただ いたPCにUSBメモリなどにて、資料をコピーさせていただきます。

High-Reliability Engineering & Components Corporation





HIRE



最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

7. 担当論文の抄訳作成について

- (1)担当論文を図・表は除き原則3ページ以内にまとめ、word文書にて抄訳を作成する。
 また、耐放射線性強化技術としての留意点・問題点、有効性、 今後の課題、調査報告での討議内容等、考察を付け加える。
 (2) 文頭に以下の事項を記述する。

 a) 文献名(邦題も含む)
 b) 出典
 - c) 著者名
 - d) 対象デバイス
 - e) 実験設備
 - f) 照射線種及びエネルギー区分
 - g) 単発反転現象または積算線量効果の区分
 - h)実験または理論の区分

High-Reliability Engineering & Components Corporation



- (3) フォントは、10.5ポイント、MSP明朝、英数字はCenturyを推奨 する。
- (4) 調査報告した委員会の2週間後迄に抄訳を事務局に提出する。

※図·表の貼り付け作業や細かい体裁の編集作業等、事務局で サポートいたしますので、ご連絡ください。

※委員会終了後、抄訳のテンプレート(word)を配布いたします。

6



| 最新デバイスの耐放射線性強化に関する検討委員会 | /2009.06.19 第1回委員会 |
|-------------------------|--------------------|

| 【例】 3.2.xx S | SRAM | FPGAにおける放射線誘起多重ビット反転(MBU) (←邦題) | | |
|---------------------|-------|--|--|--|
| 文献名 | Radia | ation-Induced Multi-Bit Upsets in SRAM-Based FPGAs | | |
| 出典 | IEEE | Transaction on Nuclear Science, Vol. 52, No. 6, pp. 2455- 2461, Dec. 2005. | | |
| 著者名 | H.Qu | inn, P.Graham, J.Krone, M.Caffrey, and S.Rezgui | | |
| 対象デバイス | | Xilinx社製FPGA | | |
| 実験設備 | | カリフォルニア大学・Davis校クロッカー研究所Cyclotron, テキサスA&M大学K500 Cyclotron | | |
| 照射線種及び エネルギーの区分 | | プロトン (63MeV) | | |
| 単発現象又は 積算線量効果の区分 | | 単発反転現象 | | |
| 実験又は理論の区分 | | 実験 | | |
| (1) 概要 | | | | |
| (2) 序論 | | | | |
| (3) 実験 | | | | |

図・表は除き原則3ページ以内でまとめる

(5)結論 (3) 老密(香島の老密

(4) 実験結果及び考察

(6) 考察(委員の考察)

High-Reliability Engineering & Components Corporation

最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

8. 開催場所

HIREC株式会社 川崎事業所 (神奈川県川崎市川崎区駅前本町26-4 ラウンドクロス川崎)

9. 交通費、謝金

交通費及び謝金を弊社社内規定によりお支払いいたします。なお、お支払い方法は銀行振込とさせて頂きます。

10. 事務局【資料等送付先】

HIREC株式会社 技術部 担当:倉持 喜代子

〒305-0033 茨城県つくば市東新井8-1 第7芳村ビル ブルーホックス Tel: 029-868-6770 Fax: 029-868-6771 E-mail: kuramochi@hirec.co.jp

High-Reliability Engineering & Components Corporation

8



最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

平成21年度 最新デバイスの耐放射線性 強化技術に関する検討委員会

担当論文アサインリスト

2009年 6月 1 9日 HIREC株式会社

High-Reliability Engineering & Components Corporation



最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

◎担当論文アサインリストー覧表◎

発表日は論文の分類(SEE/TID等)ごとに区分

| 発表日 担当者 (敬称略) | | 公 粘 | タイトル | | | | | | | | | |
|------------------|--------------------|--------------|---|--|--|------|------|------|------|------|------|-----|
| | | 刀預 | 著一番 | | | | | | | | | |
| 第1回 6/19 槇原 | | RHBD | Design Implications of Single Event Transients in a Commercial 45 nm SOI Device Technology | | | | | | | | | |
| | | | AJ Kleinosowski : IBM Austin Research Laboratory., E. H. Cannon, J. A. Pellish, P. Oldiges | | | | | | | | | |
| | | | Extended SET Pulses in Sequential Circuits Leading to Increased SE Vulnerability | | | | | | | | | |
| 第1回 6/19 藤田委員 | 藤田委員 | SET | B. Narasimham, O. A. Amusan, B. L. Bhuva, R. D. Schrimpf, and W. T. Holman : <i>Vanderbilt University</i> | | | | | | | | | |
| 第2回 7/31 | 古场禾吕 | CET | Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains | | | | | | | | | |
| | 同饷女貝 | 向 惝安貝 | 向饷安貝 | 向饷安貝 | 同恦女貝 | 回恫女只 | 向恫女只 | 同恦女貝 | 同恦女貝 | 回恫女只 | 向恦女貝 | 261 |
| | 加藤委員 proton SEU | nucton | Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons | | | | | | | | | |
| 第2回 7/31 加藤委員 | | SEU | G. Cellere :: <i>Università degli Studi di Padova</i> , A. Paccagnella, A. Visconti, S. Beltrami, J. Schwank, M. Shaneyfelt, D. Lambert, P. Paillet, V. Ferlet-Cavrois, J. Baggio, R. Harboe-Sørensen | | | | | | | | | |
| 笠0回 7/91 | 左佐禾昌 | CEII | Hafnium and Uranium Contributions to Soft Error Rate at Ground Level | | | | | | | | | |
| 弗2回 7/31 大 | 大作安貝 | 大TF安貝 | 大TF安貝 | SEU | F. Wrobel, J. Gasiot, and F. Saigné : Université de Montpellier II | | | | | | | |
| 第2回 7/31 | 坪山委員 | RHBD | Quantifying the Effect of Guard Rings and Guard Drains in Mitigating Charge Collection and Charge Spread | | | | | | | | | |
| | | | | B. Narasimham : Vanderbilt University , J. W. Gambles, R. L. Shuler, B. L. Bhuva | | | | | | | | |

High-Reliability Engineering & Components Corporation



最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

◎担当論文アサインリストー覧表◎

| 発表日(案) | 担当者 (敬称略) | 分類 | タイトル 著者 |
|------------------|--------------|---------------------|--|
| 第3回 10/B | 石井委員 | RHBD PLL | A Probabilistic Analysis Technique Applied to a Radiation-Hardened-by-Design Voltage- Controlled Oscillator for Mixed-Signal Phase-Locked Loops |
| | | | T. D. Loveless : <i>Vanderbilt University</i> , L. W. Massengill, B. L. Bhuva, W. T. Holman, M. C. Casey, R. A. Reed, S. A. Nation, D. McMorrow, and J. S. Melinger |
| 第3回 10/B | 島田委員 | TID | Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in 130-nm NMOSFETs With Enclosed Layout |
| | | | M. Silvestri : Università degli Studi di Padova , S. Gerardin, A. Paccagnella, and F. Faccio |
| 第3回 10/B | 平尾委員 | TID | Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature |
| | | | M. Zanata, N. Wrachien, and A. Cester : Università degli Studi di Padova |
| 第 3回 10/B | 藤島委員 | TID Power MOSFET | Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing |
| | | | M. R. Shaneyfelt, J. A. Felix, P. E. Dodd, J. R. Schwank, S. M. Dalton : <i>Sandia National Laboratories</i> , J. Baggio, V. Ferlet-Cavrois, P. Paillet, and E. W. Blackmore |

High-Reliability Engineering & Components Corporation

最新デバイスの耐放射線性強化に関する検討委員会 /2009.06.19 第1回委員会

◎担当論文アサインリストー覧表◎

| 発表日(案) | 担当者 (敬称略) | 分類 | タイトル 著者 |
|----------|--------------|------|---|
| 第4回 11/E | 矢嶋委員 | NIEL | Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs |
| | | | J. H. Warner : <i>Naval Research Laboratory</i> , C. Inguimbert, M. E. Twigg, S. R. Messenger, R. J. Walters, M. J. Romero, and G. P. Summers |
| 第4回 11/E | 猪俣委員 | TID | Effects of Moisture and Hydrogen Exposure on Radiation-Induced MOS Device Degradation and Its Implications for Long-Term Aging |
| | | | J. R. Schwank : <i>Sandia National Laboratories</i> , M. R. Shaneyfelt, A. Dasgupta, S. A. Francis, X. J. Zhou, D. M. Fleetwood, R. D. Schrimpf, S. T. Pantelides, J. A. Felix, P. E. Dodd, V. Ferlet-Cavrois |
| 第4回 11/E | 三浦委員 | TID | Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling-Induced Drain Leakage in Irradiated Fully Depleted SOI Devices |
| | | | F. E. Mamouni : <i>Vanderbilt University</i> , S. K. Dixit, R. D. Schrimpf, P. C. Adell, I. S. Esqueda, M. L. McLain, H. J. Barnaby, S. Cristoloveanu, and W. Xiong |
| 第4回 11/E | 深田委員 | TID | Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe HBT on Thin-Film SOI Technology |
| | | | M. Bellini : <i>Georgia Institute of Technology</i> , S. D. Phillips, R. M. Diestelhorst, P. Cheng, J. D. Cressler, P. W. Marshall, M. Turowski, G. Avenier, A. Chantre, and P. Chevalier |

2

HIRE





45nmSOIデバイスにおけるSETの回路への影響

Design Implications of Single Event Transients in a Commercial 45 nm SOI Device Technology

AJ Kleinosowski, E. H. Cannon, J.A. PellishP. Oldiges, and L. Wissel with IBM

(IEEE Trans. Nucl. Sci. Vol. 55, No. 6, pp. 3461-3466, Dec. 2008)

2009年6月19日

技術部 槇原亜紀子 HIREC(株)

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第1回委員会(2009.6.19)@HIREC㈱川崎事業所



Contents

- 1. Abstract
- 2. Introduction
- 3. Physical Mechanisms
- 4. Circuit Implications
- 5. Hardware Measurements
- 6. Mitigation Methods
- 7. Conclusion

1

HIREC-TD-E09008





This paper presents modeling and measurements of single event transients in a commercial 45 nm SOI device technology. SETs in clock circuits and pass gates can cause upsets in circuit structures hardened against event upsets.

- ✓ 民生用45nmSOI(部分空乏型SOI@IBM)テクノロジーにおけるSETのモデル及び測定結果について述べた論文。
- ✓ 回路中のクロックゲートやパスゲートにおけるSETは、SEUの原因となる。
- ✓ 45nmPD-SOIのテクノロジーを用いて、
 - ・ DICE (Dual Interlocked Storage Cell)回路の設計
 - TCADを用いたDICE回路に対するα線入射時のSET電流/電圧波形のシ ミュレーション
 - DICE回路のメモリブロックに対するプロトン照射の実施
 - 回路へのSET対策の検討

3

HIREC-TD-E09008

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第1回委員会(2009.6.19)@HIREC㈱ 川崎事業所



2. Introduction

- ✓ 本論文では、半導体部品のパッケージや、高エネルギー中性子によって派生するα線が原因となって、デジタル回路中で発生するSET(ひいてはSEU)に着目している。 (IBMは、地上においても、荷電粒子によるSRAMやFF等のメモリ素子中でのSET発生は、 SEUの主要原因として問題視しており、本論文の筆者は、2007のNSRECにおいても、 65nmSOIにおいて同様なSET対策回路の検討結果を発表している。)
- ✓ 組み合わせロジック回路では、SETの影響がロジックによってはマスクされたり、 電気的に減衰していったり、もあり得るが、メモリ素子中のクロック回路やパス ゲートは、特にデータ保持している期間中はSETに対して非常にセンシティブであ る。



3. Physical Mechanisms









「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第1回委員会(2009.6.19)@HIREC㈱ 川崎事業所



3. Physical Mechanisms





「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第1回委員会(2009.6.19)@HIREC㈱ 川崎事業所



「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第1回委員会(2009.6.19)@HIREC㈱川崎事業所
最新デバイスの耐放射線性強化技術に関する検討委員会 平成 21 年度 成果報告書



5. Hardware Measurements

| ✓ ✓ | DUT 試験回路 | : noRHBD D-type-FF, RHBD DICE-type-FF :シフトレジスタ •noRHBD•••11,520個のFFを直列接続 •RHBD••••5,760個のFFを直列接続 |
|--------------|--------------|---|
| ✓ ✓ | 線源 試験パターン | :プロトン(148MeV) @Massachusetts General Hospital in Boston :all0、all1、checkerboard (クロック回路/パスゲートのSET評価としては、 checkerboardがワーストケース) |
| \checkmark | 試験結果 | :Table I 参照 |

TABLE I NORMALIZED CROSS SECTIONS FOR D-TYPE AND DICE-TYPE FLIP-FLOPS DURING 148 MEV PROTON TESTING. D-TYPE L1 ALL 0S WAS USED AS THE BASE CASE FOR NORMALIZING.



正規化された反転断面積比率で表示

9

HIREC-TD-E09008

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第1回委員会(2009.6.19)@HIREC㈱ 川崎事業所



6. Mitigation Methods

- ✓ SOI回路で最も効果的なSET対策は、TrのWサイズを大きくすること。
 ・ボディ面積大 → バイポーラ効果に必要な電荷量大
 - ・Trの駆動能力大 → SET発生を軽減

・ゲート容量増大 → upsetに必要なSETパルス幅の増大

- ✓ α線に対する対策としては、W>1µm、ゲート容量>10fF、が必要。(重イオン対策としては、 これでは不十分だが、α線ならOK、ということ。)
- ✓ DICE中のクロック回路中のインバータを構成するTrのWサイズを大に変更。このSET対策 によるペナルティとして、面積と消費電力の増大が挙げられるが、それらを軽減するために、 FF中のクロック回路をFFの外に出し、Wサイズを増大させることで駆動能力を上げさらに ゲート容量も上げ、これを複数のFFに対して共有化させる。さらに、その後ろに繋げるFF数 を増やすことで、upsetに必要なCritical Chargeがさらに増大し、SEU発生しにくくなる。 (Table Ⅱ)

HIREC-TD-E09008



HIREC-TD-E09008

6. Mitigation Methods





- 45nmSOIテクノロジーを用いて設計したSEU対策済みメモリ回路(DICE)においても、SET \checkmark の影響によるSEU発生が起こることが、プロトン照射結果によって判明した。クロック回路や パスゲートのTrが、荷電粒子の影響を受けていた。
- ✓ クロック回路/パスゲートへのSETが原因で発生したSEUについては、DICE-type FF(RHBD)の反転断面積は、D-type FF(noRHBD)の約0.7倍であった。DICEで も、クロック回路/パスゲートへのSET対策は必要であるということ。
- ✓ 3D Mixed Mode TCADシミュレーション結果から、荷電粒子入射によるTrの Dran/Sourceでの電荷蓄積よりもBodyでのそれがSET発生に大きく影響している ことが判明した。
- ✓ DICEのクロック回路/パスゲートへのSET対策としては、Trサイズupによるクロッ ク回路の駆動能力up、及びFF内部からクロック回路を外に出し複数のFFで共有 化させることによって、FFが保持データUpsetを発生させるCritical Chargeを増加 させ、SEUを引き起こすようなSETを発生しにくくさせた。
- ✓ SET対策としてはボディタイも有効であるが、ボディタイはminimum WのTrで構 成されているFFには適用できない。(ボディタイ挿入による面積増大が許容できな い、という意味と考えられる。)

最新デバイスの耐放射線性強化技術に関する検討委員会 平成21年度 成果報告書

181



[Additional Information]





「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第1回委員会(2009.6.19)@HIREC㈱ 川崎事業所

順序回路におけるSETパルス幅拡大による SE発生確率の増加

Extended SET Pulses in Sequential Circuits Leading to Increased SE Vulnerability

Balaji Narasimham, Oluwole A. Amusan, Bharat L. Bhuva, Ronald D. Schrimpf, and W. Timothy Holman

Vanderbilt University, Nashville, TN 37235 USA

報告者: 藤田 実 (法政大学)

1

要約

- ・ 先端技術の素子を用いると複数ノードで電荷の 収集が起こり得る
 - Mixed-modeシミレーションと重イオン実験で示された
- ・
 論理回路に及ぼす影響
 - 連続的な過渡パルスが発生
 - SETパルス幅を拡大させる (extended-SET: E-SET)
 - 加算器でのシミレーションではパルス幅が75%増加
- · E-SETの解析モデルを提示する
 - 個々のパルス幅に比例
 - 発生箇所から集合節点までの遅延時間の差に比例
 - 回路トポロジーに依存

I. イントロダクション(1)

・ 先端技術では複数ノードの電荷収集が問題になる - 数fCの電荷で接点がHレベルになる - 素子密度が高いため衝突による電荷が多数の素子に及ぶ ・ 論理回路でのE-SET(extended-SET)について - 発生した多数のパルスは、集合または分散する - パルスが各方面に分散する場合は、過渡パルスの数は増加 するかも知れないが、パルス幅はそれほど変化しないだろう - 一つの節点に集合する場合はE-SETが形成される ・ RHBD(radiation-hardening-by-design)への影響 - ある幅より短いSETパルスを取除く方式の設計が多い - 設定値より長いSETパルスが入るとエラーになる

- 改止値より長い3と1ハルスか人るとエフーになる

I. イントロダクション(2)

- 従来の研究データについて
 - 単一の長い論理ゲートチェインを用いた実験ではE-SETが 除外される
 - パルス幅測定の実験データは広い範囲にわたっている
 - ・130-nmで数nsの例がある
 - 本研究によれば、従来報告の長いパルスは複数パルスが 連続したことで発生したと、推定される
- 本論文について
 - シミレーションと重イオン実験から複数ノードでの電荷収集 が起こり得ることを示す
 - LETのスレショールドやアップセット断面積が影響を受ける

4

3

Ⅱ. 複数ノードでの電荷収集

- IBM 90-nm 3D-TCADを2つの素子に適用
 - イオンが衝突する第1の素子、影響を受ける第2の素子
 - イオンは第1の素子の中央に入射
 - 40 MeV-cm²/mg
- ・シミレーションの結果
 - 垂直入射の場合:
 衝突箇所から半径1μmの以内での電荷収集量が多い
 - 60°入射の場合:
 過剰電子によるnウェルの電位変調が5μmに及ぶ
 - 発生したパルスは回路伝搬に十分なパルス幅を持つ

素子間隔のシミレーション結果



Fig. 1. Mixed-mode TCAD simulations showing (a) the charge collection in two PMOS devices due to an ion strike in the primary device as a function of distance between nodes and (b) the resultant SET pulse widths.

衝突位置から半径1µm以内の 収集電荷量が多い SETパルスは回路を伝搬するに 十分な幅を持つ

6

Ⅲ. ラッチの複数の過渡パルス(1)



Fig. 2. (a) Latch design composed of four back-to-back inverters.

- ・シングルイベント特性はフィードバック遅延時間(4tpd) で特徴づけられる
 - 節点の電圧変動時間 > フィードバック遅延時間 → 反転
 - 節点の電圧変動時間 < フィードバック遅延時間 → 反転しない
- · SRAMの一般的な放射線耐性向上技術
 - クロスカップルにR, Cを追加してフィードバック遅延時間を長く していることに相当する

ラッチの複数の過渡パルス(2)



Fig. 2. (a) Latch design composed of four back-to-back inverters. (b) Minimum SET width needed at one of the nodes to cause an upset and, (c) when two nodes collect charge, an SET of smaller duration is sufficient to cause an upset.

・SETパルスがフィードバック遅延時間より 長い場合は、ラッチが反転する



- ・2段目と4段目でSETパルスが発生
- ・各パルスがインバータ2段の遅延時間 より長いと、集まってE-SETを形成

・E-SETが長い場合はラッチが反転

8

Ⅳ. 組合せ回路の複数パルス(1)

- 1個のイオン入射に対し、組合せ回路で複数の ノードで電荷が収集されると複数の過渡パルス が発生し、回路のそれぞれの枝を伝搬する
- ある場合にはパルスが一つの節点に集まり、節 点への到着時間によっては、現実にSETパルス の幅を広げることがある
- ・全加算器を設計して現象を解析する
- ・シミレーション等の結果で、複数パルスが集まる
 と、パルス幅が広がることを示せた
- これまでに観測された幅の広いパルスはE-SET
 が原因になっている可能性がある

全加算器の回路図(Fig.3)



(参考)

・NAND1-4はexclusive ORを形成

$$\overline{(A \cdot \overline{AB})} \cdot \overline{(B \cdot \overline{AB})} = A \cdot \overline{AB} + B \cdot \overline{AB}$$
$$= A(\overline{A} + \overline{B}) + B(\overline{A} + \overline{B})$$
$$= A \cdot \overline{B} + \overline{A} \cdot B$$
$$= A \oplus B$$

・加算器としての機能

Sum = A \oplus B \oplus C Carry = AB + (A \oplus B)CAND-OR = NAND-NAND構成

全加算器の構成とレイアウト



Fig. 3. (a) Schematic and (b) layout of a full adder circuit. Note that for this layout the distance between PMOS of NAND1 and NAND8 is less than 1 μ m.

11

全加算器の3D-TCADの結果



Fig. 4. (a) Mixed mode simulation of a strike on NAND8 (without charge sharing) indicating that the SET voltage pulse width is about 430 ps and (b) mixed-mode simulation of a strike on NAND8 (with charge sharing) indicating the multi-node transients created due to charge collection at NAND8 and NAND1 and (c) the E-SET pulse created by the convergence of the multi-node transients. The width of the E-SET pulse is about 21% greater than the SET pulse created without charge sharing.

(a) NAND8だけに3D-TCADを実施
 (b) NAND8とNAND1に3D-TCADを実施
 2つのパルスが発生
 (c) パルスが重なって幅が拡大(E-SETの発生)
 幅 430 → 525 ps (21%の拡大)



E-SETパルス幅の見積り(1)



Fig. 5. (a) Illustration of multi-node charge collection in logic circuits leading to two transient pulses that converge at an output node. (b) Waveforms depicting a scenario when the two converging transient pulses result in increased SET pulse width (E-SET).

・2つの論理パスが1 つの節点に合流

・イオンは論理1に衝 突して1次パルスtp を発生

 ・論理2でも電荷収 集によって2次パル スtsを発生

・遅延時間td1とtd2 後に合流してE-SET を形成

重ならない場合は2
 つの独立した過渡パルスになる

13

E-SETパルス幅の見積り(2)



V.シミレーションと実験結果

・ DICEラッチを4個のインバータで構成した

- 記憶ノードを4個持ち、フィードバック遅延時間は長い
- 単一のSETでは反転しない特性を持つ
- IBM 90-nmバルクCMOS技術でmixed-mode
 シミレーションを実施した
 - 1つのノードでの電荷収集ではDICEの反転なし
 - 2つのノードでの電荷収集では150psのパルスで反転した
- ・トランジスタ間隔を変えた2種のDICEを設計
 - 標準間隔は0.5 µm、広げたものは2 µm以上
 - - 垂直入射の3D-TCADで,間隔2μmのものはほんの僅か な電荷収集しか見られなかった

15

重イオン照射実験結果



Fig. 6. 90-nm heavy-ion data showing that DICE cell upsets even at low LET values, indicating presence of multi-node charge collection.

- ・ DICEラッチで511段のシフトレジスタを構成
- ・ Lawrence Berkeley National Laboratoryで照射
- ・ 2µm間隔ではLETスレッショルドが10→20MeV-cm²/mgに増大
- ・ エラー断面積も1桁以上減少

4ビット加算器の設計と解析

Mixed-modeシミレーションでSETパルス幅の最 大値を求める - 2ノード電荷収集の場合と1ノードの場合とを比較 4つの全加算器ブロックを2列に配置した 3種のレイアウトで設計した - レイアウト1:標準ルール - レイアウト2: 2つの電荷収集ノードからの伝搬遅延時間 の差をゲート6段の遅延時間以下にした - レイアウト1: ほぼ2と同じだがノードの間隔を広げた 17

4ビット加算器のシミレーション結果



Fig. 7. Maximum (E)-SET pulse width without and with charge sharing for three different layout variants of a 4-bit adder. The results are based on mixed-mode simulations with an ion LET of 40 $\rm MeV-cm^2/mg$.

V.結論

- ・ 先端技術の素子を使うと複数ノードでの電荷収集 が起き易くなる
- ・ 複数ノードの電荷収集によるパルスが集まるとパ ルス幅の広いE-SETが発生する
- ・ E-SETのパルス幅
 - 個々のパルス幅/集まる節点までの遅延時間の差/回路の トポロジーに依存する
- IBM 90-nm CMOSを用いた4ビット加算器のmixedmodeシミュレーション結果ではパルス幅の増加は 75%に及んだ
- 今後の実験は単一と複数ノード現象を分けるべき
 19

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第2回委員会 議事次第

日時: 平成 21 年 7 月 31 日(金) 14:00 ~ 17:15

場所:HIREC株式会社 川崎事業所 会議室 神奈川県川崎市川崎区駅前本町 26-4 ラウンドクロス川崎 9F

(TEL: 044-221-8730)

| $2.2~{ m Quantifying}$ the Effect of Guard Rings and Guard Drains in Mitigating | | | | | | | |
|---|--|--|--|--|--|--|--|
| Charge Collection and Charge Spread(坪山委員)14:50~15:35 | | | | | | | |
| 休憩(10分)15:35~15:45 | | | | | | | |
| 2.3 Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons | | | | | | | |
| (加藤委員) | | | | | | | |
| 3. 2009 年 NSREC 参加報告(事務局) | | | | | | | |
| 4. 2009 年国際学会参加報告(委員長) | | | | | | | |
| 5. 事務局からの連絡(5分) | | | | | | | |

地上におけるソフトエラー率 に対するHfとUの寄与に関して

Hafnium and Uranium Contributions to Soft Error Rate at Ground Level Frédéric Wrobel, Jean Gasiot, and Frédéric Saigné (University of Montpellier II, Institut d'Electronique du Sud (IES)) IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 55, NO. 6, DECEMBER 2008, pp. 3141-3145

(株)日立製作所 生産技術研究所 矢作 保夫

PERL

HITACHI Inspire the Next

Abstract

PERL 1

- 最新デバイスは α 粒子のような低LETの粒子にも敏感
- α崩壊する元素としてHfとUを取り上げて、
 ソフトエラー率(SER)への寄与を計算
 ~ Hf:酸化物 high-k材料、U:不純物 の代表
- > Hf**の場合は**SERへの寄与がない
- UがSiウエハに通常の濃度で含まれている場合、
 SERへの寄与は環境中性子の場合とほぼ同等
 (Monte Carlo シミュレーション)

195

最新デバイスは α 粒子のような低LETの粒子にも敏感

α粒子は部品の内部で発生する
 ①構成物質そのもの(Radioactive Materials)
 ②構成物質の不純物(Radioactive Impurities/Pollutants)

➢ Radioactive Materialの例: ゲート酸化膜材料として用いられるHfO₂ ~¹⁷⁴Hf (0.162%)がα粒子を放出(Alpha Emitter)

 Radioactive Impurityの例:
 自然界に遍在し、水や原材料を汚染するU ~ 不純物元素そのものがAlpha Emitter

本論文の目的はデバイス中に存在するHfとUの 地上レベルでのソフトエラー率(SER)への寄与を見積ること



HITACHI Inspire the Next

196

Alpha-Emitters Activity (1)

α崩壊の定式化

 $N(t) = N_0 e^{-\lambda t}$

N₀:初期の放射性原子核数

 $\hat{\boldsymbol{\lambda}}$:崩壊定数 半減期 $T_{1/2} = \frac{\ln (2)}{\lambda}$

デバイスのSERとの関連付け

→ T=10⁹時間あたりの崩壊回数

$N_{\alpha} = N_0 (1 - e^{-\lambda T})$ デバイス中の" α 粒子放射源の活動度"

> 半減期>デバイスの寿命 の場合が考慮対象

・半減期<デバイス寿命の場合はデバイスを使う前に放射源がなくなる
 ・NαはSER(FIT)のワーストケース

HITACHI Inspire the Next

Hafnium Contribution to SER

・Hf には5つの同位体、¹⁷⁴Hfのみがα粒子放射源

• $E_{\alpha} = 2.5 \text{MeV} \rightarrow \text{Si中での飛程} = 9.5 \mu \text{m}$

・HfO。酸化膜中のHf原子数密度

 $n=N_{A} \cdot d/M=2.77 \times 10^{22} atoms/cm^{3}$

- ($N_{\Delta} = 6.02 \times 10^{23}$ atoms/mol:Avogadro数)
- ・酸化膜中の¹⁷⁴Hf(α粒子放射源)

=n×0.162%=4.49×10¹⁹ atoms/cm³

- ・ゲート酸化膜(50nm×50nm×10nm)中の¹⁷⁴Hf
 - $=(4.49 \times 10^{19}) \times (2.5 \times 10^{-17}) = 1122.5$ atoms
- ・6Tr./bitのメモリセルを想定すると、

 $N_0 = 1$ Mbit 中の¹⁷⁴Hf(α 粒子放射源)

 $=6\times (4.49\times 10^{19})\times (2.5\times 10^{-17})\times 2^{20}=7.06\times 10^{9}$

 $N_{\alpha} = 0.28$ 崩壊/Mbit/10⁹時間 → SER≦0.28 FIT/Mbit

であり、HfのSERへの寄与は微々たるもの



TABLE I

NATURAL ISOTOPES OF HAFNIUM

ll Rights Reserved. Convright© 2009. Hitachi, Ltd

PERL

Natural Element Half life abundance (%) 2x1015 years ¹⁷⁴Hf 0.162 Alpha emitter ¹⁷⁶Hf stable 5.206 177Hf stable 18.606 178Hf stable 27.297 ¹⁷⁹Hf stable 13.629 ¹⁸⁰Hf stable 35.100

Wrobel, et al., IEEE Trans. Nucl. Sci., vol. 55 (©IEEE2008)

TABLE II Main Properties of Hafnium Dioxide

| Molar Mass | (M) | 210.49 g/mol |
|------------------------|--------------------|--------------------|
| Volumic Mass | (d) | 9.68 g/cm3 |
| Atomic density of hafn | _{ium} (n) | 2.77x1022 atoms/cm |
| Alpha emitter densit | у | 4.49x1019 atoms/cm |

Wrobel, et al., IEEE Trans. Nucl. Sci., vol. 55 (©IEEE2008)

5

4

PERL





= 1.68×10^{6} 個 $N_{\alpha} = N_{0}(1 - e^{-\lambda T})$ T=10⁹時間あたりの崩壊回数: $N_{\alpha} = (1.68 \times 10^{6}) \times [1 - \exp\{-(1.17 \times 10^{-5})\}]$ = 7.43 崩壊/10⁹h **これがメモリ1**bitに対してソフトエラーを引き起こすとして、 中心にSensitive Area 1Mbit分集めると、

SER ~ 7×10^6 FIT/Mbit

・上記の仮定のもとで求めたSERは値が大きすぎる

→ Monte Carloシミュレーション(RPPモデル)で精度を高める

All Rights Reserved, Copyright© 2009, Hitachi, Ltd.





Qcが十分に小さいところではSERが高すぎる







Fig. 3. Number of ppb of 238U needed to obtain the same value of SER for neutrons and for uranium (SER(neutron) = SER(238U)) at ground level. Various sensitive volume sizes have been simulated.

Wrobel.et al., IEEE Trans, Nucl. Sci., vol. 55 (©IEEE2008)





Wrobel, et al., IEEE Trans. Nucl. Sci., vol. 55 (©IEEE2008)

13 HITACHI Application to a 130nm Technology (2)PERL |フィールド試験データ(130nmCMOSSRAM)からの238U濃度推定 1 0.9 Number of ppb of 238U to obtain SER(²¹⁴U)=3.04xSER(neutron) ・フィールド試験データに基 ٠ 0.8 * * づいた238Uの濃度推定: 0.7 0.6 SER(地下)/SER(地上) 0.5 =3.04• 0.4 ・²³⁸U濃度は0.4-0.6ppb 0.3 SER range 0.2 from [15] 0.1 0 1 10 100 1000 10000 SER neutron (FIT/Mbit)



Wrobel, et al., IEEE Trans. Nucl. Sci., vol. 55 (©IEEE2008)

Reserved, Copyright© 2009, Hitachi, Ltd.

HITACHI Inspire the Next

Conclusion

PERL¹⁴

デバイス中のα粒子放射源を2種に分類: ①デバイス構成材料(Hfなど)と ②汚染(Uなど)。

Hfはゲート酸化膜に利用され、放射性同位体によるSERへの影響は0.27FIT/Mbit未満。ゲート酸化膜体積が小さいためにSERへの影響は殆ど無い。

▶ 0.16ppb程度のU汚染量があれば、地上レベルの環境中性子の SERに対する影響とほぼ同等であり、200-10000FIT/Mbitに対応。

▶ 130nmCMOS SRAMのSER文献値から推定すると、Uの汚染 量は0.4-0.6ppb。

OrderEstimationが目的であれば、Uのみをα粒子放射源として考え、RPPのシミュレーションモデルでも十分。さらに娘核種の寄与を考慮し、Diffusion-Collectionのシミュレーションモデルを用いることで、
 精度向上が期待できる。

| | | | | | | — | | — | | — | _ |
|------------------|------|------|------|------|------|---|-------|----------------|---------------------|-------|---|
| HITACHI | | | | | | | | 26 | RL | 15 | |
| inspire the Next | | | | | | | Frods | ction Engineer | ing Research Labora | fory* | |

END

IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 55, NO. 6, DECEMBER 2008

Quantifying the Effect of Guard Rings and Guard Drains in Mitigating Charge Collection and Charge Spread 電荷収集および電荷拡散を軽減に関する ガードリング・ガードドレインの効果の数量化

Balaji Narasimham^(a), Jody W. Gambles^(b), Robert L. Shuler^(c), Bharat L. Bhuva^(a), and Lloyd W. Massengill ^(a)
 (a)Vanderbilt University, Nashville TN 37235 USA
 (b) Center for Advanced Microelectronics& Biomolecular Research, University of Idaho
 (c) NASA Johnson Space Center

Abstract

- MOS トランジスタの SET は、重イオンが生成する 電荷がトランジスタに入ることで起こる。
- イオンが通過したトランジスタへの電荷の収集と 近隣のトランジスタへの広がりが、この論文の研 究対象。
- RHBD の一例として、ガードリングとガードドレインの効果を 3D TCAD と実際の照射を用いて定量的に評価した。
- 評価したのは、(1) SETパルス幅, (2) SET エラー断 面積
- 筆者らは、このような RHBD に関する発表を数年 前から報告し続けている (文献 [5] [8] [9])。

Introduction

- 微細化技術のおかげでCMOS IC の広帯域化・低電圧化・ノイズ マージンの減少などが起こり、IC にイオンが通過したときのソフトエ ラーレートは悪化した。
- かつて行われた、特殊な半導体プロセスを用いた対策では最新の 商用 CMOS 技術に追随することが難しい。標準プロセスを使い RHBD を用いるのが好ましい。
- 従来の冗長性・エラー訂正などによる対策の多くは、1エベントで複数のトランジスタが影響を受ける場合に対応しない。
- 一つの MOSトランジスタを駆動する電荷はますます減って、イオン からの電荷の影響が重要になった。
- 微細化テクノロジーのおかげで、1個のイオンが CMOS 回路に入射しても複数の MOS トランジスタに影響を与えるようになった。
- シングルエベント耐性をあげるためには、DHBD で個々の CMOSトランジスタのレイアウトを変更し、イオンによるの電荷の影響と近接するトランジスタへの影響を減らすことを冗長性などと併用することが必要になっている。

研究の背景(I)

- ガードリングを用いてイオンによる電荷がトラ ンジスタに入らないようにする方法は、すでに 報告されてきた。
- ガードリングが n-well 中の PMOS トランジス タには有効であるが、p サブストレート中の NMOS トランジスタの場合有効性は低い。

 - 理由:n-well 中の PMOS トランジスタは寄生バイ ポーラトランジスタを形成し、そこに入った電荷 でドレインに電流が流れる、したがって、n-well の電位を固定することが有効だった。この原理 は NMOS トランジスタには適用されない。
 2

Guard ring and guard drain Structure

図1 N-mos トランジスタ in p-substrate: (a) Normal (b) with GR (c) with GD



研究の背景(II)

- ガードドレインは、ドレイン周囲に逆バイアスを掛けた ダイオードをドレインの近くに置くものである。
- ガードドレインは(サブストレートまたはwell 中の電荷 をあつめる第2の領域としてはたらき、MOS デバイス 側での電荷収集を軽減する。ドリフト・拡散する電荷 の収集を軽減するのにより効果的である。
- この論文では、3D TCAD シミュレーションを用いて、
 ガードリングとガードドレインの効果を分析する。
- 実験では、130 nm デバイスを用いてガードリング有無の効果を SET パルス幅とエラー断面積で、180 nm デバイスを用いてガードリングとガードドレインの効果をエラー断面積により定量的に評価した。

3D TCAD Simulation:構造

- Synopsys Sentaurusを用いた。
- 1.5 μmの距離で二つの MOSトランジスタを配置
- 3種類の PMOS トランジスタをモデル化
 - (a) 普通の構造: n-well に substrate と well へのコンタクト
 - (b) ガードリング構造: 各トランジスタをn+ のリングで囲う。
 - (c) ガードドレイン構造: 各トランジスタをp+のリングで囲う。
- 同様に p-substrate上の NMOS トランジスターも3種類モデル化



3D TCAD Simulation:イオン入射

- LET = 40 MeV-cm²/mgの
 イオンを走らせる。
- 走行距離は 10 μ m
- セット1:垂直入射。デバイスAのドレインの中心を通るように設定。
- セット2:デバイスAから
 Bに向け60度で入射
- MOSトランジスタAとB のドレインに流れる電流 を記録。



3D TCAD Simulation:PMOSデバイス

- PMOSデバイスの垂直入射イオンへの応答
- イオン通過で発生する電荷によりn-well 中のポテンシャルが乱れる。その結果発生する寄生バイポーラトランジスタのおかげで、デバイスに集まる電荷が増加する。
- ガードリング・ガードドレインは、デバイスAへの電荷・デバイスBへの電荷の漏れの減少に効果がある。
- PMOSデバイスでは、ガードリングがガードドレイン以上に効果的である。
 - ガードリングにより、n-well に発生する電子を除去し、well のポテンシャル崩壊 (collapse)を防止することができ、そのおかげで、寄生バイポーラトランジスタの 影響が減る。
 - ガードドレインはイオン通過により発生するホールの一部を除去し、ドリフト・拡 散によりドレインに到達する量を減らすことに役立つ。
 - PMOS デバイスでは、寄生バイポーラトランジスタの影響が支配的なので、ガードリングがより有効。
- 図4 (a) 通常のPMOS (b) ガードリング(c) ガードドレイン



3D TCAD simulation: NMOSデバイス

- 逆に n-MOS デバイスではガードドレインがより有効。
 - Well が無いので、寄生バイポーラトランジスタが発生しない。」
 ガードドレインは逆バイアスの n+領域であり、拡散・ドリフトしてくる電荷を減少させる。



8

 図5 (a) PMOS, (b) NMOSにおいて、イオンがデバイスAに垂直入射した場合に収集された電荷をガード構造とデバイスA、 B毎にまとめた。





3D TCAD simulation: 60度入射

- 60 度入射では、イオンが当たったデバイス(A)より、隣接デバイス(B)で収 集される電荷のほうが多い(図 6)。
- 垂直入射と同様PMOSではガードリング、NMOSではガードドレインがより 有効である。
- この傾向は、PMOSトランジスタがn-wellに、NMOSトランジスタがpsubstrate に形成されているからで、n-サブストレート・p-well中のNMOSト ランジスタの場合は、寄生バイポーラトランジスタの効果が発生するので、 ガードリングがより有効であろう。



照射実験

- ガードリング・ガードドレインのイオン照射に対する効果を実験的に測定する。
- 130 nmプロセスでSET幅自動測定回路を作りガードリング有 無のSET幅分布、SET発生断面積の比較をした。(ガードドレ インの試験回路はチップ面積の制限でできなかった)
- 180 nmプロセスでSET発生検出回路を作り、ガードリングと ガードドレインのSET発生断面積の比較をした。イオンの斜め 入射も行った。(標準構造の試験回路はチップ面積の制限で できなかった)
- どちらの場合も、ガードリング・ガードドレインを構造に追加 すると、15%デバイスの面積が増加する。

SET幅自動測定回路 [文献9]

- <u>Target circuit</u> は照射によりSETを発生させる被測定回路。単純には多段インバータ。
- <u>Stage 1</u>, 2, 3,... final はラッチ回路。この回路の各段の伝搬遅延は校正できる。
- トリガー回路のpass/holdはすべてのstageに共通。トリガー回路は最初に<u>Reset</u>される。 すべての pass が 1、hold が 0 になる。
- <u>Target circuit</u>で、SETが発生すると ____| ~~~~ | ____のような信号が発生する。この波形は <u>Stage</u>1...Finalを伝搬してゆく。
- Stage 1 出力をトリガーとする。delay、フリップフロップ、2x, 4x, 8xの遅延ゲートがある。
- SETのリーディングエッジから、一定時間遅れてpass/hold信号が反転する。反転する瞬間 に各stageでのレベルが(全体を見るとSET波形が)記録される。
- ・ 文献[9]の場合:stage数32で各stageの遅延は120 psec。リーディングエッジが 22 番目の stage でサンプルされるので、有効に使えるのは21 stages。120x21 = 2520 psec が幅測定 の最大時間。測定最小幅は120 psec,測定誤差は±60 psecとなる。



SET 発生検知回路

- <u>Combinational Logic</u> はSETを発生させる試験
 回路(たとえば多数のインバーター)。
- <u>Hardened FF</u> は放射線耐性を強化したフリッ プフロップ(guard gate based latch cells)を用 いてデザインされている。
- 出力側のFFが反転したらSETと判断すればよい。



130 nm デバイス照射 [文献9]

- 必要な有効LETを得る ために、イオン・エネ ルギー・入射角度を変 える。
- → は、今回の論文
 でも使われたデータ点。

TABLE I DETAILS OF THE HEAVY-ION TEST-130-nm

| | Ion | Angle (deg) | Effective LET (MeV- cm ² /mg) | Ion Energy (MeV) |
|---|-----|----------------|--|---------------------|
| | Ne | 0 | 3.45 | 216 |
| | Ne | 60.5 | 7 | 216 |
| | Ar | 0 | 9.7 | 400 |
| _ | Ar | 60.9 | 20 | 400 |
| | Kr | 0 | 31.2 | 886 |
| | Kr | 49.3 | 48 | 886 |
| | Xe | 0 | 58.7 | 1403 |
| | Xe | 38.5 | 75 | 1403 |
| | Xe | 54 | 100 | 1403 |

測定結果:130 nm 試験回路

- LBNLの重イオンビーム。入射角度を可変としてEffective LET 31-100 MeV-cm²/mgの範囲で測定。
 - ただし、Effective LET = Actual LET / cos(入射角)
- 図 9(a) ガードリング有無のSET パルス幅を測定した。
 - SETパルス最大幅はデバイスが収集した電荷に比例すると考えられる。SETパルス幅の最大はガードリングにより平均20%減る。従って、 デバイスが収集する電荷も20%程度減少したと考えられる。
 - (坪山)測定されたパルス幅の平均値やσの直接の比較は意味がない。な ぜなら、ある閾値を超えない限りここの平均に寄与しないからである。
- 図 9(b) SET 発生断面積は、平均で 42 % 改善する。



14

測定結果:180 nm 試験回路

- Texas A&M 大学で垂直・60度でイ オンビームを入射した。
- ガードリング・ガードドレインによる SET発生断面積を測定した。
- Actual LETは入射角度で<u>補正して</u> いないLET値。
- ガードドレインはガードリングと比較して、垂直入射時に30%、60度入射時に40%エラー率が改善した。
- ガードドレインとガードリングの SET 断面積の差の一部は、デバイス面 積の差の効果かもしれない。
- まとめ
 - ガードドレインは PMOS/NMOS に 効果的だが、ガードリングはPMOS でのみ有効なので、PMOS ガード リング・NMOSガードドレインの組 み合わせで将来の試験を行うつも りである。



| | ガード リング | ガード ドレイン |
|------|-------------|-------------|
| PMOS | Ø | 0 |
| NMOS | \triangle | Ø |

結論

- 電荷収集の効率の上昇・複数セルへの電荷分散により、 従来のシングルエベント対策で有効でない物が増えつつ ある。
- RHBDで、電荷収集・電荷分散を軽減すれば、SETの軽減 の手法となる。
- 3D-TCADにより130 nm をシミュレートし、n-wellのCMOSで はガードリングが、NMOSではガードドレインが有効である ことを示した。
- 180 nm, 130 nm CMOSでRHBD評価用チップを試作しイオ ンビームに当てた。
- 130 nm チップの試験で、ガードリング構造を用いることで SET パルスの平均時間(収集電荷に相当)が20%減少す ることがわかった。またイベント断面積は42%減った。
- ガードドレインはガードリングに比べてエラーレートを減ら すのに 30% 有効であることが分かった。

追加資料

1) p-mos in N-well: (坪山)。(a) Normal (b) with GR (c) with GD





新デバ_2-5 Changes for the Better

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会 2009年7月31日(金) 於 HIREC株式会社 川崎事業所

Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons

(高エネルギー陽子による二次反跳原子核生成の直接的証拠)

G. Gellere, A. Paccagnella, A. Visconti, S. Beltrami, J. Schwank, M. Shaneyfelt,
 D. Lambert, P. Paillet, V. Ferlet-Cavrois, J. Baggio, R. Harboe-Sørensen
 E. Blackmore, A. Virtanen, P. Fuochi

出典: IEEE Trans. Nucl. Sci. vol. 55, No. 6, pp2904-2913, December 2008

三菱電機株式会社 鎌倉製作所

宇宙システム部 信頼性技術センター 部品技術グループ

加藤 一成

📩 三菱電機株式会社

MITSUBISHI 三菱電機

Changes for the Better

要約

- <u>Abstract:</u> The production of secondary recoiled particles from interactions between high energy protons and micro electronics devices was investigated. By using NAND Flash memories, we were able to directly obtain analog information on recoil characteristics. While our results qualitatively confirm the role of nuclear reactions, in particular of those with tungsten, a quantitative model based on Monte Carlo and device-level simulations cannot describe the observed results in terms of recoils from proton-W reactions.
- 高エネルギー陽子とマイクロエレクトロニクスデバイスの反応による二次的な反跳粒子 (recoiled particles)の生成を調べた。
- NAND型フラッシュメモリを用いて、反跳粒子の特徴についてのアナログ情報を直接 的に得た。
- ここで得られた結果から、原子核反応(特にタングステンとの反応)の役割について
 定性的に確かめられた。
- しかしながら、モンテカルロとデバイスレベルのシミュレーションによる定量的なモデルでは、陽子とタングステンの反応で生成される反跳粒子についての実験結果をうまく記述できていない。
- **Index Terms:** Floating gate memories, high energy protons, single event effects, space radiation.



Changes for the Better

論文のアウトライン

- I. イントロダクション
- II. 実験方法と使用したデバイス
- III. 放射線効果の検出器としてのフローティングゲートメモリ(FG)
- Ⅳ. トータルドーズでの陽子エネルギー依存性
- V. 高LET反跳粒子の生成
- VI. V_{TH}(閾値)の変化のモデル
- VII. 結論

2009年7月31日 最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会



Changes for the Better

2

イントロダクション(1)

宇宙環境には様々な放射線源がある。

- 太陽/銀河起源の陽子、太陽からの電子・X線、銀河起源の高エネルギー原子核

- 放射線の影響として
 - Single Event Effects (SEEs) 例えば、SRAM/DRAMのSEU, MBU
 - Total Ionizing Dose (TID)
- これらの効果を調べる地上試験方法:
 - SEE 加速器による粒子ビームを使用
 - TID 10 keV X線、⁶⁰Co γ線、加速器による電子・陽子ビームを使用
- しかしながら、地上試験では現実の宇宙環境を完全に模擬できない。
 - 例えば・・・ 地上の施設で得られるエネルギーは宇宙環境より何桁も低い。
 - この問題点に関するいくつもの研究がなされている。



Changes for the Better

イントロダクション(2)

- 大きなエネルギーをもつイオンが浅い角度でデバイスに入射すると多くの MBUが発生する(はず)。しかしながら、実際には
 - イオンのエネルギーによる明確な効果は観測されていない。
 - 高エネルギーイオンでは観測される効果が小さくなる。
- この点はデルタ電子(δ線)のエネルギー分布による効果として説明される。
 デルタ電子: イオンの方向に放出され、実際のイオンの飛跡を形成する。
- 上記はSEEの閾値より大きなLETには当てはまるが、閾値より小さなLETでは事情が大きく異なる。
 - この場合、高いエネルギーのイオンでは反跳粒子が放出される確率が上がり、
 SEEに対する感度が上がる。
- 陽子による効果もこれと同様である。
 - 最近のいくつかの例外を除いて、陽子の直接のイオン化がSEUの原因になることはなく、陽子が物質内で反跳した原子核がSEUを起こす。
 - この効果の陽子のエネルギーに対する依存性を調べるのは複雑。

2009年7月31日

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会

MITSUBISHI 三菱電機

Changes for the Better

4

イントロダクション(3)

- これまでの研究では、非常に低いLETの粒子によって反跳された粒子の効果は、SRAMのSEU/SELの"異常な"断面積の振る舞いとして間接的に観測されている。
 - ディジタルな現象(SRAMのビット反転など)の発生回数の予想値からのズレ。
 - 高度なシミュレーションツールによる理論予想と実験の比較が必要。
- 今のところ、電子デバイス内で反跳された粒子のLETについての直接的証拠はない。
- この論文では、高エネルギー陽子による反跳粒子が引き起こしたSEEの直接的測定について述べている。
 - 測定ではNAND型フラッシュメモリを"SEE検出器"として用いた。
 - 陽子照射の効果の見積りには「GEANT4による原子核反応のシミュレーション」、 「デバイス記述モデル」、「FGに保持された情報の放射線劣化モデル」を組み合 わせたツールを開発。



215

使用したデバイス

使用したデバイス

- 主流から最先端まで3種類のテクノロジーによるNAND型フラッシュメモリ
 - 主な違い: FG (floating gate)の面積 → FG-CG (control gate)間の電気容量Cpp

| Table 1: Used devices | | | | | | |
|-----------------------|---------|---------|---------|--|--|--|
| プロセステクノロジー | T1 | T2 | T3 | | | |
| アーキテクチャ | NAND | NAND | NAND | | | |
| トンネル酸化膜厚 | ~8.5 nm | ~8.5 nm | ~8.5 nm | | | |
| 等価ONO厚 | ~15 nm | ~15 nm | ~15 nm | | | |
| FG面積(比) | 1 | 0.43 | 0.37 | | | |
| 1ブロックのセル数 | 1 Mbit | 1 Mbit | 1 Mbit | | | |

- 照射試験前のデバイスチェック
 - フラッシュメモリではデータ保持に 100%の保証はない。
 - データ保持時間が照射時間より長い ことをreferenceを用いて確認。
 - 全セルに "0" (FGに電荷が蓄積され) た状態)を書き込み保持時間の確認



Fig. 1. First principle sketch of the memories used in this work. (G. Cellere et al., IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

2009年7月31日

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会

MITSUBISHI 姜雷機

Changes for the Better

6

利用した放射線種および照射施設

- ⁶⁰Coγ線照射 @ CNR-ISOF, Bologna
 - 照射レート: 15.7 rad(Si)/s

重イオン照射 @ RADEF facility in Jyväskylä, Finland

Table 2: Used Ion Beam

| イオン | エネルギー [MeV] | LET in SiO ₂ [MeV·cm ² /mg] | Si中の飛程 [µm] |
|-----|-------------|---|-------------|
| Ne | 186 | 3.8 | 150.0 |
| Ar | 372 | 10.7 | 117.8 |
| Fe | 523 | 19.5 | 99.2 |
| Kr | 768 | 32.1 | 96.5 |
| Xe | 1217 | 56.4 | 97.3 |

陽子照射 @ TRIUMF PIF in Vancouver, Canada Table 3: Used Proton Beams

| ギー [MeV] | LET in Si [MeV·cm ² /mg] | Si中の飛程 [mm] | フルエンス [protons/cm ²] | | | | | |
|----------|-------------------------------------|-------------|----------------------------------|--|--|--|--|--|
| 34.5 | 0.013 | 7 | 1.44 x 10 ¹¹ | | | | | |
| 105 | 0.006 | 45 | 3.29 x 10 ¹¹ | | | | | |

| | == | and the state of t | · · · · · · · · · · · · · · · · · · · |
|------|-------|--|---------------------------------------|
| 34.5 | 0.013 | 7 | 1.44 x 10 ¹¹ |
| 105 | 0.006 | 45 | 3.29 x 10 ¹¹ |
| 498 | 0.002 | 615 | 8.52 x 10 ¹¹ |
| | | | |

照射レート: ~10-16 rad(Si)/s

エネル
フラッシュメモリの動作原理

• フラッシュメモリ: FGに電荷が蓄積されているかどうか → logic "0" or "1"



- フラッシュメモリに対する放射線の効果
 - フローティングゲートに蓄積された電荷のリークが発生。
 - → Logic "0" 状態のV_{TH}が減少
 - $\rightarrow 0 \ge 1 \text{ ov}_{TH}$ が近くなり、判別できなくなる。



- TIDとSEEの両方により電荷リークが発生する。
- 本論文ではこの現象をモデル化し、陽子によるTIDとSEEについての実験と モデル予想を比べている。

菱電機

D

 \bigcirc

N+

Ρ

G



217

TIDによるFGの電荷リークモデル

- FGに及ぼす2つのTID効果
 - 誘電体内での電荷生成、再結合、ドリフト
 - 光電効果による電子放出
- デバイスT2Iこ⁶⁰Coγ線を照射し、データ(右 図)をもとに、電荷リークモデルを構築 (照射前、全ビットに "0" が書き込まれている)
 - ドーズ量に伴いV_{TH}が変化する。
 - 電荷リーク量はトンネル酸化膜内の電場、すな わちFGに蓄積されていた電荷量(∝V_{TH})にも 依存する。
- 照射後のV_{TH}を、ドーズ量 doseと初期V_{TH0}の 関数として
 - $V_{TH} = f(V_{THO}, dose) \quad \dots \quad (1)$
 - と求めた。(データと合うように)
 - 評価法は別論文で発表予定としている。



Fig. 2. Effect of 60 Co γ -rays irradiation on V_{TH} distribution. T2 devices. (G. Cellere et al., IEEE Trans. Nucl. Sci.

vol. 55, No. 6, 2904 (2008) より引用)

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会

10

MITSUBISHI 萎雷機

2009年7月31日

Changes for the Better

SEEによるFGの電荷リークモデル

- SEEのFGに対する影響
 - イオン粒子入射の飛跡に沿って導通状態となり、 FGの電荷がCG/substrateに流れる。
 - イオンが当たったFGのみが影響を受ける。
- デバイスT2に重イオンビーム照射し、データ (右図)をもとに、電荷リークモデルを構築 (照射前、全ビットに "0" が書き込まれている)
 - V_{TH}の変化量はイオンの種類 (LET) に依存する。
 - 電荷リーク量はV_{TH}にも依存する。
 - V_{TH}のシフトを受けるメモリセルの数はイオンの 種類にほとんど依存しない。
- SEE後のV_{TH}を、LETと初期V_{TH.0}の関数として $V_{TH} = g(V_{TH,0}, LET)$ (2) と求めた。(データと合うように)
 - 評価法は別論文で発表予定としている。





Fig. 3. Effect of different ion beam irradiation (but identical fluence) on V_{TH} distribution. T2 devices; ion beams are those reported in Table II. (G. Cellere et al., IEEE Trans. Nucl. Sci.

vol. 55, No. 6, 2904 (2008) より引用)





- FGでは放射線の効果がアナログ情報として得られる。
 - LETやドーズ量に対し、V_{TH}が連続的に変化する。
 - SRAMなどでは、完全にディジタル情報(0 or 1)の状態しかない。
 - V_{TH}を測定することにより、入射した粒子のLETに関する情報が得られる。
- NAND型フラッシュの方がNOR型よりも本論文の研究目的 には適している。
 - NAND型のコントロールゲートはタングステン混合物 (W_xSi_y)。
 NOR型はTi_xSi_yが多い。
 - メタル層1がタングステンである。
 - High-Zの物質がFCやトンネル酸化膜のすぐ上にあるのが良い。
 - 陽子による反応が起こりやすい。



Metal 2 (Al)

(G. Cellere *et al.*, IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

```
2009年7月31日
```

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会

MITSUBISHI 三菱電機

Changes for the Better

12

陽子照射によるTIDおよびSEEの影響(1)

- T1に3種類のエネルギーの陽子ビーム をそれぞれ 30 krad 相当照射し、V_{TH} の変化のエネルギー依存性を調べた。
- TIDによるV_{TH}のシフトが見られる。
 - 変化量は陽子エネルギーに依存しない
 - 変化量はドーズ量で決まる。
- 498 MeV陽子ビームでは、テール部に excessがある。
 - 陽子がフラッシュ内で反跳した二次原 子核が起こしたSEEによる。
 - ・ 一次陽子のLETは小さすぎる。





Fig. 4. V_{TH} distributions of T1 devices, before irradiation and after irradiation with protons of different energy.

218

MITSUBISHI



219

陽子照射によるTIDおよびSEEの影響(2)

- T2についても同試験を実施。
 - T1と同じような結果だが、T2の方が より多くのFGに影響を及ぼしている。
 - T2の方が微細なプロセス → より小 さなLETにも感度がある。
- 陽子ビームによるTIDおよびSEE(デバイスT2) 100000000 10000000 Cumulative number of FGs 1000000 100000 Fresh 10000 -35.4MeV 1000 105MeV 100 ★ 498MeV 1 2 3 VTH (V)
- T3について V_{TH} のマップを作成した。
 - テール部のFGは $V_{TH} < 3V_{\circ}$
 - ほとんどのhit-FGは他のhit-FGと離れているが、いくつはは隣接しているものもあった。
 - 反跳原子核が陽子ビームと垂直な 方向に放出された事象。

Fig. 5. V_{TH} distributions of T2 devices, before irradiation and after irradiation with protons of different energy.

(G. Cellere et al., IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)



Fig. 6. Map of a V_{TH} over a small portion of a T3 device after irradiation with 498 MeV protons.

(G. Cellere et al., IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

2009年7月31日

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会

MITSUBISHI 三菱電機

Changes for the Better

Fluence

[/cm²]

1 × 101

14

陽子照射によるTIDおよびSEEの影響(3)

陽子エネルギーの違いによるV_{TH}テール部のビット数の比較

- 本実験は各エネルギーで 30 krad を照射した。
 - ドーズ量 = LET x デバイス厚 x 照射陽子数(fluence)
 - 陽子エネルギー 大 ⇔ LET 小
 - → 陽子エネルギー 大 ⇔ 照射陽子数 大
- 陽子1個あたりに発生するV_{TH}テール 部のビット数で比較
 - 陽子のエネルギーを高くすると、桁違いで小さいV_{TH}ビットが増加。
 - 照射陽子数が大きいこと(統計大)に
 よって見えた効果ではなく、エネル
 ギーが高いことによる効果。
 - 陽子と物質の反応の物理による。
- T1の方がT2より感度が低い。
 低いLETに感度がないため。

| | 54.5 | 0.015 | 1.4 × 10 |
|--------------------|-----------------|-------|------------------------|
| | 105 | 0.006 | 3.1 x 10 ¹¹ |
| | 498 | 0.002 | 9.4 x 10 ¹¹ |
| | | | |
| l0 ⁻⁸ [| | | |
| | - ● _ T2 | | • |
| 10-7 | ···∎··· T1 | | |
| 0-10 | * | | |

<u>陽子照射量</u>

LET in Si

[MeV·cm²/mg]

0 01 2

Energy

[MeV]

21 E



Fig. 7. The number of "tail" FGs normalized over the proton fluence, as a function of the proton energy, for T1 and T2 devices. The T1 device showed no tail bit after irradiation at 35.4 MeV.

(G. Cellere *et al.*, IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

高LETの反跳原子核の生成(1)

- <u>定性的には</u>、V_{TH}のテールは陽子が生成した反跳原子核よるものと分かった。
- 定量的評価をするためのモデル構築する。
- 陽子と物質(Si, W)との反応によってある LETを持つ反跳原子核が生成される生成 断面積を計算
 - GEANT4 v9.1 patch 2を使用
 - 粒子と物質の反応シミュレータ
 - 反応確率(頻度)
 - 生成された粒子の種類およびエネルギー・ 運動量
 - 生成された粒子が物質中で落とすエネル ギー(dE/dx; LETに相当)
 - などを計算する。
- 生成断面積をLETの関数として求めた。



Fig. 8. Calculated nuclear reaction cross section, for protons of different energies impinging on Silicon (a) and Tungsten (b).
 (G. Cellere *et al.*, IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

2009年7月31日

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会

MITSUBISHI 三菱電機

Changes for the Better

高LETの反跳原子核の生成(2)

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会

- 反跳原子核生成断面積の物質依存性
 - 陽子-Si反応の断面積は、低エネルギー (~50 MeV)ですでに飽和している。
 - 一方、タングステンのような重い原子核と陽子の反応では、エネルギーとともに断面積も大きくなっていく。
 - → 大きなLETの反跳原子核を作るためには High-Zの物質の存在が重要となる。



Fig. 9. Calculated nuclear reaction cross section, for protons 34.5 MeV (a) and 498 MeV (b) impinging different materials.

(G. Cellere et al., IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

17

MITSUBISHI



221

高LETの反跳原子核の生成(3)

- 前述の反跳原子核生成断面積を用いて、 T2Ic30 kradの陽子を照射したときに生成 される反跳原子核イベント数をLETの関数 として計算した。
 - この分布をV_{TH}テール部のモデルに使う。
- 実際には、反跳原子核がFG内を通過する
 必要がある。
 - この計算では考慮されていない。
 - それぞれの反跳原子核はFGの異なる領 域を通過するため、実効的なLETも異なる。
 - この効果を考えるのは簡単ではないため、
 本論文では無視する。
 - 物質通過後(<100 nm)のLET分布が大きく 変わらない。
 - デバイスの厚さは数μm程度。





LET (MeVcm²/mg) Fig. 11. Distribution of LETs for 498 MeV protons impinging on W, after the

MITSUBISHI

荡雷機

タングステンはFGのすぐ近くにある。
 recoils have crossed different ranges of materials.
 (G. Cellere *et al.*, IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)
 日 最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会 18

for different incoming protons energies

への 剛 成 別 禄 住 畑 化 友 卿 に 対 9 る 使 酌 安 貝 云 第 2 回 安 貝 云

Changes for the Better

陽子照射に伴うV_{TH}の変化のモデル化

- ・ 照射後のV_{TH}を計算する際に困難な点:
 ・
 - すべての反跳原子核がFGを通過するわけではない。
 - 照射後の V_{TH} は、ドーズ量やLETのみならず、照射前または反跳原子核がFGを 通過する前の $V_{TH,0}$ にも依存する。
- 本論文で記述されているアプローチでは、これらの問題を解決している。
- 今回は陽子エネルギー498 MeVについて評価した。(総照射量 30 krad)
 - 1. 時間 τ^* 分の陽子を照射(相当するドーズ量を d^* とする)。この時点での V_{TH} は $V_{TH,1} = f(V_{TH,0}, d^*)$ に変化している。
 - 2. 時刻t*で陽子が反跳原子核(*LET*)を生成。このとき、 V_{TH} は $V_{TH,2} = g(V_{TH,1}, LET)$ に変化する。
 - 3. この後、ドーズ量が30 kradに達するまで陽子を照射。この間、陽子-原子核反応 は起こらなかったとする。照射終了後のVTHは
 - $V_{TH,3} = f(V_{TH,2}, 30[krad] d^*)$ に変化している。
- ・ このアプローチにおいて、free parameterは "threshold dose" d_{TH} のみ。
 - ... d_{TH}: 反跳原子核がFGを通過するような陽子-原子核反応が起こるまでの平均 ドーズ量(上記の*d**に対応)
 - 陽子-原子核反応が起こるまでのドーズ量ではない。

²⁰⁰⁹年7月31日



MITSUBISHI 三菱電機

Changes for the Better





Fig. 13. Experimental pre-irradiation V_{TH} distribution and simulated distributions. (G. Cellere *et al.*, IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

- 以下の効果は無視している。
 - ひとつのFGが2回以上反跳原子核に
 ヒットされる。
 - ひとつの反跳原子核が2個以上のFG をヒットする。
- 結果は右図:

(「TIDのみを受けたFG」と「反跳原子核にヒット されたFG」を分けて表示してある)

- 反跳原子核にヒットされたFG全てが テール部に入っているわけではない。
 - LETが小さく、V_{TH}をテール部まで変化 させられなかった。
 - 反跳原子核のヒットを受けるとV_{TH}が 小さくなる。その後のTIDによる効果も 小さくなり、最終的にメイン部に吸収さ れてしまう。



223

実験データとシミュレーションの比較(1)



Fig. 14. Simulated V_{TH} distributions (obtained for different d_{th} values) compared with experimental data.

(G. Cellere et al., IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

- 問題点:テール部の形が合わない。
 - の平均値が大きくなってしまう。
 - 非常に小さいV_{TH}領域のビット数が 少なすぎる。

2009年7月31日

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会



1000000000

Changes for the Better

22





Fig. 15. Simulated V_{TH} distributions (obtained for different values LET, kept fixed) compared with experimental data.



他の条件を変えてシミュレーションした

反跳原子核は決まったLETを持つとし、その LET値をいろいろ変える。

(GEANT4の結果は使わない)

- LET = 25 MeV·cm²/mgあたりで、データとの 一致が良い。
- ただ、全ての反跳原子核がそのような高LETを 持つという仮定はおかしい。
- 反跳原子核のLET分布は0~LETmaxの範囲で 一様分布とし、LET_{max}をいろいろ変える。 (GEANT4の結果は使わない)
 - LET_{max} = 30 MeV·cm²/mgでデータと良く一致。
 - この条件では高LETの事象を多く見積もる。
- → 前ページ(GEANT4-based)のシミュレー ションでは、高LETの事象数が十分ではない。

Fig. 16. Simulated V_{TH} distributions (obtained LET uniformly distributed in the $[0, LET_{max}]$ range) compared with experimental data. (G. Cellere et al., IEEE Trans. Nucl. Sci. vol. 55, No. 6, 2904 (2008) より引用)

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会 2009年7月31日

MITSUBISHI

萎雷機

実験データとシミュレーションの比較について

高LETを持つ事象数についての考察

- 反跳原子核の事象はLET全領域で 8.5 x 10⁷ /cm²
- このうち 20 MeV·cm²/mg より大きいLETを持つ事象は317 /cm²
- デバイス中でFGのアレイがある部分の面積は約0.11 cm²
- → 20 MeV·cm²/mg より大きいLETを持ち、かつ、それがFGアレイ部に当たる事象数は 317 x 0.11 = ~35
- FGアレイ部でも、実際にFGが存在する部分の面積はさらに小さく、その重 みを掛けると、テール部に現れる事象数は~6 程度
- 一方、実験データを見ると、V_{TH} < 1V にある 事象数は 4979
- このデータとシミュレーションの違いは大きす ぎる。



2009年7月31日

最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会



Changes for the Better

結論(1)

- この論文ではTIDと陽子による反跳原子核のSEEがフラッシュメモリに対して どのように影響を与えるかを示した。
 - V_{TH}の分布にテールができる。→反跳原子核のLETに起因する。
 - 著者の知る限りでは、最初の反跳原子核によるSEUの直接的な証拠。
- 実験データ(γ線によるTIDと重イオンビームによるSEE)をもとに、シミュレーションツールを開発し、498 MeVの陽子ビームの影響を調べた。
 実験データを定性的には説明できたが、定量的には不一致であった。



結論(2)

- データとシミュレーションの間の不一致について
 - タングステン(W)の存在に関係? W の量は実はもっと多いのでは?
 - 既に十分多くの W があり、しかもそれがちょうど陽子の通り道かつFGのすぐ上にある ため、これが原因とは考えにくい。
 - W以外に原因として何が考えられるか?
 - 反跳原子核生成断面積の大きな不純物が含まれる?
 - 類似例: SiO₂にドープされるBのうち¹⁰Bの割合は極微量であるが、熱中性子に対する断面 積が大きいため、¹⁰Bがデバイスの応答の支配的な役割を果たす。
 - これを調べるためには、より詳細なモンテカルロシミュレーションによる研究が必要。
 - 複数の反跳原子核が一つのFGをヒットしている?
 統計的な理由により、この可能性は極めて低い。
 - ・ 特定のデバイスに関係する効果?
 - 多量のWがFGのすぐ上に存在し、小さな事象に対して十分な感度を持っている状況で、それがp-W反応に関係しないとすると、何が原因か?

2009年7月31日 最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会





●平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会 第2回委員会 2009.7.31●

NSREC2009 参加報告

2009 IEEE NUCLEAR & SPACE RADIATION EFFECTS CONFERENCE

2009.7.31

HIREC株式会社 技術部 浅井 弘彰



NSREC 2009

▶開催日 : July. 20 – 24 , 2009

▶開催場所: HILTON QUEBEC, QUEBEC CITY, CANADA

>発表件数:132件/197件【昨年は143件】 (Oral:47 / Poster:55 / Data Workshop:30)

▶参加者数: 505名【昨年は約525名】





This document is provided by JAXA.

地域別内訳【発表論文】







地域別内訳【参加者】



新デバ2-6 HIREC-TD-E09026

USA 66%

2

新デバ2-6

HIREC-TD-E09026



228

日本からの発表論文



発表件数:3件【昨年は4件】

·JAXA殿

D. Kobayashi et el "Device-Physics-Based Analytical Model for Single Event Transient in SOI CMOS Logics" (Oral)

·JAEA殿

S. Onoda et el "Transient Response of Charge Collection by Single Ion Strike in 4H-SiC MESFETs" (Poster)

·総合研究大学院大学

<u>T. Makino</u> "Soft-Error Rate in a Logic LSI Estimated from SET Pulse-Width Measurements" (Poster)



| | Monday July 20 | Tuesday July 21 | Wednesday July 22 | Thursday July 23 | Friday July 24 |
|----|-------------------|--------------------|----------------------|---------------------|--------------------------|
| AM | Short Course #1 | SessionA | Invited Talk #1 | Invited Talk #2 | Invited Talk #4 |
| | Short Course #2 | | SessionD | SessionG | SessionI |
| | Short Course #3 | | SessionE | SessionH |) |
| | Short Course #4 | SessionB | SessionF | Invited Talk #3 | |
| PM | Short Course #5 | SessionC | Poster Session | Data Workshop | CREME-MC OPEN MEETING |
| | Short Course #6 | | | | |

Invited Talk #1:Quebec: World Heritage City Barry Lane with Canadian Cultural Landscapes Invited Talk #2:Understanding Hardness-by-Design Approaches for Fabricating Rad-Hard Microelectronic Components Ronald C. Lacoe with The Aerospace Corporation Invited Talk #3:Combating Cyber Crime: A New Canadian Cyber Forensic Organization Dr. Mourad Debbabi with Concordia University Invited Talk #4:The Road that Walks, A History of Travel on the St. Lawrence River David Mendel with Canadian Cultural Landscapes

5



SHORT COURSE



"Selection of Integrated Circuits for Space Systems"

Short Course Chairman : Ken LaBel with NASA

"COTS* vs RH**" 選択方法(考え方)に関する内容

*Commercial Off-The-Shelf / **Rad-Hard

| 1. | PROGRAMMATIC ASPECTS OVERVIEW |
|----|---|
| | By John M. Stone with Southwest Research Institute |
| 2. | RADIATION EFFECTS POINT OF VIEW |
| | By Keith Avery with Air Force Research Laboratory |
| 3. | RELIABILITY CONSIDERATIONS |
| | By Doug Sheldon with Jet Propulsion Laboratories |
| 4. | ELECTRONIC DESIGNER'S PERSPECTIVE |
| | By Dr. Kirk Kohnen and Kay Jobe with Boeing Space and Intelligence Systems (S&IS) |
| 5. | EXAMPLE 1: TRADING ASIC AND FPGA CONSIDERATIONS FOR SYSTEM INSERTION |
| | By Melanie Berg with MEI Technologies Inc. |
| 6. | EXAMPLE 2: TRADING MIXED SIGNAL DEVICES FOR INSTRUMENT OR HIGH-PRECISION |
| | APPLICATIONS |
| | By Dr. Steven C. Moss with The Aerospace Corporation |

6

新デバ2-6



Trade-off

Mission Duration?

Functional risk

 Schedule risk Cost risk

This document is provided by JAXA.



230

Category



| | Category | Oral | Poster | Total | Comments |
|-----------|--------------------------------------|------|--------|------------|-----------------------------------|
| Session A | SEEs: Mechanisms and Modeling | 10 | 11 | 21 (late2) | JAXA 小林殿(Oral) 総研大 牧野殿(Poster) |
| Session B | Basic Mechanisms of Rad Effects | 5 | 5 | 10 (late2) | JAEA 小野田殿(Poster) |
| Session C | Radiation Effects in Devices and ICs | 5 | 8 | 13 (late1) | - |
| Session D | Photonics Devices & ICs | 3 | 2 | 5 | - |
| Session E | Hardness Assurance | 4 | 6 | 10 (late1) | - |
| Session F | Dosimetry | 4 | 3 | 7 | - |
| Session G | Hardening By Design | 4 | 3 | 7 | _ |
| Session H | Space and Terrestrial Environments | 3 | 4 | 7 (late1) | - |
| Session I | SEEs: Devices and ICs | 9 | 13 | 22 (late3) | _ |
| DATA Wor | kshop | | 30 | 30 (late3) | |
| | | | | 計: 132件 | |



SESSION A <SEEs: Mechanisms & Modeling>

| | タイトル | 筆頭発表者および所属 |
|----|---|---|
| 1 | Operational SER Calculations on the SAC-C Orbit Using the Multi-Scales Single Event Phenomena Predictive Platform (MUSCA SEP3) | G. Hubert (CNES) |
| 2 | Device-Physics-Based Analytical Model for Single Event Transients in SOI CMOS Logics | D. Kobayashi (JAXA) |
| 3 | Single Event Transient Pulse Quenching in 130 nm CMOS Logic | J. R. Ahlbin (Vanderbilt University) |
| 4 | The Random Telegraph Signal Behavior of Intermittently Stuck Bits in SDRAMs | A. M. Chugg (MBDA) |
| 5 | Laser Verification of Charge Sharing in a 90 nm Bulk CMOS Process | O. A. Amusan (Vanderbilt University) |
| 6 | A Mechanism Versus SEU Impact Analysis of Collector Charge Collection in SiGe HBT Current Mode Logic | T. Zhang (Auburn University) |
| 7 | Heavy Ion Microbeam and Broadbeam Transients in SiGe HBTs | J. A. Pellish (NASA Goddard) |
| 8 | Impact of Low-Energy Proton Induced Upsets on Test Methods and Rate Predictions | B. D. Sierawski (Vanderbilt University) |
| 9 | Modeling of Alpha-Induced Single Event Upsets for 45 nm Node SOI Devices Using Realistic C4 And 3D BEOL Geometries | H. H. K. Tang (IBM) |
| 10 | Criteria for the Use of Advanced Physical Modeling for Rate Prediction of Single Event Effects in Microelectronics | R. A. Weller (Vanderbilt University) |

【#4】

SDRAMに対してプロトン照射を実施し、断続的に発生するStuck bitについて評価した。

その結果、①Stuck bitの発生にはイオン入射によるDisplacement Damageの影響があること、 ②Stuck bitは、「デバイススケーリングダウン」、「動作温度の上昇」により増加することがわかった。

新デバ2-6 HIREC-TD-E09026



SESSION A <SEEs: Mechanisms & Modeling>



231

【#8】

65nm 4MSRAMに対して、SEUのプロトンエネルギー依存性に着目しMREDシミュレーション計算 を行い、新しい軌道上でのSEU予測モデルを提案。感応領域への低エネルギープロトン付与は3 種類("direct ionization"/"recoil"/"nuclear reaction")存在し、それぞれについて反転断面積が 異なることがわかった。

従来のSEU予測モデルに低エネルギープロトンを追加することが重要である。

[Temperature Characterization of DSET in a Bulk and FD-SOI Technology]

by M.J. Gadlage (Vanderbilt University)

130nm バルクデバイスとFDSOI(SOI層40nm/BOX層400nm)に重イオン照射を行い、照射中に 温度を-140°C~+150°Cに可変させSETパルス幅を測定した。その結果、バルクデバイスでは、温 度上昇とともに、SETパルス幅も上昇することがわかった。TCADシミュレーション解析の結果、 PMOSの温度上昇により寄生バイポーラ増幅のEnhancement Effectが、SETパルス幅を増加さ せる主な原因であることがわかった。また、FDSOIは、温度依存性はほとんど見られなかったため、 SEU対策のAdditional Advantageをもつ。



SESSION B <Basic Mechanisms of Radiation Effects>



| | | タイトル | 筆頭発表者および所属 |
|---|---|--|---|
| | 1 | Fin-Width Dependence of Ionizing Radiation-Induced Degradation in 100-nm Gate Length FinFETs | F. El Marnouni (Vanderbilt University) |
| | 2 | The Enhanced Role of Shallow-Trench Isolation in Ionizing Radiation Damage of 65 Nm RF-CMOS on SOI | A. Madan (George Tech) |
| | 3 | Modeling Ionizing Radiation Effects in Shallow Trench Isolation Field Oxide FETs | M. L. McLain (Arizona State University) |
| | 4 | Effect of Total Ionizing Dose on Combinational Logic Circuits Operating at Ultra- Low Power | M. C. Casey (Vanderbilt University) |
| ſ | 5 | Error Instability in Floating Gate Flash Memories Exposed to TID | M. Bagatin (Università di Padova) |





232





| - | | | |
|---|---|--|---|
| | | タイトル | 筆頭発表者および所属 |
| | 1 | Fin-Width Dependence of Ionizing Radiation-Induced Degradation in 100-nm Gate Length FinFETs | F. El Marnouni (Vanderbilt University) |
| | 2 | The Enhanced Role of Shallow-Trench Isolation in Ionizing Radiation Damage of 65 Nm RF-CMOS on SOI | A. Madan (George Tech) |
| | 3 | Modeling Ionizing Radiation Effects in Shallow Trench Isolation Field Oxide FETs | M. L. McLain (Arizona State University) |
| | 4 | Effect of Total Ionizing Dose on Combinational Logic Circuits Operating at Ultra- Low Power | M. C. Casey (Vanderbilt University) |
| | 5 | Error Instability in Floating Gate Flash Memories Exposed to TID | M. Bagatin (Università di Padova) |

【#5】

Flash memoryに10keVのX-rayおよび4.2MeVのプロトンを照射し、TID効果によるFloating Gate (FG)エラーについて評価した。トラップされた電荷の影響により、Vthが徐々にシフトすることがわかった。

⇒

アニーリングが重要なパラメータとなる。



SESSION D <Photonics Devices & ICs>



12

| | タイトル | 筆頭発表者および所属 |
|---|--|---|
| | Advances in Measuring & Modelling the Atmospheric Radiation Environment | C. Dyer (QinetiQ) |
| | A GIOVE Derived Galileo Electron Spectrum and Comparison to Models | B. O. Taylor (University of Surrey) |
| C | On-Orbit Radiation Dose Monitoring Using pFET Dosimeter | A. L. Bogorad (Lockheed Martin Space Systems) |

【#3】

Antimonide Superlattice赤外線検出器(テルル化水銀カドミウムHgCdTeアレー)の放射線耐性評価を行った。1MeVプロトンを使用し、4E+13[p/cm2]まで照射した(@室温)。

結論:Superlattice構造は"hard-wire"のため放射線耐性があり、次世代photo deviceとして期待できる。



SESSION E <Hardness Assurance>



233

| | | タイトル | 筆頭発表者および所属 |
|---|---|---|---|
| | 1 | A Novel Device Architecture for SEU Mitigation: the Inverse-Mode Cascode SiGe HBT | S. D. Phillips (Georgia Tech) |
| (| 2 | Junction Isolation Single Event Radiation Hardening of a 200 GHz SiGe:C HBT Technology Without Deep Trench Isolation | R. M. Diestelhorst (Georgia Tech) |
| ſ | 3 | Design and Validation of a 90 nm Radiation Hardened by Design Standard Cell Library | D. E. Pettit (Arizona State University) |
| | 4 | Application of Transistor Layout-Based RHBD Techniques to SEU Hardening of Third-Generation SiGe HBT Logic Circuits | A. K. Sutton (Georgia Tech) |

【#2】

SiGe HBTsに対してHDR/LDRにてTID照射を行った結果、Icが過剰に増加(Shift)した。この現象は照射中と照射後に顕著に現れた。

結論:照射前、照射中、照射後も常時電流をモニタリングすることが重要。

(このデバイスについては)MIL-STD883 TM1019.7 「3.10 Post Irradiation Procedure」は不適切 と提言



SESSION F

| Ca | ancel ארא ארא ארא ארא ארא ארא ארא ארא ארא אר | 筆頭発表者および所属 |
|----|---|---|
| 1 | A Novel Device Architecture for SEU Mitigation: the Inverse-Mode Cascod HBT | e SiGe <u>S. D. Phillips (Georgia Tech)</u> |
| 2 | Junction Isolation Single Event Radiation Hardening of a 200 GHz SiGe:C H Technology Without Deep Trench Isolation | IBT R. M. Diestelhorst (Georgia Tech) |
| 3 | Design and Validation of a 90 nm Radiation Hardened by Design Standard (Library | D. E. Pettit (Arizona State University) |
| 4 | Application of Transistor Layout-Based RHBD Techniques to SEU Hardeni Third-Generation SiGe HBT Logic Circuits | ng of A. K. Sutton (Georgia Tech) |

【#3】

新しいRADFETとしてSOI型RADFET(BOXRADFET)を開発し、特性を評価した。この結果、① Dose rate依存性がほとんどないこと、②室温でアニーリングすること、③2Mrad(SiQ)までリニア 特性を保つことがわかった。

"TID hardend read-out circuit"の実現











| | タイトル | 筆頭発表者および所属 |
|---|---|---|
| 1 | A Novel Device Architecture for SEU Mitigation: the Inverse-Mode Cascode SiGe HBT | S. D. Phillips (Georgia Tech) |
| 2 | Junction Isolation Single Event Radiation Hardening of a 200 GHz SiGe:C HBT Technology Without Deep Trench Isolation | R. M. Diestelhorst (Georgia Tech) |
| 3 | Design and Validation of a 90 nm Radiation Hardened by Design Standard Cell Library | D. E. Pettit (Arizona State University) |
| 4 | Application of Transistor Layout-Based RHBD Techniques to SEU Hardening of Third-Generation SiGe HBT Logic Circuits | A. K. Sutton (Georgia Tech) |

Invited Talk #2: Understanding Hardness-by-Design Approaches for Fabricating Rad-Hard Microelectronic Components Ronald C. Lacoe with The Aerospace Corporation

・HBD技術(耐TID&SEE)の紹介 Advanced Tech.ではチャージシェアリングによるMBUが問題となる。 Error MBUはイオン入射角依存性をもつ。 →NMOS/N-well full isolation が効果的。 SEU ・SETは周波数・ロジックパルス幅に起因する。 \rightarrow Mitigation SET will likely remain a significant challenging in the future!. Frequency

【#2】

SiGe:C HBTついてJunction IsolationRHBDによるSEE耐性(電荷収集量)を実験/シミュレー ション(TCAD)にて評価した。実験では、プロトン(63MeV)およびMicro beam(酸素イオン 36MeV)を照射。

結果:過去に設計したモデルと比較して、69%電荷収集が減少した。また、実験結果とシミュレー ション結果は良い一致を示した。



SESSION H <Space and Terrestrial Environments>



16

SET

| | タイトル | 筆頭発表者および所属 |
|---|--|---|
| 1 | Advances in Measuring & Modelling the Atmospheric Radiation Environment | C. Dyer (QinetiQ) |
| | A GIOVE Derived Galileo Electron Spectrum and Comparison to Models | B. O. Taylor (University of Surrey) |
| 3 | On-Orbit Radiation Dose Monitoring Using pFET Dosimeter | A. L. Bogorad (Lockheed Martin Space Systems) |

【#2】

ガリレオ計画の試験衛星GIOVE-A、GIOVE-Bからの放射線モニタ結果を解析し、既存のモデルを 利用して独自の"Spectrum Flux"をモデル化した。

従来モデルのAE-8は、1.5MeV以上の電子でフライトデータと不一致。新しいモデルは、良い一致 を示した。

[Evaluation of Galactic Cosmic Ray Models]

by J.H. Adams (NASA Marshall Space Flight Center)

Galactic Cosmic Ray(GCR)スペクトルのモデル(5種類)について、過去50年分の実測データを 基に評価した。

その結果、"Nymmik model"が最も実測データと一致していた。

⇒このmodelは、現在開発中の"CREME-MC"に適用







235

| | タイトル | 筆頭発表者および所属 |
|---|--|---|
| 1 | Development of a Radiation-Hardened Lateral Power MOSFET for Point?of-Load Applications | P. E. Dodd (Sandia National Laboratories) |
| 2 | Analysis and Testing of a Radiation Hardened by Design SerDes Transmitter Driver in 90 nm CMOS | S. A. Armstrong (NAVSEA Crane/Vanderbilt) |
| 3 | Single Event Transient Response of SiGe Voltage References and Its Impact on the Performance of Analog and Mixed-Signal Circuits | L. Najafizadeh (Georgia Tech) |
| 4 | Effects of Ionizing Radiation on Digital Single Event Transients in a 180?nm Fully Depleted SOI Process | P. M. Gouker (MIT Lincoln Laboratory) |
| 5 | Heavy Ion Induced Digital Single Event Transients in a 180 nm Fully Depleted SOI Process | M. J. Gadlage (Vanderbilt University) |
| 6 | Analysis of Single-Event Transients in Integer-N Frequency Dividers and Impacts on Phase-Locked Loop Performance | T. D. Loveless (Vanderbilt University) |
| 7 | Design and Layout Effects on SET Propagation in ASIC and FPGA 90-nm Test Structures | S. Rezgui (Actel Corporation) |
| 8 | Use of Laser to Explain Heavy Ions Induced SEFIs in SDRAMs | A. Bougerol (EADS IW) |
| 9 | Single-Event Upsets and Multiple-Bit Upsets on a 45 nm SOI SRAM | D. F. Heidel (IBM Research) |

【#5】180nmSOIプロセスについて、レーザー照射によるSETパルス幅を測定・評価。入射するイオンのLocation を可変させ照射したところ、Gateに入射させた結果が最もSETパルス幅の大きい結果となった。また、Floating bodyは、Pulse Broadening・Bipolar Amplifier Effectなどにより、SETパルス幅を増加させる。

【#9】45nmおよび65nmSOISRAMに重イオン・プロトン照射を行い、SBU/MBUを評価。

・重イオン照射結果:45nm/65nmともにSBU-CrossSectionは同じ結果。(LETth<1)

・プロトン照射結果: E>5MeVの場合、45nm/65nmともにSBU-CrossSectionは同じ結果だが、低エネルギーの場合、Cross-Sectionは上がる。(ProtonのDirect IonizationによるUpsetが原因)

・MBUはパターン依存性があり、Bit Lineに沿って発生することがわかった。



Data Workshop



18

[Heavy-Ion and Total Ionizing Dose (TID) Performance of a 1Mbit Magnetoresistive Random Access Memory (MRAM)] by R.R. Katti (Honeywell))

1Mbit MRAMについて、ガンマ線照射および重イオン照射を行い放射線耐性評価を実施。

結果:TID⇒1Mradまで耐性をあり。

H.I.⇒LET<70[MeV-cm²/mg](@Fluence10⁷-10⁸[ions/cm²])までハードエラーなし。

LET=78[MeV-cm²/mg] (@Fluence10⁸[ions/cm²])において、

多数のMJT (Magnetic Tunnel Junction) bitについてハードエラーが発生した。

結論:今回評価したMRAMは、強い放射線耐性をもつ!





所感

*



20

- ✓アメリカからの発表が全体の70%以上を占めており、RADECSとは対照的であった。(特に、Vanderbilt大学の発表が多い。)
- ✓SiGe HBTに関する放射線評価の発表が多い印象を受けた。
- ✓照射手法として、特にLaser照射が目立っており、Mapping解析を行った論文が 多数あった。
- ✓評価内容について、シングルイベントではSET評価が圧倒的な割合を占め、トー タルドーズではELDRS評価の論文が多かった。
 - ・昨年のRADECSでもELDRSの発表が多く、その中で加速試験手法の提案もされていることから、今後MIL-STD883 TM1019は見直されるかもしれない。
- ✓地上中性子に関して、発表がほとんどなかったため、IRPS、SELSE、IOLTS等で、世界動向をウォッチする必要があると考える。
- ✓NSRECは世界最大級の学会であり、継続的に調査すべきである。

RADECS: Radiation and its effects on components and systems / IRPS: Int'l Reliability Physics Symposium SELSE: IEEE Workshop on Silicon Errors in Logic-System / IOLTS: Int'l On-line Testing Symposium



NSREC2010の紹介



ANNOUNCEMENT and FIRST CALL FOR PAPERS



www.nsrec.com

Sponsored By IEEE/NPSS Radiation Effects Committee

Supported By

Defense Threat Reduction Agency Air Force Research Laboratory Sandia National Laborator ies Jet Propulsion Laborator y NASA Electronic Parts and Packaging Program BAE Systems Micro-RDC Honeywell Boeing Northeup Gramman

2010 IEEE NUCLEAR AND SPACE RADIATION EFFECTS CONFERENCE Short Course and Radiation Effects Data Workshop

July 19 - 23, 2010 Sheraton Denver Downtown Hotel Denver, Colorado

The 2010 IEEE Nuclear and Space Radiation Effects Conference will be held July 19 - 23 in Denver, Colorado at the Sheraton Denver Downtown Hotel. The Conference features a technical program consisting of eight to ten technical sessions of contributed papers describing the latest observations in radiation effects, a Short Course on radiation effects offered on July 19, a Radiation Effects Data Workshop, and an Industrial Exhibit. The Technical program includes oral and poster sessions.

At this meeting of engineers, scientists, and managers, papers will describe nuclear, space, atmospheric, and terrestrial radiation effects on electronic and photonic materials, devices, circuits, sensors, and systems. Papers will also describe semiconductor processing technology and design techniques for producing radiationtolerant (hardened) devices and integrated circuits. International participation is strongly encouraged.

We are soliciting papers describing significant new findings in the following

DSN2009- The 39th Annual IEEE/IFIP Int'l Conf. On Dependable Systems and Networks 出張報告





日立·生研 伊部英史

DSN概要

■日時:2009年6月29日~7月2日

(報告者参加は6月29,30日のみ)

■場所: Estoril, Lisbon, Portugal

■参加者数:250名以上(26カ国)

 ・インフルエンザの影響が心配されたが、前年を上回る参加 者数を得た。

■6ワークショップ、2シンポジウムから構成される国際会議。

伊部はその中のWorkshop on Secure and Dependable Nanocomputingに参加。 "Scaling Effects on Neutron-Induced Soft-Error in SRAMs down to 22nm Process"

・その他(日研)金川主管研と連名でTutorial講演を予定していたが、景気の影響か、事前登録者数が少なかったため、他の2件と合わせ中止。

システム評価の基本



システム対策の基本

| 名称 | 概念図 | 手法の概要 | 短所 |
|--|---|---|---------------------------------------|
| TMR (Triple Module Redundancy) | シ ー - - - - - - - - - - - - - | ・3系統で同じ命令を 実行,多数決結果を 正として次ステップを 実行 | ・面積, 消費電力 ペナルテイ大 ・多数決部での遅 延 |
| Duplication + Comparison+ Checkpoint | | ・2系統で同じ命令を 実行し、一致しない 場合、保存しておい た前の状態(Check Point)に戻って再実 行する。 | ・スピードペナルテ イ ・面積, 消費電力 ペナルテイ大 |
| Replication + Rollback | × モリ要素 パッファ ア | ・同じ命令を2回実 行し、一致しない場 合保存されている1 ステップ前の状態に 戻って再実行する。 | ・スピードペナルテ イ大(実行時間2 倍以上) |

Workshop概要

| Workshop名(略称) [Workshop onを省略] | 開催日 | 発表 件数 | トピックス |
|--|------|----------|--|
| Recent Advances on Intrusion- Tolerant Systems (WRAITS) | 6/29 | 8 | |
| Compiler and Architecural Techniques for Application Reliability and Security (CATARS) | 6/29 | 6 | ・浮動小数点システムのソフトエラー耐性強化 ・マルチコアのトランジェントフォールト耐性のプログラムに起 因する脆弱性 |
| Hot Topics In System Dependability (HotDep) | 6/29 | 10 | ・フォールト予測技術検証のためのフォールトインジェクション |
| Dependable and Secure Nonocomputing (WDSN) | 6/29 | 16 | ・ABVFIを用いたフォールトカバレッジ強化法 ・ブレーキ制御装置のソフトエラ耐性強化のソフトウェア |
| Architecture Dependable Systems (WADS) | 6/29 | 8 | |
| Proactive Failure Avoidance, Recovery and Maintenance (PFARM) | 6/29 | 7 | |

シンポジウム概要

| シンポジウム名称 | 開催日 | 発表 件数 | トピックス |
|---|--------------|----------|--|
| Dependable Computing and Communications Symposium (DCCS) | 6/30- 7/2 | 36 | ■11セッション (Network security/Software Faults/Security/Middleware/Embeded Systems/Tools and Demonstration/Diagnosis/Testing and Verification/Hardware/Storage/Virtual Machines) 高性能システムの低オーハ[*]ヘット[*]ソフトエラ耐性化技術 エンヘ[*]ッテ[*]ット[*]フ[*]ロセッサのレシ[*]スタファイルのMBU, SETへの高耐性 化 メモリのエラー耐性向上のための線形ハミングコードのロバス ト非線型コードへの置換 |
| Performance and Dependability Symposium (PDS) | 6/30- 7/2 | 27 | ■10セッション(Modeling and Evaluation/Web Services Applications and Distributed Protocols/Networking and Security/Liguistic Analysis and Tracing/Tools and Demonstrations/Security Analysis Experiments/Experiments on Failure Prediction and Error Detection) • アプリケ-ションアウェア型エラ-検出器の自動構築のEND-TO-END アプロ- チ |

・上記以外にポスタセッション23件

トピックス1: Characterizing the Use of Program Vulnerability Factors for Studying Transient Fault Tolerance in Modern Architectures



Figure 5. Variance of AVF(*) and PVF(o) due to 8 different compilations.

■ SoCのマルチコアシステムでは多数回にわたって一つ のコアにreplicationを行う。

⇒信頼性評価にAVF(Architectural Vulnerability Factor= derating factorの総和)を用いることが多く、これをハード ウェアRTLモデルを用いたフォールトインジェクションで測 定する手法が盛ん。

■ある構造(回路)のエラー率=AVFxビット数x生のエ ラー率

・これに対しSoftware centric modelのアプローチが拡大 ⇒ソフトウェアで使っていない回路は関係ない、に加え、 実行結果の正しさに影響するエラーだけが問題

⇒ソフトウェアが脆弱なタイミングでない時に入ったエラー は問題でない

- ⇒AVFとは異なるPVFを提案
- ■ソフウェアベースでフォールトを検出・修復する手法とし て下記を採用:
- -Executable assertion[6, 7]
- 一他のソフトウェアで検出【14】
- 一実行中のコントロールフローのチェック【20】
- 一冗長コードの実行【15,16】
- •PVF=(mPVF(メモリ)+rPVF(レジスタ)+cPVF(コントロール))/3で計算
- ■PVFはアプリケーション依存性小(Fig. 5)

トビックス2:Software Mechanisms for Tolerating Soft Errors in an Automotive Brake-Controller



トピックス3:Low Overhead Soft Error Mitigation Techniques for High-Performance and Aggressive Systems



トピックス4:An Energy Efficient Circuit Level Technique to protect Register File from MBUs and SETs in Embedded Processors

■レジスタはプロセッサにもっとも頻繁にアクセスされるので レジスタで発生したエラーは伝播しやすい。 ■ embededデバイスでは、レジスタをECCやTMRでプロテクト するのは消費電力オーバヘッドの点で現実的でない。チェック ポイントやrollbackなどの修復メカニズムが必要。 ■頻繁に使用されるラッチを抽出し, そこにだけ耐性ラッチ (既存技術)を適用する。 ■消費電力のトレードオフ:消費電力pはp=aCVdd^2f(f:周 波数, Vdd:動作電圧, C:負荷容量, α:スイッチングActivity) αの低減はクロックゲーテイング【Fig.6, 2タイプ】によって実 現できる。 【提案技術:RRC(Robust Register Caching)】 ■レジスタが何回読み込まれるかをSimで評価⇒90%のレジ スタが高々5回よみこまれるだけ RRCでプロテクトされていないレジスタファイルのAVFは平 均15% ■ readカウンタと小さなレジスタキャッシュではAVF=1% 【実績】 ■パワ-オーバヘッド 10%(TMRだと40%) ■スピードオーバヘッド 0.5%(ECC 3%) ■面積オーバヘッド 2% (TMR18%)





Figure 6. Different styles for clock gating techniques

トビックス5:An End-to-end Approach for the Automatic Derivation of Application-Aware Error Detectors

■ CVR(Critical Variable Recomputation)に基づくエラー検出・修復法

・問題でない(benign)エラー検出にかかるオーバヘッドを減らし、高いフォールトカ バレッジを確保する。

■Hybrid SW/HW(ソフトの計算とHWで再計算した結果を比較。OKなら計算 継続で対応。)

■エラー検出メカニズム(最も重要なデータを抽出し, recomputationはこのデータの 計算のみに限定する。)はコンパイル中に自動的に生成され, HW上に実装される。 SWでプログラム実行中に並行してHW上で実行する。

・LLVMコンパイラで重要データの定義ファイルを生成, それをVHDLに変換して Digital XUボード(512MB DRAM含む)のFPGA(Xilinx Virtex-II Pro30に, RSE (Reliability and SEcurity Engine), SDM(Static Detector Module), プロセッサ本体 を生成する。

■ Stanford Benchmark SuiteのQueenに対しin-orderプロセッサのLEON 3 では実 行時間オーバヘッド555%, スーパスカラPentium 4 141%に対し, hybridでは27% (面積オーバヘッド53%平均)



Figure 1. The Leon 3 processor with the Relia-

bility and Security Engine

Check Checking Submodule emitEdge. enterFunc. leaveFunc stateStack args ARGQ

Static Detector Module

Figure 2. Static Detector Module block diagram



Figure 3. Tool chain for the generation of hardware checks



Figure 4. Performance Slowdowns for instrumenting the Stanford Benchmarks

まとめ

■システムよりのエラー対策の発表が増え始めている学会で、 SELSE, IOLTSに加え, 重要性拡大。

■システム対策のペナルテイを如何に克服するかが主要テーマ。

■伊部から、22nmプロセスまでのCMOSデバイスの予測計算の 発表あり。MCU/MNUが非常に厳しくなることに加え、微細化に伴 う断面積のエネルギ関数形の大幅な変化により、国際標準試験 法(JESD89A, 2006年など)の再改定の必要性指摘。





日立·生研 伊部英史 (7/31/2009)

IOLTS概要

■日時:2009年6月23日~6月26日

■場所: Sesimbra, Lisbon, Portugal

■参加者数:約100名(26カ国)

・インフルエンザ/不況の影響か、日本からの参加は報告者のみ。

■12セッションから構成される国際会議。

報告者はプログラム委員として論文査読6件、セッション7 "Soft-Error Tolerance"のセッションチェアー担当。

Session概要

| # | Session名 | 開催日 | 発表 件数 | トピックス |
|----|--|------|----------|---|
| 1 | Aging Monitoring and Analysis | 6/24 | 4 | |
| 2 | Transient Faults Evaluation and Analysis | 6/24 | 3 | ・同期、非同期回路へのトランジェントの影響比較 ・不変量チェッカ:効率的動作中エラー検出法 |
| 3 | System-Level Reliability and Security | 6/24 | 3 | |
| 4 | Microprocessors and Multiprocessors | 6/24 | 3 | ・エンベッデドマイクロプロセッサのアルファ線ソフトエラー ・レジスタファイルのビットエラーのオンライン検出・修復 |
| 5 | Soft Errors and FPGAs | 6/24 | 3 | ・Atmel高耐性FPGAのアプリケーション依存SEU感受性 ・大グレインTMRと選択的リコンフィグIこよるSRAMベース FPGAの耐性向上 |
| 6 | Memories SEU Tolerance and Characterization | 6/24 | 3 | ・選択的高耐性化によるデジタル回路の耐性の詳細 評価 |
| 7 | Soft Errors Tolerance | 6/25 | 3 | |
| 8 | Memories SEU Tolerance and Characterization | 6/25 | 3 | |
| 10 | Fault-Tolerance Techniques | 6/26 | 3 | |
| 11 | Field Testing and Self- Adaptation | 6/26 | 3 | |
| 12 | Encoders, Checkers and Fault Secureness | 6/26 | 3 | |

トピックス1: Evaluating Large Grain TMR and Selective Partial Reconfiguration for Soft Error Mitigation in SRAM-Based FPGAs



📰 Combinational Logic 🔄 Flip-Flop 🔛 MAJ voter





■Xilinxが推奨しているエラー発生後のreconfig法XTMR(Fig.1)に 対し新しい手法を提案。

■TMRの数を減らし(Large grain)、voterでエラーとなったmoduleを 待機させた上で次のチェックポイント@FSMを予測、そのチェックポ イントに対してreconfigを行い、他の2Moduleがチェックポイントに 達した時点から3moduleでの計算を再開する。

■ケーススタデイではreconfigに要する時間はXTMRに対して50分の1.

| Table 13 – Reconfiguration Ti | me for TX and RX FSMs | | |
|-------------------------------|-----------------------|--|--|
| Design | Reconfig. Time | | |
| XTMR | 940.00ms (full) | | |
| Proposed TX module | 19.65ms (partial) | | |
| Proposed RX module | 19.09ms (partial) | | |

トピックス2:Online Error Detection and Correction of Erratic Bits in Register Files

【レジスタファイルのビットエラーのオンライン検出・修復】

| TABLE I | | | | | | | |
|--------------------|---|--|--|--|--|--|--|
| BASELINE PROCESSOR | | | | | | | |
| Parameter | Value | | | | | | |
| Memory | 45ns latency | | | | | | |
| UL2 | 4 MB, 16-way, 12 cycle hit, 1 R/W port | | | | | | |
| DL1 | 32KB, 8-way, 3 cycle hit, 1 read + 1 write port | | | | | | |
| I-Cache | 32KB, 8-way, 3 cycle hit, 1 read + 1 write port | | | | | | |
| DTLB/ITLB | 128 entries, 8-way | | | | | | |
| ROB/MOB | 128/30 loads, 22 stores | | | | | | |
| Register File | 128 Int, 128 FP | | | | | | |
| Issue Queue (IQ) | 32 entries, 6 issue, up to 3 Ints, up to 2 FP | | | | | | |
| Integer Units | 3 ALUs, 2 AGU, 1 multiplier | | | | | | |
| FP Units | 1 adder, 1 multiplier | | | | | | |

| TABLE II WORKLOADS | | | | | | |
|-----------------------|---------|--------------------------------|--|--|--|--|
| Benchmark suite | #traces | Desc./Examples | | | | |
| Encoder | 62 | Audio/video encoding | | | | |
| SPECfp | 41 | Spec Fp 2K | | | | |
| SPECint | 35 | Spec Int 2K VectorAdd, FIRs | | | | |
| Kernels | 52 | | | | | |
| Multimedia | 85 | WMedia, photoshop | | | | |
| Office | 75 | Excel, word, powerpoint | | | | |
| Productivity | 45 | Internet contents creation | | | | |
| Server | 53 | TPC-C | | | | |
| Workstation | 49 | CAD, rendering | | | | |



Fig. 3. Coverage for parity

Complete fault dictionary



■ゲート酸化膜のトラップ起因で、トランジェントのゲートリーク が発生し、数マイクロー数十ミリ秒間データが固定する現象が発 生(erratic bit).

■エラー継続時間の差を利用して、Erratic bitとソフトエラー をparityのみを利用してレジスタファイルから弁別して検出するア ルゴリズムを開発(上図)。

■out-of-orderプロセッサ(Table I)で、様々なベンチマーク (TableII)Parityエラーを検出して、同じpipeline内で再計算す る手法では修復率の平均は28.6%にしかならない。 ■提案アルゴリズムではerratic bitを全て検出・修復できる。

・ビックス3:In-Depth Analysis of Digital Circuits Against Soft Errors for Selective Hardening

| | Circuit Test bench Fault injection by Autonomous Emulation (every possible SEU) | • |
|----------|---|---|
| | Detect weak are as | |
| | | |
| <i>→</i> | Apply selective hardening | |
| | \downarrow | |
| | Analyse trade-off between the increased realiability and involved penalties (area, performance, etc.) | |
| | Trade-off OK Robust Circuit | |

Table 1. PIC18 synthesis results

| Virtex-4 | Used |
|------------|-------|
| Flip-flops | 599 |
| LUTs | 2,314 |
| Block- | 7 |
| RAMs | |

| 【選択的高耐性化によるデジタ | メル回路の耐性の詳細評価) |
|----------------|-----------------------|
|----------------|-----------------------|

Table 3. Fault classification by groups (percents)

| % | FF | Silent | Failure | Latent | RAM Latent | Total |
|--------------|--------|--------|---------|--------|---------------|--------|
| Pipeline | 0.33% | 0.04% | 0.22% | 0.00% | 0.07% | 0.33% |
| ALU | 7.01% | 3.25% | 0.28% | 2.18% | 1.29% | 7.01% |
| Addressing | 7.35% | 1.01% | 0.44% | 4.31% | 1.59% | 7.35% |
| MovFF | 1.34% | 0.04% | 0.05% | 0.00% | 1.24% | 1.34% |
| Instructions | 20.70% | 4.67% | 2.83% | 6.26% | 6.94% | 20.70% |
| Ports | 5.34% | 2.67% | 2.67% | 0.00% | 0.00% | 5.34% |
| Interrupts | 13.02% | 0.33% | 0.00% | 12.69% | 0.00% | 13.02% |
| Timers | 25.38% | 25.38% | 0.00% | 0.00% | 0.00% | 25.38% |
| UART | 19.53% | 19.53% | 0.00% | 0.00% | 0.00% | 19.53% |
| Total | | 56.93% | 6.49% | 25.44% | 11.14% | |

■PIC18 マイクロプロセッサをFPGA上で合成。選択的高耐性化 アルゴリズムを適用。

■全体の17%のFFの高耐性化(TMR適用)でエラー率10 0分の1に。

■オーバーヘッドはFFで34%、LUTで9%。(高い?)

Table 4. Fault classification: original vs. hardened

| | Silent | Failure | Latent | RAM Latent |
|------------------|------------|-----------|-----------|---------------|
| Non hardened | 19.023.960 | 2.168.696 | 8.500.540 | 3.721.420 |
| Selective TMR | 23.301.070 | 20.778 | 7.614.662 | 2.478.106 |

Table 5. PIC18 hardening area overhead

| Virtex-4 | ļ | Flip-flop | | LUT | | Critical path (ns) | Failure rate |
|-------------|-----|-----------|------|-------|-----|-----------------------|-----------------|
| Non harder | ned | 599 | | 2,223 | | 17.664 | 6.46% |
| Selective T | MR | 803 | 34% | 2,422 | 9% | 18.003 | 0.06% |
| Full TMR | | 1,797 | 200% | 3,283 | 48% | 18.093 | 0.00% |

まとめ

■昨年から参加し始めた学会であるが、ソフトエラー関係の発表の比率が大変高い(32/58件)学会で今後も継続的参加要。

■システムのエラー耐性評価で4手法:

- (1)加速器照射下で静的/動的試験
- (2)FPGAを用いたemulationでfault injection

(3)統計的手法

(4)BIST特にprogrammable BIST

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第3回委員会 議事次第

日時: 平成 21 年 10 月 9 日(金) 14:00 ~ 17:20

場所:HIREC株式会社 川崎事業所 会議室

神奈川県川崎市川崎区駅前本町 26-4 ラウンドクロス川崎 9F (TEL:044-221-8730)

- - 2.2 Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in 130-nm NMOSFETs With Enclosed Layout(島田委員) …14:50~15:35



250

本文献のタイトル

プロトンおよびニュートロン照射による 加速的な劣化と耐量保証試験

Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing

Marty R. Shaneyfelt, Fellow, IEEE, James A. Felix, Member, IEEE, Paul E. Dodd, Senior Member, IEEE, James R. Schwank, Fellow, IEEE, Scott M. Dalton, Jacques Baggio, Member, IEEE, Véronique Ferlet-Cavrois, Senior Member, IEEE, Philippe Paillet, Senior Member, IEEE, and Ewart W. Blackmore, Member, IEEE

> 2009-10-09 最新デパイスの耐放射線性強化技術に関する検討委員会 担当:藤島 直人 (富士電機システムズ株式会社)

 Fuji Electric Systems Co., Ltd.
 page1
 9-Oct.-2009



本文献の分類

<対象デバイス> : 縦型パワーMOSFET(トレンチ&プレーナ) n-ch 定格電圧 20V~100V

<照射線種及びエネルギーの区分> :プロトン:20~498MeV :ニュートロン:10MeV以上

<単発反転現象又は積算線量効果の区分> : TID

<実験又は理論の区分> : 実験および理論



論文概要

1. プロトンとニュートロンはトレンチとプレーナパワーMOSにおいて、加速的劣化を誘発する。

2. 極微量のプロトンTIDレベルでもIVカーブが大きくシフトし、オフリーク電流の増大を招く。

3. ニュートロン照射は、直接イオン化による注入は生じないが、同様の照射レベル で同様の劣化を示す。

4. これらのデータよると、加速的劣化は集積回路内のプロトンとニュートロンの原子間相互 作用を通して発生する2次粒子に関係するマイクロドーズ効果によるものである。

5. この2次的粒子の注入は、十分な電荷をゲート酸化膜へ注入し、その結果トランジスタのソースドレイン寄生電流パスを誘発する。

6. これらのマイクロトース、効果はパワーMOSだけでなく、集積回路においても照射応答性に関し影響を受ける。

7. ここでは耐量保証の考え方についても議論する。

Fuji Electric Systems Co.,Ltd.page39-Oct.-2009

FCe-Front runners背景:宇宙環境でのデバイス劣化<復習[1]>



Fig. 1. Schematic cross section of a trench FET showing the effect of an ion passing through the gate region of the transistor. The path of the ion is illustrated by the line with an arrow. The gate polysilicon that would fill the trench and all the overlays (oxide and metal) are not shown. After [1].

- ✓最新衛星システムでのPOL分散電源の 開発が加速。
- ✓大きなリーク電流を生じるトータルドーズ イオン損傷が注目。
- ✓重イオンが商用トレンチパワーMOSのIV 特性に大きなシフト(ΔVst)をもたらす。
- ✓ Δ Vstはガンマ線トータルドーズによる場合より極端に大きい。
- ✓ Δ Vstは照射時のゲートバイアスとイオン LET(Linear Energy Transfer)、そして照 射角に依存。

✓特に、イオンがソース・ドレイン間のチャ ネル長全体に渡って電荷を注入し、複数 の寄生トランジスタ構造を形成していると 推定している。⇒マイクロドーズ効果
Ce-Front runners 重イオン照射による従来耐量評価手法の限界



✓加速的劣化によるIV特性シフトがプロトンおよびニュートロン照射でも発生する。

✓この劣化メカニズムが重イオンに関係するものと類似点があるとすれば、水平 チャネルを有するデバイスでの、マイクロドーズ効果影響度を判定するための、プ ロトン照射を用いた耐量保証試験手法を開発できるかもしれない。

✓この研究では、

- ・プロトン照射による加速的劣化メカニズムの解明
- ・ニュートロン照射での加速的劣化の調査報告
- ・宇宙用途でのMOSデバイス耐量保証試験について議論



評価デバイスと照射設備



a) IRF510PBF





・プロトン TRIUMF(20~498MeV)⇒プラスチックプレートで減衰 IUCF(~200MeV)⇒beryllium degrader

・ニュートロン

 $TRIUMF(\sim 500 MeV)$

⇒cadmium sheet (thermal neutronを緩和) $WNR(\sim 800 MeV)$

| 型式 | Vgsmax (V) | Vdsmax (V) | ケート酸化膜厚(nm) | トレンチ深さ(µm) | 並列Tr数(個) |
|-------------------------------|------------|------------|-------------|------------|--------------------|
| トレンチMOS(IR製、FC製) | ±20 | 20~30 | 44~68 | 1.2 | 2600 ~ 7400 |
| プレーナMOS(IR製) | ±20 | 20~100 | 不明 | | 不明 |
| Enji Electric Sustana Co. Itd | | | | 9-Oct2009 | |

Fuji Electric Systems Co., Ltd.

page7

e-Front runners

プロトン照射でのデバイス劣化



[✓]Ⅳ特性シフトはサブスレッシュホルド領域 の小さなコブから始まり、照射量増大と共 に大きなコブを示していった。(図3a)

- ✓照射量が増えるにつれて、Idsは増加。 (図3b)
- ✓これらのプロトン照射でのIVシフトは重イ オン照射の場合に類似している。
 - ⇒直接イオン化効果(Direct Ionization Effect)によるものではない。

Fig. 3. a) Pre and post irradiation IV curves and b) $I_{d,s}$ at $V_{g,s}\,=\,1$ V for FDD068AN03L power MOSFETs irradiated in incremental steps to proton fluences from 10^7 protons/cm² to 5×10^9 protons/cm² using 35.4 MeV protons with 15 V applied to the gate during irradiation.

Fuji Electric Systems Co., Ltd.

Pe-Front runners ガンマ線照射でのデバイス劣化(プロトンとの比較)



Fig. 4. Pre and post irradiation IV curves for an FDD068AN03L power MOSFET irradiated to 50 krad(SiO₂) using $^{00}\mathrm{Co}$ gamma rays with 15 V applied to the gate during irradiation.

- ✓プロトン照射と異なり、IV波形のコブが 見られず。IVの並行シフト。 ⇒酸化膜トラップによる電荷生成
- ✓プロトン照射(35.4MeV&5E9)(図3) はガンマ線照射(図4)の1krad(SiO2)に 相当
- ✓図3でIVシフトが小さく抑えられている のは1mA以上の領域(図3〇部)

⇒ガンマ線照射は集積回路での照射劣 化を予測する一般的手法だが、パワー MOS評価においては正しく機能してい ない。

<ガンマ線はプロトンより低感度!>



Fig. 5. A plot of the proton induced ΔV_{st} versus fluence for FDD068AN03L devices with 15 V on the gate during irradiation.

254



Fuji Electric Systems Co., Ltd.

page11

9-Oct.-2009

255

e-Front runners 直接イオン化による電荷トラップの基本メカニズム

$$V_{th(max)} = -1.9 \times 10^{-8} f(E_{ox}) Dt_{ox}^2, \tag{1}$$

 $f(E_{ox})$:酸化膜の電界強度の関数としてのホール生成率

- D: ドーズ量
- *tox*:酸化膜厚(単位はnm)
- ✓FDD068AN03Lの場合、ゲート酸化膜厚44nm、電荷生成率1(最悪ケー) ス)を仮定し、2rad(SiO2)でのプロトン直接イオン化による閾値電圧シフ トは74 μ Vとなる。これは明らかに実験値より小さい値(~1.4V@2E7 (図5))。
- ✓観測されるΔVst(およびΔIds)は、プロトンの直接イオン化理論からは 説明できない。

e-Front runners マイクロドーズ効果の素子間バラツキの要因



- ✓プロトン照射での加速的劣化は、トラ ンジスター設計と製造プロセスに依存。
- ✓ Δ Vstは-0.4V(IRF3704ZCS)から-2.7V
 (FDD068AN03L)の範囲。約7倍程度の劣化の違いがみられた。
- ✓ゲート酸化膜中へのマイクロドーズ効果のバラツキは、恐らくゲート酸化膜内に形成される照射起因の電荷量の違いによる。
- ✓ゲート酸化膜厚、酸化膜質、照射中の酸化膜電界に強く依存。

Fig. 7. A plot of the proton induced ΔV_{st} versus fluence for all trench FET power MOSFETs examined in this work. 105 MeV protons were used for the irradiations and transistors were biased with 15 V on the gate during irradiation.



⇒プレーナMOSへの適用

e-Front runners プレーナ構造でのマイクロドーズ効果



Fig. 9. Pre and post irradiation IV curves for an IRF3711PBF power MOSFET irradiated to fluence of $5.5 \times 10^{10} \text{ protons/cm}^2$ using 70 MeV protons with 15 V applied to the gate during irradiation.



Fuji Electric Systems Co.,Ltd.





Fig. 11. A plot of the neutron and heavy ion induced ΔV_{st} versus fluence for FDD068AN03L devices irradiated with different gate biases. The Ne heavy ion data were taken from Fig. 5 of [1]. The neutron and heavy ion data were normalized to their ΔV_{st} data at a gate bias of 15 V.

✓ Δ Vstデータの形状(±Vg増に伴うΔ Vst
 増)は、X線とガンマ線に照射されたMOS酸
 化膜内のトラップ電荷生成と一致。[16],[20]

✓Vg=15VでΔVstは飽和。酸化膜にかかる 電界の増加に伴い実効的なホール捕獲断 面積の縮小と良い一致[21]-[23]。

✓ゲートバイアス低減に伴い△Vst減少。酸 化膜にかかる電界が減少すると、電子との 再結合を逃れるホールの数も減少し、 Si/SiO2界面にトラップされるホールの数も 減少。[10],[16],[21],[22],[24]

✓入射角依存性は見られず。

✓加速的劣化は、直接イオン化に因るものではなく、マイクロドーズ効果が支配的。

Fuji Electric Systems Co., Ltd.

page17

9-Oct.-2009

e-Front runners

耐量保証の考え方

✓試験のガイドラインとして、MIL-STD-883やMethod1019のような耐量保証の規格があるが、宇宙での使用環境とデバイス要求仕様から試験方法を選定する必要あり。

✓プロトンリッチの環境で使用される場合は、トータルドーズ認証試験は、TM1019 を利用するとともに、プロトン照射源も用いなければならない。

✓マイクロドーズ効果を最大にするバイアス条件設定と、実際のシステム使用状況に基づいたバイアス条件選定が大切。

✓宇宙用途におけるマイクロドーズの真の影響の理解と、確実なスクリーニングを可能とする試験条件導出のために、マイクロドーズ照射後のアニール影響度の調査が必要。(例えばELDRS:低ドーズ率増速劣化(Enhanced Low-Dose-Rate Sensitivity))

✓マイクロドーズ効果の加速試験として、任意の入射角を有するプロトン、ニュートロンによる評価方法を開発することは重要である。



結論

- 1. パワーMOSの劣化はプロトンとニュートロン照射で加速(ΔVst増とオフリーク増)
- この劣化は、トレンチとプレーナで、ガンマ線に比べ非常に低照射レベル(高々 ~2rad(SiO2))でも発生。
- 3. プロトンおよびニュートロンと素子内部の材料との原子核相互作用で誘発された 2次イオンが極端なマイクロドーズ効果を誘発する。
- 4. 2次粒子の経路がゲート酸化膜領域でソースからドレイン方向に伸び、粒子により注入された電荷が寄生リーク経路を誘発。オフリーク電流が増加。
- 5. この劣化量は照射時のゲートバイアスに依存する。(プロトンエネルギーと照射 角はマイクロドーズ効果には大きな影響を与えない。)
- 6. マイクロドーズ効果はパワーMOSに限らずあらゆるタイプのデバイスで問題とな るので、プロトン過剰の宇宙環境において利用される素子に対し、プロトン施設 での試験を利用した、トータルドーズ認定が実施されることを推奨する。

Fuji Electric Systems Co.,Ltd.

page19

9-Oct.-2009



END



Degradation Induced by X-Ray Irradiation and Channel Hot Carrier in 130-nm NMOSFETs With Enclosed Layout

M. Silvestri, Studend Member, IEEE, S. Gerardin, Studend Member, IEEE, A. Paccagnella, Senior Member, IEEE, and F. Faccio Member, IEEE,

担当:島田健児 (株式会社東芝セミコンダクター社)

TOSHIBA Leading Innovation >>>

<Motivation>

➤Gate酸化膜の薄膜化は放射線耐性に有利であるとされている。しかしプロセスの変動など考えるとやはり心配。

▷欧州原子核共同研究所(CERN)では加速器のUpgradeの計 画もあり、このような環境で機能する電子機器の必要性は高い。

▶一方、放射線とHot Carrierの関係に関してはあまり知られていない。筆者らは前回Open Layout Transistors (OLT) とChannel Hot Electronの相乗効果に関して調べた。今回は Enclosed Layout Transistors (ELT)とCHCの関係について調べる。





Fig. 9. (a) Diffusion of hydrogen in open layout transistors, adapted from [21] (not to scale). (b) Top view of a typical open layout transistor. (c) Diffusion of hydrogen in enclosed layout transistors. (d) Top view of an enclosed layout transistor.

3

TOSHIBA Leading Innovation >>>

く実験>

2種類のGate酸化膜(Core用(薄膜)とI/O用(厚膜))のELTについて以下の条件で評価。評価指標は、主として Δ Vth(リニア)。

条件:

▶事前の放射線照射有り/無し

▶事前の放射線Dose振り

>照射後のHCストレス時に27℃と80の温度振り

>HCストレス後に2H、300℃の回復アニール(適宜)

- 一部比較のためにOLTの結果も使用
 - core ELT: $t_{\text{ox}} = 2.2$ nm, $V_{\text{dd}} = 1.5$ V, $L = 0.12 \ \mu\text{m}$, $W/L \sim 17$.
 - I/O ELT: $t_{\rm oxc} = 5.2$ nm, $V_{\rm dd} = 2.5$ V, $L = 0.26 \ \mu$ m, $W/L \sim 15$.

※以下の議論でHCは、 Isubmax条件でStressを 加えているが、Channel Hot Carrier (CHC)と記 述されている。

TOSHIBA Leading Innovation >>>

<結果> [1]事前の放射線照射による劣化とその後のHC劣化共に寄与 (厚膜の場合)する。ただし、後述のようにHC劣化の程度は照射 Doseに依存する。同様な薄膜のグラフはなく、薄膜の場合はすべ て照射後=HC Stress時間=0秒が基点となっている。



TOSHIBA Leading Innovation >>>



Fig3 (厚膜)MOSFETのHC劣化の時間依存 照射Dose振り

(注)照射前を基点にしている。これ以外のグ ラフは照射後=HC Stress時間=0秒が基点

263

[2]ELTの方がOLTに比べHC劣化の時間依存で時間のべき乗が 大きい。(酸化膜厚によらず)

→Simulationによりコーナーエッジ内側の部分で高い衝突電離が 起こる為。



TOSHIBA Leading Innovation >>>



[3] 膜厚の効果(1) 薄膜はHCに強い →公称Vdd値の1.5倍という基準で厚膜、薄膜を比較すると、薄膜 のほうがHCに強い(Fig1 と Fig2のVthシフトのレンジを比較)。薄 膜ではトンネリングのため薄膜故固定電荷の寄与がないため。 主たる劣化メカニズムは界面準位。実際、薄膜では事前の照射 Doseによらない。



[3] 膜厚の効果(2) 厚膜は飽和特性を示す

→厚膜ではHC劣化が飽和特性を示す。これは自己制限(Selflimiting)効果のため。酸化膜中の負に帯電した欠陥が、ポテンシ ャルバリアとなってそれ以降の新たな電子の注入を阻止する。 ΔVth>100mV程度から。薄膜ではもともと欠陥量がすくないの で、その効果が現れない。



TOSHIBA Leading Innovation >>>



TOSHIBA Leading Innovation >>>

[3] 膜厚の効果(2) 厚膜は飽和特性を示す(続き) →薄膜でも飽和特性が起こるのはVdsを上げたとき。Fig5に対し Fig6はVds=2.25Vから2.7Vに上げた。全SampleでSlopeが0.75に 増加。同じL=0.12umではHC劣化が大きくなり厚膜と同じ程度に 負の電荷がたまり、飽和特性を示す。しかしLが長い素子は依然 として飽和特性は示さない。前Pageの議論と矛盾しない結果。



Fig6 薄膜のHC劣化の時間依存(Lg振り)

13

TOSHIBA Leading Innovation >>>

[4] 温度の効果(1) 厚膜 →一般に高温のほうがHC劣化がすくないことは知られている。こ れは高温でキャリアの移動度が下がり衝突電離しにくくなるため であるが、照射によっても同様なことが起こる。放射による欠陥で 移動度が低下し衝突電離がしにくくなるためと考えられる。実際 136Mrad、+80°Cでは両者の効果で衝突電離が減少、HC劣化が 少なくなり前項の飽和特性を示さない。



Fig4 厚膜のHC劣化の時間依存

267

TOSHIBA Leading Innovation >>>



TOSHIBA Leading Innovation >>>

[4]温度の効果(3) 厚膜と薄膜の比較(リニア領域のドレイン電流を指標とする)

→厚膜では前PageのようにHC劣化は高温と照射効果でHC劣化 が減少する。しかし薄膜の場合は前Pageのごとく、照射の効果は 少ない。温度の効果は厚膜と同様。



Fig. 8. Degradation of linear drain current ($V_{gg} = V_{dd}$, $V_{dg} = 20$ mV) after 10^4 s of CHC stress as a function of stress temperature for irradiated and unirradiated core and I/O ELTs.

Fig8 厚膜/薄膜のHC劣化の温度依存

指標はリニアドレイン電流値

[4] 温度の効果(4) アニールによる回復効果 →Fig3、5、13に結果。照射Doseが大きいほど良く回復するという 結果になっているが、これについてはまだよくわかっていない。 更なるDataが必要としているが、可能性として、事前の照射に依 存して、Stressをかけた素子では、水素が異なった形(異なった 場所など)で保持されており、アニール中の回復が異なる機構で おこるという可能性もあるかもしれない。



結論

>CHC Stress下におけるELT(Enclosed layout transistors) の特性劣化はOLT(Open layout transistors)に比べ時間の べき乗が大きくなる

>Stress時間が短い間はOLTは時間のべき乗は小さいにもかかわらず、ELTに対して劣化が大きい。

▶この振る舞いは、界面準位生成後の水素拡散の異なった幾何 学形状によるものであり、TCADのSimulationを使い、この可能 性を確認した。

Leading Innovation >>>

結論(つづき)

▶ELTにおける照射とHCダメージの相互作用は、5.2nmnGate 酸化膜のほうが2.2nmのGate酸化膜に比べて大きい。

▶照射によって誘起された欠陥はHC注入に関してポテンシャル バリアを強める原因となりHC劣化が少し減少する。

▶CHCダメージの温度依存は事前の照射には影響されないが、 以降の高温アニールでは照射、未照射で異なった結果を生じさ せる。

ミックスド・シグナル フェイズ・ロック・ループにおける 耐放射線強化した電圧制御発振器への 確率的解析手法の適用について

A Probabilistic Analysis Technique Applied to a Radiation-Hardened-by-Design Voltage-Controlled Oscillator for Mixed-Signal Phase-Locked Loops

T. Daniel Loveless, Lloyd W. Massengill, Bharat L. Bhuva, W. Timothy Holman, Megan C. Casey, Robert A. Reed, Sarah A. Nation, Dale McMorrow, Joseph S. Melinger

[出 典]IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 55, NO. 6,
DECEMBER 2008, pp.3447-3455,[対象デバイス]ミックスドシグナルCMOSデバイス (Phase Locked Loop)[実施設備]-[照射線種およびエネルギー区分]TPA(Two Photon absorption) Laser :12nJ[単発反転現象又は積算線量効果の区分]単発反転現象(SET)[実験又は理論の区分]実験と解析

報告者:石井 茂(三菱重工業)

2

◆論文概要

本論文では、PLL(Phase Locked Loop)の電圧制御発振器(VCO)回路の SET耐性をRHBDにより強化した結果について述べている。また、RHBDに より、耐放射線性の改善に加え、電源ノイズによる通常動作時の位相ジッタ のRMS(実行値)も抑制できている。更に、これらの解析に用いた、確率的 解析手法について示されている。

◆論文構成

- 1. 序論
- 2. VCO(電圧制御発振器)回路の概要
- 3. 耐放射線VCOの概要
- 4. SETシミュレーションのパラメータ
- 5. SETの応答(回路シミュレーション、解析手法の提案)
- 6. 解析手法の実験検証
- 7. 設計のトレードオフ
- 8. 結論

1. 序論

【背景】

近年、デバイスサイズの縮小化と動作周波数の増加のより、ミックスドシグナル 集積回路(VCO: Voltage Controlled OscillatorやPLL: Phase Locked Loopなど) に対するSEEも考慮するようになってきている。

VCOの放射線の影響として、出力周波数や振幅の変動や発振が一時的に停止 するなどが生じている。

【本論文の内容】

- ◇ IBMの90nmCMOS9SFプロセスデザインキットを用いて設計した2種類のVCOに 対するSETレスポンスを解析している。
- ◇ 従来およびRHBDのVCOに対する新しい確率的解析方法を示し、RHBDのVCO は出力の位相変動を最大限抑制していることを示す。
- ◇ この確率的解析方法の実験検証を、IBM社130nmCMRF8RFプロセスで設計製作した通常のVCOに対して行い、複雑なSETシグネチャをキャラクタライズするテクニックについて説明している。
- ◇ 本RHBD-VCOを適用する上での設計上のトレードオフ(面積、電力)についての 考察を行っている。
- ◇ 提案したRHBD-VCOは、面積と電力の増加を伴うが、ノイズ(放射線含む)や デバイスばらつきに対する位相ジッタを抑制できており、ミックスドシグナルのPLLや DLL(Delay Locked Loop)の放射線耐性の強化に有効であると主張している。

2. VCO(電圧制御発振器)回路の概要

(1)Current-Starved(電流欠乏型)VCO回路

- (a)回路構成 : 図1
 - VCO回路は、「Input bias stage」と「Current-Starved リングオシレータ(5段)」で構成している。
 - ・Input bias stage :入力信号: Vinvcoの電圧に応じた定電流を生成する回路。
 - ・Current-Starved リングオシレータ: 電流量に応じて遅延(周波数)が変わることを利用した発振回路。
- (b) 適用プロセス: IBM 90nm CMOS9SF (電源電圧: V_{dd}=1.2V)のPDKを使用。

(c) VCO回路の周波数変換特性(シミュレーション解析結果※): 図2

- •中心周波数(fc) :1.75GHz(@V_{in}vco=V_{dd}/2)
- ・中心周波数での標準偏差 :約232MHz(約12%)
- ※シミュレーション解析は、Spectre(CADENCE社回路シミュレータ)とVanderbilt大学のACCRE(Advanced Computing Center for Research & Education)を用い、IBM社PDKの3σ-プロセス水準に対する 試行数100回のモンテカルロ・シミュレーションにて実施。



図1 Input-bias stage及びCurrent-starved Ring-Oscillatorで 構成したVCO回路図



図2 耐放射線強化前のVCO(5段ステージ構成)の周波数変換特性

3

2. VCO(電圧制御発振器)回路の概要

(2)位相ジッタの定義

本論文では、出力信号の位相ジッタ(理想的な周期からの変動量)をVCO回路の特性を直接 評価する指標として用いる。通常動作時の位相ジッタの主要因としては、電源電圧変動、 電流源のアンマッチングなどがある。

位相ジッタは、連続した個々の発振周期(t_i)と理想周期(T_{clk})を用いて式(1)のように定義される。 位相ジッタの典型的な測定基準とされるRMS(実行値)は、位相ジッタの標準偏差として、 式(2)で定義される。

●位相ジッタ

 $\mathbf{jitter}_{cc} = \begin{bmatrix} t_1 - T_{clk} \\ t_2 - T_{clk} \\ \vdots \\ t_i - T_{clk} \\ \vdots \\ t_N - T_{clk} \end{bmatrix} \qquad \vec{\pi}(1)$

●位相ジッタのRMS(≒標準偏差= σ) $jitter_{rms} = [\underline{Var(jitter_{cc})}]^{\frac{1}{2}}$ 式(2) Var(X)はXの分散= $\frac{1}{N} \cdot \sum_{i=1}^{N} (ii - T_{cit})^{2}$

●位相ジッタの3σ =3×RMS

 $\overline{\phi_e} = 3 \cdot \left[\text{Var}(\mathbf{jitter}_{cc}) \right]^{\frac{1}{2}} = 3 \cdot jitter_{rms} \quad \vec{\pi}(3)$



2. VCO(電圧制御発振器)回路の概要

(3) 電源電圧変動に対する位相ジッタの解析結果

VCO回路のSET解析に先立ち、回路に供給される電源電圧の変動(電源ノイズ) に対する出力信号の位相ジッタについてシミュレーション解析を実施。



3. 耐放射線VCOの概要



| ・照射対象回路ノード: | 全ノード | | |
|------------------------------|--|----------------|-----------|
| •LET值 : | 10、20、80 [MeV·cm ² /mg]の3水準 | 【シミュレーション回数】 | |
| ・照射タイミング: | クロック周期内で10水準 | RHBD-VCO | :38000回以上 |
| ・入力電圧(V _{in} vco) : | 0.3V~1.2Vの範囲で10水準(0.1V刻み) | Un-hardend-VCO | :13000回以上 |
| | |) | |

【解析条件】

| ・適用プロセス | :IBM社90nm CMOS9SF PDKを使用 | |
|----------|--|---------------------------------------|
| ・解析ツール | :CADENCE社SPECTRE(SPICE)、Vand | lerbilt大学ACCREクラスタコンピュータ |
| ・SETモデル | :3D-TCADシミュレーションで得られた電 | 『流プロファイル※を |
| | SPICE上で電流源モデルとして挿入。 | |
| | (※:最小デバイスサイズ、最小負荷の条 | *件で解析した結果を使用) |
| ・電源電圧 | :V _{dd} =1.2V に2%のランダムノイズ、15% | %振幅の低周波正弦波ノイズを付加 |
| | | ! terr ! |
| 解析内容】 | | SE Strike |
| 動作中のVCO回 | 路ノードにSETを注入した直後のVCO | · · · · · · · · · · · · · · · · · · · |

【解

出力の位相変動量(理想クロックとの位相差)を評価する。 なお、位相変動には、SETによるエラークロック数、 エラー継続時間、通常の位相ジッタが含まれている。 また、VCOでのSET応答としては、以下のものがあるが

いずれも位相変動量として評価できる。 • Input bias circuit :発振周波数の変動

・Starved-Current Inverter :出力波形の異常



図7 SE(シングルイベント)の後に続く摂動時間(tSET)を 示した図。SEによる位相変動量を計算するために使用。

7

5. SETの応答

◇ SETシミュレーション解析結果 −最大位相変動による比較−

RHBDのVCOおよびUn-hardend VCOのイオン照射直後に生じた位相変動量の最大値を 横軸をVinvco(VCOの入力信号=発振周波数設定値)としてプロットした解析結果を示す。

縦軸左は位相変動量を式(4)を用いて角度(ラジアン)で表したもの。

 $\phi_{\text{disp}} = \frac{2\pi \cdot |t_{\text{SET}} - T_{\text{clk}}|}{T_{\text{clk}}} = |t_{\text{SET}} - T_{\text{clk}}| \cdot \omega_{\text{clk}}(\text{radians}) \quad \vec{\pi}(4)$

縦軸右は位相変動量を式(5)を用いてエラーパルス(位相変動量/2π)で表したもの。

 $n = k \text{ for } 2\pi \cdot k \le \phi_{disp} < 2\pi \cdot (k+1), \quad k \ge 0 \quad \exists (5)$



5. SETの応答

◇ SETシミュレーション結果 一確率密度関数(PDF)による評価-

> 最大位相差による評価は、VCOのワーストケースの 応答を決定するには有効であるが、それ以外の情報 は得られない。

> 個々のSET応答に対する位相変位を、確率密度関数 (PDF:Probability Density Functions)によるヒストグ ラムで表現。

 ヒストグラムにより、Un-hardend-VCOでは、
 LET = 10、20 [MeV·cm²/mg]
 ・位相変動の分布には2つの固まりが見られる。
 ・最も大きな位相変動が生じているのは、 input bias回路に照射したときである。
 LET = 80 [MeV·cm²/mg]
 ・SETで生じる位相変動が個々の回路ノードに 異なっていることがよく識別できている。
 ・最も大きな位相変位が生じるのは、

input bias回路のPMOSでSETが発生した ときであることが分かる。



5. SETの応答



5. SETの応答

◇ SETシミュレーション結果

-累積分布関数(CDF)による評価-

ヒストグラム(PDF)により、それぞれの位相偏差に関する物理的な照射位置と相対密度の 詳しい情報が得られるが、更に、累積分布関数(Cumulative Distribution Functions)で 表すことで、特定の値となりうる確率を見積もることができる。



275 11

5. SETの応答

- ◇ SETシミュレーション結果
 - ー累積分布関数(CDF)による評価ー

RHBD-VCOおよびUn-hardend VCOのSET(LET=80)により生じる位相変動を CDFカーブ上で直接比較した。



6. 解析手法の実験検証



6. 解析手法の実験検証

実験結果をCDF(Cumulative Distribute Functions)カーブで示した結果を示す。





 ・ノイズバンド付近(1.55ns=4.3ラジアン)でCDFの値が急速に大きくなっている点は、 シミュレーション解析で得られたCDFカーブに近い結果となっている。
 ・input bias回路とcurrent-starvedインバーターそれぞれの位相ジッタの分布の違いを示す不連続なカーブが1.8nsと2.5nsの部分で僅かに見られる。
 ・CDFカーブは、レーザー照射の約95%は、2.6ns(7.3ラジアン)以下の位相変動を生じさせるだけであるということを示している。

実験結果は、VCO回路における複雑なSET応答を本確率的解析およびシミュレーション 方法によって十分表現できることを示している。

7. 設計のトレードオフ

- ◇ RHBDによる実装により、大幅なSET耐性と通常特性の改善が図れるが、 一方で、電気特性と面積、電力のトレードオフが必要となる。
- ◇ TMRにより、VCOは面積と平均電力は、単純計算で約3倍。 更に、バッファや多数決回路の面積と電力の増加が加わる。

RHBDの消費電力 = $876\mu W(@1.75GHz)$ Un-hardendでの消費電力 = $70\mu W(@1.75GHz)$

- ◇ 電力と面積のペナルティーはアプリケーションにより様々である。 例えば、オンチップ・ループフィルタを有するPLLの場合、ループフィルタの面積が 非常に大きいため、RHBDによる面積増加は、全体面積に比べ十分小さく、問題 とならないと思われる。
- ◇ 一方、PLLの消費電力の内、VCO部の消費電力の占める割合が大きいため、 RHBDによる消費電力増加がトレードオフのポイントとなる。

15

8. 結論

- ◇ 確率的解析方法を提案し、実験による確認を行った。 各回路ノードで発生したSETを効果的に区別できることを示した。
- ◇ 回路を通して生成されるトランジェントの詳しい特性は、測定により取得でき、 RHBDに必要となる、「いつ」「どこで」といった情報を設計者に提供できる。
- ◇ 本解析テクニックは、起こりうる様々なトランジェントの確率を1桁オーダーで見積 もることができるようになる。
- ◇ 全ての解析方法は、アナログ回路にも適用できる。
- ◇ 本解析技術を用いることで、RHBD VCOがSETによる出力信号の位相差変動 を最大限(通常の電源ノイズに収まる程度)に抑制できることを示した。
- ◇ RHBDによりVCOの面積と電力は増加するが、電源ノイズやデバイス特性バラツキ による位相ジッタの発生を低減できる
- ◇ 本RHBDの方法は、PLLやDLLに実装可能である。



Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains

IEEE Transaction on Nuclear Science, Vol. 55, No. 6, pp. 2842-53, Dec. 2008.

V. F. Cavrois¹⁾, V. Pouget²⁾, D. McMorrow³⁾, J. R. Schwank⁴⁾, N. Fel¹⁾, F. Essely²⁾, R. S. Flores⁴⁾, P. Paillet¹⁾,
M. Gaillardin¹⁾, D. Kobayashi⁵⁾, J. S. Melinger³⁾, O. Duhamel¹⁾, P. E. Dodd⁴⁾, and M. R. Shaneyfelt⁴⁾
1) CEA, France. 2) Univ. of Bordeaux, France. 3) NRL, U.S.A. 4) SNL, U.S.A. 5) JAXA, Japan

| 対象デバイス 実験設備 | : | CMOS inverter chains (130 nm Bulk / PD SOI) IMS Lab. (800 nm), NRL (590 nm) >> パルスレーザ |
|----------------|---|---|
| 照射線種 | : | Tandem ALTO (IPN, France) >> 重イオン パルスレーザ (800 nm, 590 nm) 重イオン (106MeV F, 156MeV CL, 236MeV Br) |
| 対象現象 実験/理論 | : | 単発現象 (SET) 実験,シミュレーション |

担当:高橋芳浩(日大)



デバイスの縮小化:

• SEU感受性增大

・SET信号の回路内伝搬による誤動作

SETパルス幅(10~20 Inv. chains)

→ 1ns以下 (Bulk), 205ps以下 (SOI) @ high LET Long Chain伝搬後のSETパルス幅

→ 3ns以上に増加 (SOI)

Propagation-induced pulse broadening (PIPB) 効果

研究内容



目的:

Bulk, SOIインバータチェーンにおける PIPB効果の解明

方法:

Bulk, SOIによるLong Inv. chainに対し,

- パルスレーザ,重イオンを照射
- 電気的にパルス入力

→ 出カパルス幅を評価・解析



Bulkインバータチェーン:

130 nmプロセス (電源電圧 1.2 V) 最小設計寸法のデバイス使用 20列 × 1008段インバータ (Total:20,160段) 初段入力は, H(V_{DD}) or L(GND)





被測定回路 (Inv. chains)

SOIインバータチェーン: 130 nm PD (電源電圧 1.2 V), 800段 Unibond 基板 ($T_{BOX} = 0.4 \mu m, T_{SOI} = 0.14 \mu m$) L = 0.13 $\mu m, T_{ox} = 2 nm$ 最大ゲート幅 = 1.8 μm (W=2.7 μm では, 1.35 μm の並列) → ボディとボディコンタクトとの距離を制限

| Inverter chains | Number of inverters | Technology | NMOS width | PMOS width |
|--------------------|------------------------|------------|---------------|---------------|
| B1 | 20×1008 | Bulk | | |
| Invl | 800 | SOI | 0.3µm | 0.6µm |
| Inv2 | 800 | SOI | 0.9µm | 1.8µm |
| Inv3 | 800 | SOI | 1.8µm | 3.6µm |
| Inv4 | 800 | SOI | 2.7µm | 5.4µm |

照射実験(1)

パルスレーザ照射:

Bulkチェーン

λ = 800nm 垂直入射 @ IMS Lab. (France) Spot size: 数µm(100倍の対物レンズ使用) レーザエネルギー (PE): しきい値の3倍程度

SOIチェーン

 $\lambda = 590$ nm 垂直入射 @ NRL (U.S.A.) Spot size: 1.2µm (Gaussian Spot) FWHM = 1ps, 繰り返し周波数 = 1MHz



照射実験(2)



入射角: 0°(垂直), 30°, 45°, 60° (実効LET変化のため)



- ・Inv. chain終端に高周波Buffer設置
- High Imp. プローブを介したオシロによりSET出力観察
 (時間分解能 50ps: 150ps以上のパルス観測可)
- ・レーザ照射:レーザ出力でトリガ=伝搬時間評価
- ・ 重イオン照射:出力信号でトリガ(照射位置不明)
- ・各条件で100パルス以上の観測





7

This document is provided by JAXA.



電源電圧低下に伴い、PIPB効果は大きくなる











低電圧:浮遊ボディ効果によるVth変動への影響大?







初期SET幅がPIPB効果に及ぼす影響 → 小

Cumulative cross-section







測定結果 (SOI, パルス信号入力)






入力パルス幅とPIPB係数の関係(パルス周期1Hz. 伝搬段数800段)



入力パルス幅 ≦ 500ps → PIPB係数=一定 <出力幅がPE, LETに依 存しないことと同様>

入力パルス幅 ≧ 30ns
 で急激に減少.
 30ns: Bodyでのキャリア
 寿命に相当
 → PIPBは浮遊ボディ効
 果によるもの.

19





f > 1MHzでPIPB効果↓

100MHz: PIPB効果なし (間隔6nsではBodyへの電荷 蓄積が生じない)

25MHz: パルス間隔36ns (電荷蓄積には数10ns必要) → キャリア寿命に相当 (Bulkでは数msオーダー)



289

PIPB発生メカニズム



NMOS: Bodyに正孔蓄積 → しきい値電圧↓
 入力立上がり時:通常より低電圧でON
 入力立下がり時:低電圧になるまでOFFにならない(パルス幅<30ns)
 PMOS: Body蓄積電荷なし → しきい値電圧↑
 立上がり時:低電圧でOFF 立下がり時:低電圧までOFF

: 出力パルス幅>入力パルス幅



| Inverter chains | Number of inverters | Technology | NMOS width | PMOS width |
|--------------------|------------------------|------------|---------------|---------------|
| B1 | 20×1008 | Bulk | | |
| Inv1 | 800 | SOI | 0.3µm | 0.6µm |
| Inv2 | 800 | SOI | 0.9µm | 1.8µm |
| Inv3 | 800 | SOI | 1.8µm | 3.6µm |
| Inv4 | 800 | SOI | 2.7µm | 5.4µm |







SET伝搬の評価:ボディ帯電効果を考慮する必要あり

耐性強化回路設計について

- ・長いチェーンへのブロードビーム照射:
 出カパルス幅は広く分布 → 初期SET幅を過大評価する可能性
- ・シミュレーション(初期SET幅は200ps程度と評価)
- → ボディ帯電効果を考慮しないと、SET感受性を過小評価 (通常のシミュレーションでは考慮されていない) ただし、ボディ帯電効果の正確な評価は困難 (FETデザインに大きく依存)
- ・本研究によりPIPB効果のメカニズムを解明
 ただし、入カパルス幅、パルス間隔、入射タイミングに大きく依存
 → 耐放射線性強化にはシステムアプリケーションを考慮する必要
- ・縮小化 \rightarrow 電源電圧と V_T との差(マージン)が減少 ゲートリーク電流によるボディ帯電も考慮する必要 \rightarrow PIPBへの配慮がより重要になる!

まとめ

<u>PIPB効果</u>:

- ・Bulk, SOIの両インバータチェーンにて確認
- ・原因はボディ帯電効果

<u>長いチェーンでの出力SETパルス幅</u>:

- ・初期SETパルス幅には無依存(1ns以下)
- ・パルス間隔,電源電圧,負荷容量,デバイスデザイン
 に大きく依存.

<u>ボディ帯電効果を考慮しないシミュレーション</u>: SET感受性を過小評価

今後,ボディ帯電効果の正確な把握が必要

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」

第4回委員会 議事次第

日時:平成21年11月27日(金)14:00~17:40

場所:HIREC株式会社 川崎事業所 会議室 神奈川県川崎市川崎区駅前本町 26-4 ラウンドクロス川崎 9F (TEL:044-221-8730)

2. 2009 年 RADECS 参加報告(HIREC)(20 分) …………14:05~14:25

3. 各委員の調査結果報告・質疑(各 20 分・25 分 計 45 分)

| 3.1 Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe HBT on Thin-Film SOI Technology (深田委員) |
|--|
| 3.2 Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs (矢嶋委員) |
| 休憩(10分) |
| 3.3 Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling – Induced Drain Leakage in Irradiated Fully Depleted SOI Devices(三浦委員) |
| 3.4 Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature(平尾委員)16:50~17:35 |
| 4. 事務局からの連絡(5分) |





RADECS 出張報告 (RADECS2009 in Bruges, Belgium)

2009年11月27日

技術部 槇原亜紀子 HIREC株式会社

RADECS 2009 10th European Conference on Radiation Effects on Components and Systems 14-18 September 2009 - Bruges, Belgium



「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



今年はConferenceの年

- ·開催日:2009年9月14日~18日
- ・場所 :ブルージュ(ベルギー) ・参加者:約310名(昨年227名)
 - (ショートコース:約160名)

発表論文[内訳]

- (1)Oral Paper
- (2)Poster Paper
- (3)Data Workshop Paper
- (4)Late News Paper
 - 合 計





(参考までにNSRECでは計150件前後)



発表論文の分類



2009年度RADECSの分類



[First Author]



3

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所

#1 Welcome Party会場(月曜)

④市庁舎

#3 Data Workshop会場(水曜)



#2 Poster Session会場(水曜)



#4 Social Dinner会場(木曜)



「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱川崎事業所



296





発表論文のセッションカテゴリー別分類(オーラル、ホペスター、データワークショップ)

| \square | Session | Oral | Poster | Data Workshor Late News | Note |
|-----------|--|------|--------|----------------------------|-----------------|
| Α | Devices, integrated Circuits and MEMS I & II | 9 | 5 | \backslash | |
| В | SEE – Devices & Integrated Circuits I & II | 10 | 6 | | 静岡大殿ポスター論文(*1) |
| С | SEE - Mechanisms and Modeling I & II | 8 | 8 | | |
| D | Basic Mechanisms | 4 | 4 | | |
| E | Hardness Assurance | 3 | 4 | | |
| F | Terrestrial and Radiation Environments | 4 | 3 | | |
| G | Photonics | 3 | 4 | | |
| н | Dosimetry and Facilities | 3 | 2 | | |
| I | Technology and Design Hardening | 4 | 6 | | |
| \sum | Data Workshop | | | 8 | HIRECポスター論文(*²) |
| \square | Late News | | | 12 | |
| \square | 合 計 | 48 | 42 | 20 | 計110 |

5

HIREC-TD-E09061

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



発表論文の分類(2)

2009年度 日本からの発表論文

- (*1) H. Hatano, et al.,
 (静岡大学)
 "Single Event Effects on CVSL and CMOS Exclusive-OR (EX-OR) Circuits"
- (*2) A. Makihara, et al.,
 (HIREC)
 "Total Ionizing Dose and Single Event Effects Test Results of a Radiation Hardness-By-Design Library for 0.15 μm Fully Depleted SOI-ASIC"

Radera



297

"Toward Modeling of Radiation Effects in Nano-Scale Systems"

Short Course Chairman : Dr. S. Girard with CEA, France **Basics of Radiation Effects in Electronic Devices** 1. 宇宙放射線の電子デバイスに対する影響 By Dr. A. Paccagnella & S. Gerardin with Univ. Padova, Italy **Evolution of the Radiation Environments** 2. 宇宙放射線環境について By Dr. J. Barth with NASA/GSFC, USA 3. **Experimental Tools to Simulate Radiation Environments/Radiation Effects** 放射線環境や放射線効果の実験手法について By Dr. G. Berger with UCL, belgium & V. Pouget with CNRS-IMS, France 4. **Radiation Transport Models and Software** 放射線輸送モデルとソフトウェアに着いて By Dr. P. Truscott with Qinetiq Aerospace Division, UK 5. Monte-Carlo Simulation of Single-Event Effects 放射線輸送モデルとソフトウェアについて By Dr. R.A. Weller with Institute for Space & Defence Electronics, at el., with Vanderbilt Univ., USA 6. Simulation of Radiation Effects at the Atomic Scale: Theory and Exapmle of Applications 放射線シミュレーション例 By Dr. N. Richard with CEA, France 7. **Future Challenges in Radiation Effects** 宇宙放射線に対する将来に向けてのチャレンジ By Dr. P.E. Dodd with SNL, USA

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所





7

Technical Programの紹介



Technical Program (1)



| # | Title | First Author | Affiliation | Country |
|------|---|--------------------------|--|---------|
| A-1 | Modeling of Ionizing radiation-induced Degradation in multiple Gate Field Effect Transistors | I.S.Esqueda | Arizona Univ. | USA |
| A-2 | Total-Dose Effects Caused by high-Energy Neutrons and γ - Tays in Multiple-Gate FETs | V. Kilchytska | Universite Catholique de Louvain | Belgium |
| A-3 | Influence of Back-Gate Bias and process Conditions on the Gamma-Degradation of the Transconductance of MuGFETs | S. Put | IMEC | Belgium |
| A-4 | Effects of Moisture on Radiation-induced Degradation in CMOS SOI Transistors | M. R. Shaneyfelt | SNL | USA |
| A-5 | Radiation Effects in SiGe p-MODFETs Grown on Silicon-On- Sapphire Substrates | A. Madan | Georgia Tech | USA |
| A-6 | Impact of Neutron Irradiation on oxidized High-Resistivity Silicon Substrates with and without a Trap-Rich Passivation Layer | C. Rado Neve | Universite Catholique de Louvain | Belgium |
| A-7 | Charge Collection Properties and Front-End Performance of Heavy Irradiated DNW MAPS | L. Ratti | Universita degli Studi di Pavia | Italy |
| A-8 | The Effect of Proton and Gamma Radiatin on Different Type of Temperature Sensors | M. Gonzalez− Guerrero | Instituto Nacional de Tecnica Aerospacial | Spain |
| A-9 | TID and Displacement Damage Effects in Vertical and Lateral Power MOSFETs for Integrated DC-DC Converters | F. Faccio | CERN | France |
| PA-1 | Using Oxide-Trap Charge-Pumping Method in Radiation Reliability Analysis of Short Lightly Doped Drain Transistor | B. Djezzar | Centre de Developpement des Technologies Avancees | Algeria |
| PA-2 | Modeling of γ -Radiation Effects in Bipolar Transistors with VHDL-AMS | W. De Cock | SCK·CEN | Belgium |
| PA-3 | Effects of Proton and Ion Beam Irradiation on Titanium Dioxide Memristors | M. Vujisic | University of Belgrade | Serbia |
| PA-4 | A MEMS Dosimeter Comprised of Diamond for Very High Neutron Fluence | J. L. Davidson | Vanderbilt Univ. | USA |
| PA-5 | Current-Voltage Characterization of SHI Irradiated Silicon | C. M. Dinesh | Bangalore Univ. | India |

Session A : Devices, Integrated Circuits and MEMS I & II

9

HIREC-TD-E09061

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱川崎事業所



Technical Program (2)



Multiple Gate narrow fin FET



Fig. 1. SEM of a multiple, narrow fin MuGFET

[A-1~A-3について]

- ✓ NanoスケールCMOSにおける新たなデ バイス構造として提唱されている、 Multiple Gate FET(Double Gate、Non Classical多重ゲート等とも言われてい る)をFD-SOIプロセス上に実現し、 SEE/TID耐性強化を図っている。
- ✓ FD-SOIはBulkに比べSEU耐性が高い が、TID耐性についてはそうでもない。
 TIDの影響としては、BOXでトラップされ た電荷がトランスコンダクタンス(gm)の 劣化の要因となる。
- ✓ 提唱するNarrow Fin構造のMultiple
 Gate FETでは、BOXでの電荷トラップの 影響が減少される。





299

| # | Title | First Author | Affiliation | Country |
|------|---|-----------------------|--|---------|
| B-1 | Total Dose Effects on the Propagation of Single Event Transients in a CMOS Inverter String | S. Buchner | NASA-GSFC | USA |
| B-2 | Large SET Broadening in a Fully-Depleted SOI Technology - Mitigation with Body Contacts | V. Ferlet- Cavrois | CEA | France |
| В−3 | Analysis of SET Propagation in Flash-based FPGAs by means of Electrical Pulse Injection | N. Battezzati | Politecnico di Torino | Italy |
| B-4 | Estimation of Heavy-ion LET Thresholds in Advanced SOI IC Technologies from Two-Photon Absorption Laser Measurements | J. R. Schwank | SNL | USA |
| B-5 | Layout-Aware Multi-Cell Upsets Effects Analysis on TMR circuits implemented on SRAM-based FPGAs | L. Sterpone | Politecnico di Torino | Italy |
| B-6 | The Role of the Charge Generated During Heavy Ion Irradiation in the Gate Damage of Medium Voltage Power MOSFET | G. Busatto | University of Cassino | Italy |
| B-7 | investigation of Single Event Burnout Sensitive Depth in Power MOSFETs | F. Darrauq | IMS | France |
| B-8 | Annealing of Heavy-Ion Induced Floating Gate Errors: LET and Technology Dependence | M. Bagatin | Universita di Padova | Italy |
| B-9 | Single Event Gate Rupture in 130-nm CMOS Transistor Arrays Subjected to X-ray Irradiation | M. Silvestri | Universita di Padova | Italy |
| B-10 | In Flight Observation of Proton Induced Destructive Single Event Phenomena | F. Bezerra | Centre National d'Etudes Spatiales | Italy |
| PB-1 | Single Event Effects on CVSL and CMOS Exclusive-OR (EX- OR) Circuits | H. Hatano | Shizuoka Institute of Sience and Technology | Japan |
| PB-2 | Two-Photon Absorption (TPA) Backside Pulsed Laser Tests in the LM324 | I. Lopez-Calle | Univbersidad Complutense de Madrid | Spain |
| PB-3 | Physical Evidence for the Electrical Signature of SEGR on Thin Vertical Oxides | R. K. Lawrence | BAE Systems | USA |
| PB-4 | Investigation of Neutron and proton SEU Cross-Sections on SRAMs between a few MeV and 50 MeV | D. Lambert | EADS Nucletudes | France |
| PB-5 | An Approach to Single Event Testing of SDRAMs | P. C. Adell | JPL | USA |
| PB-6 | A CMOS Integrated System for SEE-Induced Transients | S. Bota | Universitate de les Illes Balears | Spain |

Session B : SEE-Devices and Integrated Circuits I & II

11

HIREC-TD-E09061

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



Technical Program (4)

Hgy-Fi

[B-1: Test circuit structure] 4000 Inverter



Fig. 1. Schematic of the test chip which consists of a string of 4000 inverters connected to a DICE latch. A counter keeps track of the number of SETs captured in the DICE latch.





[B-1, B-2について]

- ✓ SETの回路中でのBroadeningについて、
 レーザー照射を実施し評価した。
 (Bulk0.18µm、FD-SOI0.2µm)
- ✓ B-1では、TIDとSET Broadeningの関係に 着目した。TIDによるThreshold Voltageが シフトがSET Broadeningの要因となってい る。
- ✓ B-2では、FD-SOI構造のシングルシングル トランジスタにおいて、Floating Bodyと Body Contactでの電荷収集時間の違いに 着目した。Floating Bodyでは、シングルTr において長い電荷収集時間を、またイン バータチェーンにおいて大きなSET Broadeningを引き起こしている。Body Contactによって大きな改善ができる。

12

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



300





| Session | C : SEE-Mechanisms and Modeling I & II | | | |
|---------|---|-----------------------|--|---------|
| # | Title | First Author | Affiliation | Country |
| C-1 | Gate Bias Dependence of Single Event Charge Collection in AISb/InAs HEMTs | S. DasGupta | Vanderbilt Univ. | USA |
| C-2 | Development of a New Methodology to Model the Synergistic Effects between TID and ASETs | N. JH. Roche | Universite Montpellier II | France |
| C-3 | MUSCA SEP ³ Conteributions to Investigate the Direct Ionization Proton Upset in 65nm Technology for Space and Atmospheric Applications | G. Hubert | ONERA | France |
| C-4 | Collected Charge Analysis for a New Advanced Transient Model by TCAD Simulation in 90nm Technology | L. Artola | ONERA | France |
| C-5 | Single Event Upset and Multiple Cell Upset Modeling in Commercial Bulk CMOS 65nm SRAMs | S. Uznanski | STMicroelectronics | France |
| C-6 | Analysis of the Single Effects of a 90nm CMOS Phased-Locked Loop | A. V. Kauppila | Vanderbilt Univ. | USA |
| C-7 | TCAD Mixed-Mode Simulation of Bitflip with Pulsed Laser | F. R. Palomo | University of Sevilla | Spain |
| C-8 | Enabling Mixed-Mode Analysis of Nano-Scale SiGe BiCMOS Technologies in Extreme Environments | M. Turowski | CFD Research Corporation | USA |
| PC-1 | Layout-Oriented Simulation of Non-Destructive Single Event Effects in CMOS IC Blocks | E. Do | University of Milano | Italy |
| PC-2 | Efficient Single Event Upset Simulations of a Tolerant PD SOI CMOS D Flip-Flop | J. Alvarado | Universite Catholique de Louvain | Belgium |
| PC-3 | 3D Simulation of Charge Collection and MNU in SEU Hardened Storage Cells | L. Lui | Beijing Microelectronics Technology Institute | China |
| PC-4 | Methodology of Soft Error Rate Computation in Modern Microelectronics | G. I. Zebrev | Moscow Engineering Physicas Institute | Russia |
| PC-5 | Analysis of Current Components in Single Event Transient | L. Zheng | National University of Defence Technology | China |
| PC-6 | A Monte Carlo-Based Control Signal Generator for Single Event Effects (SEE) Fault Injection | H. Zheng | Beijing Microelectronics Technology Institute | China |
| PC-7 | Effect of Multiple Injections on the SEEs in SRAM Cell | G. Toure | IM2NP-UMR CNRS 6242 | France |
| PC-8 | Fast SER Evaluation of Embedded RAMs in Fault Emulation Systems | M. Portela- Garcia | Universidad Carlos III de Madrid | Spain |

13

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



Technical Program (6)



The figure 4 presents the SER contributions induced by the AP8-min (direct ionizing and nuclear process) and cosmic environments. This new result is very important because shows that the direct proton ionization would be the most important contribution to SER.



Direct ionization process by proton

[C-3, C-4について]

- ✓ SEU rateのシミュレーションプログラムである、MUSCA SEP³を使用した、プロトンによるSEUレート予測を、Bulk65nmや90nmプロセスのCMOSデバイスに対して実施した。
- ✓ MUSCA SEP³では、今まではあまり着目されていなかった(LETが低くて、direct ionizationは無視されていた)低エネルギープロトンによるdirect ionizationのモデルを包含し、低エネルギープロトンによるSEUも予測できるようになっている。
- ✓ 地上ではもちろん、宇宙でも、ナノテクノロ ジーデバイスにおける、低エネルギープロト ンのdirect ionizationのSERへの寄与は無 視できない。



Technical Program (7)



| Session I | D : Basic Mechanisms | | | |
|-----------|--|------------------|---|---------|
| # | Title | First Author | Affiliation | Country |
| D-1 | "Effective NIEL" in Silicon: Calculation Using Molecular Dynamic Simulation Results | C. Inguimbert | ONERA-DESP | France |
| D-2 | Angular and Strain Dependence of Heavy-Ions Induced Degradation in SOI FinFETs | A. Griffoni | Universita di Padova | Italy |
| D-3 | Effects of Halo Doping and Si Capping Layer Thickness on Total-Dose Effects in Ge p-MOSFETs | R. Arora | Vanderbilt Univ. | USA |
| D-4 | A Deep Level Transient Spectroscopy Study of Electron and Proton Irradiated p+n GaAs Diodes | J. H. Warner | NRL | USA |
| PD-1 | Comparison of γ and β -ray Irradiation Effects in Sol-Gel Ge- Doped SiO2 | A. Alessi | University of Palermo | Italy |
| PD-2 | The Conversion Model of Low Dose Rate Effect in Bipolar Transistors | V. S. Pershenkov | Moscow Engineering Physics Institute | Russia |
| PD-3 | Semi-Empirical LET Descriptions of Heavy Ions Used in the European Component Irradiation Facilities | A. Javanainen | University of Jyvaskla | Finland |
| PD-4 | Single Event Transients in Scaled CMOS Operational Amplifiers | O. J. Chukwuma | Prairie View A & M Univ. | USA |

15

HIREC-TD-E09061

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



Technical Program (8)

| Session I | E: Hardness Assurance | | | |
|-----------|---|------------------------|-------------------------------------|---------|
| # | Title | First Author | Affiliation | Country |
| E-1 | Investigation of the Basis Effect on Total Dose Induced Degradation on Bipolar Linear Microcircuits | Y. Gonzalez | Universite Monpelier 2 | France |
| E-2 | Enhancing Observability of Single Composition Response and Error Signatures durin Dynamic SEE Analog to Digital Device | M. Berg | NASA-GSFC | USA |
| E-3 | Failure Modes and Hardness Assurance for Linear Integrated Circuits in Space Application | A. Johnston | JPL | USA |
| PE-1 | Laser SEL Sensitivity Mapping of SRAM Cells | A. J. Burnell | MBDA UK Ltd. | UK |
| PE-2 | Total-Dose Worst-Case Test Vectors for Logic Faults Induced in Combinational Circuits of Cell-Based ASICs | A. A. Abou-Auf | American Univ. in Cairo | Egypt |
| PE-3 | Extensive SEU Impact Analysis of a PIC Microprocessor for Selective Hardening | M. Garcia- Valderas | Universidad Carlos III de Madrid | Spain |
| DF-4 | A New Critical Variable Analysis on Processor-Based Systems | S Bermoui | TIMA Laboratory | France |





Technical Program (9)

| Session F | : Terrestrial and Radiation Environments | | | |
|-----------|--|--------------|-------------------------------------|------------|
| # | Title | First Author | Affiliation | Country |
| F-1 | Altitude and Undergraound Real0time SER Tests of Embedded SRAM | T. Heijmen | NXP Semiconductors | Netherland |
| F-2 | Radiation Environments and Shielding Approach for Jupiter Europa Oebiter (JEO) | I. Jun | JPL | USA |
| F-3 | MARSIM: The Development of a Voxel Model of the MATROSHKA Astronaut Dosimetric Phantom Exposed to Cosmic Radiation Onboard the International Space Station ISS | P. Beck | Austrian Institute of Technology | Austria |
| F-4 | The Radiation Environment and Effects for future ESA Cosmic Vision Missions | J. Sorensen | ESA-ESTEC | Netherland |
| PF-1 | Electron Environment Specification Models for Navigation Orbits | S. Bourdarie | ONERA | France |
| PF-2 | ICARE On-Board SAC-C: More than 8 years of SEU & MBU, Analysis and Prediction | C. Boatella | CNES | France |
| PF-3 | Cosmic-Ray Heavy Ions Contributions to the Atmospheric Radiation Field | F. Lei | QinetiQ | UK |

17

HIREC-TD-E09061

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



Technical Program (10)

| Session | G : Photonics | | | |
|---------|---|--------------|------------------------------------|---------|
| # | Title | First Author | Affiliation | Country |
| G-1 | Gamma-Radiation Effects on the Femto-Second Fiber Bragg Gratings Written in Ge-Doped Fibers | A. Gusarov | SCK·CEN | Belgium |
| G-2 | Influence of Manufacturing Parameters and Temperatuer on the Radiation Sensitivity of Fiber Bragg Gratings | H. Henschel | Fraunhofer-INT | Germany |
| G-3 | Effects of Low Temperature Proton Irradiation on a Large Area CCD for Astrometric Applications | G. Hopkinson | Surry Satellite Technology Ltd. | UK |
| PG-1 | A Simple Method for Optocoupler Selection in the Frame of Space Applications | D. Peyre | ASTRIUM SAS | France |
| PG-2 | Long-Term Exposure of Fiber Bragg Gratings in the BR1 Low- Flux Nelear Reacor | A. Gusarov | SCK·CEN | Belgium |
| PG-3 | 10 keV X-Ray Irradiation Effects on Phosphorus-Doped Fiber and Preforms: electron Spin Resonance and Optical Studies | G. Origlio | Universite de Lyon | France |
| PG-4 | Gamma Radiation Effects on CCTV Cameras - an Update | R. E. Sharp | Isotron Ltd. | UK |

18



Technical Program (11)



Session H : Dosimetry and Facilities

| # | Title | First Author | Affiliation | Country |
|------|--|------------------------|---|------------|
| H-1 | The DIME Stuite of Dosimeters | P. J. McNulty | Clemson Univ. | USA |
| H-2 | A New Approach in Characterizing the Response of Silicon p-i-n diodes used as Radiation Monitoring Sensors | J. Mekki | CERN | France |
| H-3 | Validation of Geant4 Based Dose Computational Tools with REEF Experiments | F. Lei | QinetiQ | UK |
| PH-1 | The Radiation Hardness Assurance Dacility at INFN-LNS Catania for the Irradiation of Ekectronic Components in Air | M. Menichelli | Istituto nazionale di Fisica Nucleare Sezione di Perugia | Italy |
| PH-2 | AGORFIRM, the AGOR Facility for Iradiations of Materials | E. R. van der Graaf | Kernfysisch Versneller Instituut (KVI) | Netherland |

19

HIREC-TD-E09061

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



Technical Program (12)

| Session I | : Technology and Design Hardening | | | |
|-----------|--|--------------|--|---------|
| # | Title | First Author | Affiliation | Country |
| I-1 | A Commercial 65nm CMOS Technology for Space Applications: Heavy ion, proton and Gamma test Results and Modeling | P. Roche | STMicroelectronics | France |
| I-2 | High Speed Redundant Self Correcting Circuits for Radiation Hardened By Design Logic | D. E. Pettit | Arizona State Univ. | USA |
| I-3 | A 90nm Bulk CMOS Radiation Hardened by Design Cache | X. yao | Arizona State Univ. | USA |
| I-4 | Evaluating the Impact of DFM Library Optimizations on Alpha- induced SEU Sensitivity in a Microprocessor Core | P. Rech | Universita di Padova | Italy |
| PI-1 | A Novel Error Correction Technique for Adjacent Errors | C. Argyrides | University of Bristol | UK |
| PI-2 | Fault Tolerant FIR Filters Using Hamming Codes | S. –F. Liu | Universidad Antonio de Nebrija | Spain |
| PI-3 | The Reliability and Availability Analysis of SEU Mitigation Techniques in SRAM-based FPGAs | ZM. Wang | Department of Engineering Physics, Tsinghua | China |
| PI-4 | Non-TMR SEU-Hardening Techniques for SiGe HBT Shift Registers and Clock Buffers | E. P. Wilcox | Georgia Institute of Technology | USA |
| PI-5 | Selection of the Optimal Interleaving Distance for Memories Suffering MCUs | P. Reviriego | Universidad Antonio de Nebrija | Spain |
| PI-6 | Analyzing Transistor Size and Folding Method for Radiation Hardening | T. Assis | UFRGS | Brazil |



Technical Program (13)



[|-2について]



- Fig. 1. Rising edge triggered TRSCMSFF design allowing self-correcting during clock low. Nodes NHA, NHB, and NHC are voted by the majority gate feedback gate as shown to self correct the slave latch when CLK = 0.
- ✓ Bulk90nmで設計したTID及びSEE RHBD フリップフロップについて、耐性評価の為に TID及びSEU/SET試験を実施した論文。
- ✓ SEU/SET対策の為、triple redundant selfcorrecting logic circuitを使用(これは ACTELで使用されているRHBD回路に似た 構造らしい)。
 - TID>3.2Mrad(Si)、
 SEU>100MeV/(mg/cm²)までの、耐性が確認できた。ただし、RHBD適用による回路ペナルティももちろんあり、面積、消費電力がそれぞれ3倍に。

21

HIREC-TD-E09061

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



Technical Program (14)

| Data Workshop | | | | | | |
|---------------|--|---------------|--|---------|--|--|
| # | Title | First Author | Affiliation | Country | | |
| DW-1 | Low Dose Rate Test Results of National Semiconductors ELDERS-free Bipolar Comparators LM111 and LM119 | K. Kruckmeyer | National Semiconductor | USA | | |
| DW-2 | Characterization of New Radiation Hardened Bipolar Operational Amplifiers | G. Chaumont | STMicroelectronics | France | | |
| DW-3 | Low Dose Rate Testing on Commercial Micropower Single Supply Rail-to-Rail Instrumentation Amplifiers | M. Alvarez | INTA | Spain | | |
| DW-4 | Total Ionizinf Dose and Single Event Effects Test Results of a Radiation Hardness-By-Design Library for 0.15µm Fully Depleted SOI-ASIC | A. Makihara | HIREC | Japan | | |
| DW-5 | ATMEL ATF280E Rad Hard SRAM Based Reprogrammable FPGA SEE Test Results | G. Mantelet | ATMEL | France | | |
| DW-6 | Comparison of TID Response and SEE Characterization of Single and Multi Level high Density NAND Flash Memories | F. Irom | JPL | USA | | |
| DW-7 | Radiation Studies on the UMC 180 nm CMOS Process at GSI | S. Lochner | GSI Helmholtzzentrum fur Schwerionenforschung GmbH | Germany | | |
| DW-8 | SEU Data and Fault tolerance Analysis of a LEON 3FT | A. Jordan | Aeroflex | USA | | |





305



[DW-4について]

- ✓ OKIセミ製FD-SOI0.15µmプロセスのASIC
 用に開発したRHBDスタンダードセルライブ
 ラリの、TID及びSEU/SET評価結果の紹介。
- ✓ セルに対してTID対策は施しておらず、プロ セス自体に100KRad(Si)の耐性あり。
- ✓ SEU/SET対策は、FFやラッチ等のメモリ素 子と、クロックバッファに適用した。本ペー パーのバージョンのセルでは、 LET:64MeV/(mg/cm²)以下でSEU発生が みられたが、これらはクロックやリセット・ セット内部バッファ回路でのSET発生に起
 - 因するもの。 上記対策済みのTEGは既にSiチップの製 造が完了し、近々SEU/SET評価を実施予
 - 造が完了し、近々SEU/SET評価を実施予 定(次回ペーパーでできれば報告したい)。

23

HIREC-TD-E09061

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



Technical Program (16)

| Late News | | | | | | |
|-----------|--|----------------|---|------------|--|--|
| # | Title | First Author | Affiliation | Country | | |
| LN-1 | Effect of the Ion Mass and Energy on the Response of SOI Transistors to the Ion Deposited Charge by Direct Ionization | M. Raine | CEA | France | | |
| LN-2 | Background Estimation in MXGS Apparatus on International Space Station | B. Alpat | INFN Sezione | Italy | | |
| LN-3 | Cobalt-60, Proton and Electron Irradiation of a Radiation- Hardened Active Pixel Sensor | D. Herve | EADS SODERN | France | | |
| LN-4 | Inner Belt Anisotropy Investigations Based on the Standard Radiation Environment Monitor (SREM) | M. Siegl | ESA-ESTEC | Netherland | | |
| LN-5 | Experimental Validation of Fault Injection Analyses by the FLIPPER Tool | M. Alderighi | Institute di Astrofisica Spaziale e Fisica Cosmica | Italy | | |
| LN-6 | Total Dose Effects on a FD-SOI Technology for Monolithic Pixel Sensors | D. Bisello | Universita degli Studi di Padova | Spain | | |
| LN-7 | Sensitive Volume and Triggering Criteria of SEB in Classic Planar VDMOS | A. Luu | LAASCNRS | France | | |
| LN-8 | Heavy Ion Testing at the Galactic Cosmic Ray Energy Peak | J. A. Pellish | NASA-GSFC | USA | | |
| LN-9 | Last Upgrades and Development of the Space Environment Information System (SPENVIS) | M∕ Kruglanski | Belgium Institute for Space Aeronomy | Belgium | | |
| LN-10 | Transient and Steady State Radiation Responses of Solarization-Resistant Optical Fibers | S. Girard | CEA | France | | |
| LN-11 | TCAD Simulations on CMOS propagation Induced pulse Broadening Effects: Dependence Analysis on the NMOS Vt | J. M. Mogollon | University of Sevilla | Spain | | |
| LN-12 | SEE Evaluation of a Low-power 1µm-SOI 80C51 for Extremely Harsh Environmens | S. Falmagne | Universite Catholique de Louvain | Belgium | | |



306



- ✓ 今年はConferenceの年だけあって(RADECSはConferenceとWorkshopを隔年で開催している)、去年のWorkshopと比べて、参加人数は4割増の約310名、発表論文は2割増の110件だった。米国でのNSRECは、だいたい500名強の参加者に150件前後の発表論文であるので、NSRECよりは一回りこじんまりとした印象がRADECSにはあった。しかし、こじんまりとしている分、各研究者と、論文に関する議論がゆっくりできたという感触がある。(個人的には、これくらいの規模が好き。)
- ✓ PD-SOI及びFD-SOIを対象とした論文が、このところ増えてきているように思う。プロセスが 微細化していけばいくほど、BulkよりもSOIの良い特徴(No SEL、SEU/SETもBulkに比べれ ば耐性あり)が際立ってきたのかもしれない。
- ✓ RADECSには、スポンサーとオーガナイジング・コミッティに、ヨーロッパで主軸の衛星メーカ であるThalesAlenia社が名前を連ねている。ファーストオーサーではないが論文も何件か出 していたし、論文のレビューアーにも名前があり、RADECS最終日には、Thales社からの閉 会挨拶があった。宇宙放射線(地上も)に対する半導体部品の使い方、評価方法、設計方法、 ベーシックな放射線効果等々を、部品ユーザの立場からも積極的に知識を得たい、という姿 勢が現れていると思う(Session Cのセッションチェアを、JAXA久保山氏と、Thales社の人が やっていた)。産官学が深く関与してRADECSという学会に参加しているのは、大変良いこと だと思う。日本のRASEDAも、そうありたいと感じた(既にRADECSとは随分と水をあけられ た感がありますが・・・)。

25

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」第4回委員会(2009.11.27)@HIREC㈱ 川崎事業所



Mizuho

新デバ_4-4

307

薄膜SOI型SiGe HBT における トータルドーズおよび重イオン電化収集

- (原題) Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe HBT on Thin-Film SOI Technology
- (著者) M. Bellini(ジョージアエ科大)ら、他にNASA、CFDRC,STマイクロ
 - SiGe HBT、バルク型と薄膜SOI型の比較
 - DC特性、AC特性、熱特性
 - 実験...63MeVプロトン(2、4.2 Mrad(SiO2))
 - TCAD...重イオン照射など
- (報告担当) みずほ情報総研 深田

| 2009年11月27日(金) 最新デバイスの耐 | 讨放射線性 |
|-------------------------|-------|
| 強化技術に関する | 検討委員会 |

|. 序論: SiGe HBTについて

- 用途…ミリ波ICなど
- 特性…優れた周波数応答、低ノイズ、高ゲイン
- 高トータルドーズ耐性
- SOI基板…クロストーク、寄生リークの改善 ⇒高SEU耐性
- <補足>
 - SiGeはSiプロセスと互換性がありGaAsより低コスト
 - SiGe HBTは組成勾配を利用できる







Fig. 3. Excess normalized base current $\Delta I_B/I_{B0}$ versus total radiation dose in krad(SiO₂), in forward and inverse mode.











2009年11月27日(金) **MIZLHO**

最新デバイスの耐放射線性 強化技術に関する検討委員会







= 20 V, along the line z indicated in the in







Fig. 14. 2D Plots of ion-strike induced electric potential for the strike in the center at time B, as indicated in Fig. 12. The arrows visualize the electron flow. The inset shows the 2D cut plane.



2009年11月27日(金) **MIZUHO**

最新デバイスの耐放射線性 強化技術に関する検討委員会



- 独自のEB構造のSiGe HBT(バルク型、SOI型)への 63.3MeVプロトン照射の効果を、DC特性とAC特性、 熱特性をはじめて評価した。
- SOI型は逆モードにおいて特性が悪化したが、基板電圧Vs を増加させると改善する(過剰な漏れ電流が減少する)。
- 照射による電流分布の変化で熱抵抗が増加し、デバイスの信頼性が低下する。
- イオン打込み位置は、電流パルスの波形に大きく影響し、 SEU耐性も変化する。

MITSUBISHI 三菱電機

Changes for the Better

315

プロトンとシリコンイオン照射による GaAs中における欠陥形成

Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs

Jeffrey H. Warner, Christophe Inguimbert, Manuel J. Romero, and Geoffrey P. Summers 他 Naval Research Laboratory Nationnal Renewable Energy Laboratory University of Maryland

実験・理論:実験 対象:NIEL 照射粒子:プロトン、Siイオン デバイス:GaAs 太陽電池

三菱電機(株) 矢嶋 2009-11-27

MITSUBISHI 三菱電機

Changes for the Better

1

概 要

- EBICとTEMを使用してプロトンとシリコンイオン を照射したGaAsの電気的及び構造的変化を観 測した。
- 10MeV以上のプロトンとSiイオン照射では、これより低いエネルギーで形成されたものより電気的、構造的に異なった乱れた結晶領域ができている。
- 乱れた領域は、実験データとNIELとのズレの原因であるのを示している。
- 反跳スペクトルの解析から高エネルギーの反跳
 により乱れた領域が形成される。



Changes for the Better

実験(サンプル仕様)

- ・試料:0.5×0.5cm GaAs (P、N領域はMBE によってエピタキシャル形成した)
- 照射実験:
 - プロトン (2, 4, 10, 53, 253 MeV)
 - シリコン (22 MeV)
- 評価
 - EBIC
 - TEM

MITSUBISHI 三菱電機

Changes for the Better

3



(a)10^12cm-2,(b)10^13cm-2, (c)4x10^13cm-2

(d) 227MeV照射 2.5x10^13cm-2

黒くなっている点は再結 合中心を表す。

黒い点が照射によるダ メージでフルエンス量と 照射エネルギーで増加 する。



Fig. 1. EBIC images for $\rm p+n$ GaAs solar cells irradiated with 10 MeV protons at different fluence levels: (a) 10^{12}, (b) 10^{13}, and (c) 4 \times 10^{13} cm⁻². The image shown in (d) corresponds to 227 MeV protons at a fluence of 2.5 \times 10¹³ cm⁻². The image areas are 1156 μ m².



Changes for the Better

317

イオン注入後のTEM画像



Fig. 2. A weak beam g-3g image (dark field) measured on NRL $_{\rm P}+_{\rm II}$ GaAs solar cell irradiated with 227 MeV protons with a fluence of 1×10^{14} cm^-2. The bright spots correspond to radiation-induced defects. The circle in the figure surrounds one of these defects.

- 227MeVのプロトン注入の GaAsの結果
- 明るい点が照射による欠陥 を示している。



- 22MeVのSiイオン注入の GaAsの結果
- 明るい点が照射による欠陥を 示している。
- 227MeVのプロトンよりはひ ずみは小さい

MITSUBISHI 三菱電機

Changes for the Better

5

プロトン227MeVのHRTEM解析



Fig. 4. HRTEM lattice image of NRL $p^{+}n$ GaAs solar cell irradiated with 227 MeV protons with a fluence of 1×10^{14} cm⁻². The white circle surrounds a region corresponding to a radiation-induced defect that is approximately 1–3 nm in size.

- ・ TEMで見えた欠陥は結晶が変形している
- ・欠陥はアモルファスでは無く結晶性をもって
 いることが判明した。



MITSUBISHI

- 菱電機

クーロン反応での反跳スペクトルの計算結果



Fig. 5. Calculated recoil spectra for 2, 4, 10, and 227 MeV protons, and 22 MeV S1 ions on GaAs for Coulombic interactions only. It is important to note that the anding point of each curve in the figure corresponds to the maximum recoil energy for that incident particle type and energy, and it is not merely the termination point of the calculation.

- 注入エネルギーによって
 反跳エネルギーの最大値
 が決まっている。
- ・最大値は粒子の種類で決 まっていない。

7

Changes for the Better

反跳エネルギーより発生した 積算NIELダメージ反跳エネルギー依存性

- プロトンエネルギーが増加する
 とカーブはシフトしていく。
- 高いエネルギーのプロトンは高い反跳エネルギーを持つため。
- 30MeV以上のプロトンに反跳
 エネルギー約0.2MeV に変曲
 点がある。
- これは、NIELの核物質は閾値
 0.2MeV以上で高反跳エネル ギーを発生させるクーロン反応 と比較できる。そして変異損傷 に影響を与える



Fig. 7. Fraction of the total NIEL (cumulative damage) produced by recoils with energies below the recoil energy T_{rec} following irradiation with protons of various energies and with 22 MeV Si ions. These calculations include both Coulombic and nuclear interactions.



MITSUBISHI 三菱電機

Changes for the Better

まとめ

- TEMとEBICの結果から高エネルギープロトン(10 MeV以上)と22MeVのシリコンイオンによって発生 する欠陥は、低いエネルギーのプロトンで作られる欠 陥と電気的構造的に異なることが明確になった。
- 反跳スペクトルの解析からEBICとTEM画像から結晶 の乱れた領域が観測されるのは反跳エネルギーの 閾値として0.22MeVということを示した。



OKI SEMICONDUCTO

新デバ_4-6

放射線照射された FD-SOIデバイスにおける バンド間トンネリング誘起ドレインリーク電流の ゲート長 及びドレインバイアス依存性

Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling-Induced Drain Leakage in Irradiated Fully Depleted SOI Devices

Farah E. Mamouni, Sriram K. Dixit, Ronald D. Schrimpf, Philippe C. Adell, Ivan S. Esqueda, Michael L. McLain, Hugh J. Barnaby, Sorin Cristoloveanu, and Weize Xiong

 [出典] IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 55, NO. 6, DECEMBER 2008, pp.3259-3264,
 [対象デバイス] 完全空乏型SOIトランジスタ (NMOSFET)
 [実施設備] ARACTOR X-ray system
 [照射線種およびエネルギー区分]: X線 10keV, 31.5krad(SiO2)/min, <300krad
 [単発反転現象又は積算線量効果の区分] TID
 [実験又は理論の区分] 実験 及び シミュレーション

担当: 三浦 規之 (OKIセミコンダクター宮城)

OKI

Abstract

© Copyright 2009 OKI SEMICONDUCTOR MIYAGI

- か放射線(X線)が照射されると FD-SOI NMOSFET オフリーク電流 (GIDL)が大きくなる現象について、 ゲート長 及びドレインバイアス依存性を調べた。
- ▶ 上記 オフリーク電流は、ゲート長が短くかつ、 ドレインバイアスが高い場合に顕著となる。
- ▶ 実験結果は、バンド間トンネリング 及び (TID ダメージによって) 埋め込み酸化膜中にトラップ された正電荷 による効果を組合せたモデルで 説明することができる。

Introduction Previous Work これまでの研究



oki

Introduction : これまでの研究 (2)

At high dose level and low drain voltage



[6] P. Paillet, M. Gaillardin, V. Ferlet-Carvrois, A. Torres, O. Faynot, C. Jahan, L. Tosti, and S. Cristoloveanu, "Total ionizing dose effects on deca-nanometer fully depleted SOI devices," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2345–2352, Dec. 2005.

© Copyright 2009 OKI SEMICONDUCTOR MIYAGI 5 OKI Introduction: これまでの研究 (3) At low dose level and low drain voltage



[9] P. C. Adell, H. J. Barnaby, R. D. Schrimpf, and B. Vermeire, "Band-to-Band tunneling (BBT) induced leakeage current enhancement in irradiated fully depleted SOI devices," *IEEE Trans. Nucl. Sci*, vol. 54, no.6, pp. 2174–2180, Dec. 2007.

Introduction Objective 本研究の目的



[9] P. C. Adell, H. J. Barnaby, R. D. Schrimpf, and B. Vermeire, "Band-to-Band tunneling (BBT) induced leakeage current enhancement in irradiated fully depleted SOI devices," *IEEE Trans. Nucl. Sci*, vol. 54, no.6, pp. 2174–2180, Dec. 2007.

文献[9]の研究・Simulationにより説明されている、TIDによるリーク電流増加モデルのうち、BBTがそれを強める考え方(p.6①②)に関し、実験でその妥当性を確認する。
oki

Experimental Details 実験の詳細



© Copyright 2009 OKI SEMICONDUCTOR MIYAGI

This document is provided by JAXA.

実験詳細 (2): X線 照射条件

OKI



<u>照射条件</u> 10keV X線 照射レート: 毎分 31.5 krad (SiO2) バイアス条件:

325

バックゲート(Vgb=3.0V) ※

※BOX界面に、より正電荷が捕獲されやすいように 裏面を反転させておく。

全ての照射・測定は、ウエハレベル/in-situ (針を立てたまま 照射・測定)

© Copyright 2009 OKI SEMICONDUCTOR MIYAGI 11 OKI

Experimental Results

実験結果

実験結果: IdVg 特性/X線照射量依存



_ _ _ _ _ _ _

OKI

実験結果:ドレインバイアス依存





Fig.4. Semi log plot of $I_{\rm d}$ - $V_{\rm gf}$ characteristics at various x-ray doses. The drain was biased at 50 mV and the gate length is 0.5µm. Fig.5. Semi log plot of $I_{\rm d}$ · $V_{\rm gf}$ characteristics at various x-ray doses. The drain was biased at 1.4 V and the gate length is 0.5µm.

 > Vg 負領域のリーク電流がより大きくなる効果は、Vd が大きいときに顕著
 > Vd 大の方が BBTキャリア生成率が高くなり、発生した正孔がソースに走って ボディ電位が浮く (p.18参照)

14

oki



実験結果:ゲート長依存

oki





Fig.7. Semi log plot of $I_d \cdot V_{gf}$ characteristics at various x-ray doses. The drain was biased at 1.4 V and the gate length is 10µm.

Fig.5. Semi log plot of $I_{\rm d}$ - $V_{\rm gf}$ characteristics at various x-ray doses. The drain was biased at 1.4 V and the gate length is 0.5µm.

≻ Vg 負領域のリーク電流がより大きくなる効果は、Lが短いときに顕著 逆に、長チャネルでは、BBTで発生した正孔がソースの方に向かわずボディ電位が 浮かないため (p.19~p.20参照)。

© Copyright 2009 OKI SEMICONDUCTOR MIYAGI

Discussion Simulation Results シミュレーション結果





Fig. 9. $I_{\rm d} \cdot V_{\rm gf}$ curves for various $V_{\rm d}$ values. $V_{\rm s} = V_{\rm bg} = 0$ V, using BBT model in simulations. Results for $N_{\rm ot} = 0, 5 \times 10^{11} {\rm cm}^{-2}$ at the BOX/Si interface and $L_{\rm g} = 0.5 \mu {\rm m}$.

> シミュレーション結果は、Fig.4 及び Fig.5 実測傾向 (p.14) を説明できる ✓ Vd が大きい方が BBTによるキャリア生成率が高くなるため(次頁)。



Fig. 8. Body potential as a function of $V_{\rm gf}$ for different $V_{\rm d}$. Simulations with BBT model, $V_{\rm s} = 0$, the back-gate voltage ($V_{\rm bg}$) is grounded, and $L_{\rm g} = 0.5 \mu m$.

Vd 大の方が (BBTキャリア生成率が高くなり、正孔が流れ) ボディ電位が浮く

oki



短チャネルでは、Vg 負領域でのドレイン電流とソース電流がほぼ同じ →ドレインからソースに向かって電流が流れている

これは 文献[9]/本論文Fig.2 (本資料のp.6 ①②) の考え方で説明できる。

This document is provided by JAXA.

329



Tox = 2.0nm の領域なので、BBTで発生した正孔は、ソース側へ向かうよりも

「直接トンネリング現象」によってゲート酸化膜を飛び越えてゲートに流れる。



Conclusion 結論



結論: (その1)

- BBT 及び BOX中に捕獲された正電荷 が合いまった効果によって、 放射線照射されたメサ分離 FD-SOI のドレインリーク電流 (Vg負Vd正 : GIDL) が、増えてしまうことを初めて実験的に示した。
- 2. Vg 負領域・IdVgヒステリシスもないことから、衝突イオン化現象はここで議論しているリーク電流に寄与していないことが実験的にもわかるし、今回行ったシミュレーションにも衝突イオン化モデルは入れていない。(今回行った Vd 50mV~1.6Vでは衝突イオン化は十分小さいとみてよい)
- 3. 放射線照射された FD-SOIデバイスの Vd依存とL依存を始めて示した。
- 4. L=0.5um, Vd ≤ 1.6V 領域での 放射線反応を比べることにより、高Vd において オフ時ドレインリーク電流が増えてしまうことを示した。 これは、ゲート/ドレインオーバーラップ部分で高電界が掛かっていること による BBT現象の結果である。

© Copyright 2009 OKI SEMICONDUCTOR MIYAGI 23 OKI 結論: (その2)

- 5. ゲート長の短いデバイス (ここでは=0.5um) では、放射線被曝によって オフリークが増える弱みがある。これは、BOX層にできる捕獲 正電荷 の増加 或いは 生成した正孔がソースに向かう電流によるものである。
- ゲート長の長いデバイスでは、生成した正孔はゲート酸化膜を飛び越える 直接トンネリングのメカニズムの方がきく。これは、ドレインからチャネルに 沿った電界が小さいためである。この結果は、実験的にも示されたし、 シミュレーションでも説明できた。
- 7. 先の文献 [9] で提案したモデルでもって、 この論文で新しく報告した実験結果、つまり、放射線照射されたFD-SOI デバイスの Vd依存 と L依存の両方の結果 を説明することができる。

24



© Copyright 2009 OKI SEMICONDUCTOR MIYAGI

実験·理論解析

新デバ_4-7

Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature

Mauro Zanata, Nicola Wrachien

強誘電体不揮発性メモリーに対する電離放射線影響 と照射温度の依存

<u>アブスト</u>

・X線と陽子線照射による強誘電体ランダムアクセス・メモリを評価する。

- ・評価は照射中の温度に依存する放射線損害
 - ・回復とサイクル間の安定性
 - ・供給電圧とパッケージングの効果
- ・放射線損害は強く照射温度に依存する。
- ・室温で少なくとも9Mrad (Si)までの線量域でスタックビット(データ破損していない)を検知。
- ・放射線損害は数週間の時間で回復する。
- ・回復率は電気サイクルまたは高温回復のどちらかにより加速されている。
- ・無電圧で照射:放射線耐性は非常に高いことが得られた。
- ・照射温度依存に関する説明として劣化モデルを示す。

1/33

論文構成

Abstaract

- 1. Introduction
- 2. Experimental and Devices
- 3. Results
 - A. Immediate Irradiation Effects on Unpowered Devices
 - B. Radiation Damage Recovery
 - C. Bias and Packaging Effects
- 4. DISCUSSION
 - A.Role of the Peripheral Circuitry Degradation
 - B. PZT Degradation in Unpowered Devices
- 5. DEGRADATION MODEL
- 6. CONCLUSION ACKNOWLEDGMENT

2/33

333

Introduction

FRAM:

動作はSRAM、構造はDRAM、特色は不揮発性メモリー 記憶コンデンサーに強誘電体層を使用

(バイナリ情報は強誘電体の残留分極に関連) 特長:高速、低電圧駆動、内部電圧(3Vより小さい)、ブー スター回路またはCharge Pumpの不用、単一ビットの可変 性、ランダムアクセス、高い耐久性等)

ラムトロン、富士通

低消費電力が要求されるスマートカードや携帯機器等 のアプリケーションに対して、最適なメモリである。



目的:商業用FRAMに対する放射線耐性の解析 内容:放射線損傷と温度、損傷回復について

劣化モデルの提案:損傷と照射温度







Experimental and Devices デバイス情報 FM1808FRAM(PDIPパケージで動作電圧3.3V、32Kx8ビット) セル構成:PZT強誘電体フィルムを使用(1トランジスターと1記憶コンデンサー)を備え た標準的なDRAMと同様である。 PZT厚さは200nmで、PZT密度は8.6g/cm³。

PZT: PZTとは、ペロブスカイト型の結晶構造を持つ酸化物強誘電体。 残留分極が大きいので、キャパシタ型の強誘電体メモリ材料として利用 金属の酸化物で導電性(49uΩcm)を持つ。 PZT薄膜などの疲労劣化を防ぐ電極材料として注目されている。

外観(カタログから)

照射条件 照射施設:Laboratori Nazionali di Legnaro INFN-LNL(イタリア) 線種:10-keV X線と5MeVプロトンビーム

| Fe | atures |
|----|---|
| 25 | 6K bit Ferroelectric Nonvolatile RAM |
| • | Organized as 32,768 x 8 bits |
| ٠ | 10 year Data Retention |
| ٠ | Unlimited Read/Write Cycles |
| ٠ | NoDelay TM Writes |
| • | Advanced High-Reliability Ferroelectric P |
| Su | perior to Battery-Backed SRAM |
| ٠ | No Battery Concerns |
| ٠ | Monolithic Reliability |

- True Surface Mount Solution, No Rework Steps
 - Superior for Moisture, Shock, and Vibration Resistant to Negative Voltage Undershoots

SRAM & EEPROM Compatible JEDEC 32Kx8 SRAM & EEPROM pinout 70 ns Access Time 140 ns Cycle Time

- Low Power Operation 3.0V to 3.65V Operation
- 15 mA Active Current 15 µA Standby Current
- Industry Standard Configuration Industrial Temperature -40° C to +85° C 32-pin "Green" TSOP Package 28-pin SOIC or DIP Package "Green" Packaging Options

特性(カタログから)

試料への照射は放射線損傷に対する電源電圧の影響を評価するために印加電圧有無 (グランド接地)。

照射は-150度から140度の温度範囲で行った。 照射前に、デバイスはX線減衰を避けるために化学的に開封した。

4/33

Results

この論文では、以下の3項目についてまとめている

- A. Immediate Irradiation Effects on Unpowered Devices 無電カデバイスに対する直接的な照射効果
 - *B. Radiation Damage Recovery* 放射線損傷回復
 - C. Bias and Packaging Effects 電圧とパッケージング効果

評価パターン



照射前にデバイスにはプログラムパターンを与える 照射後、照射を中断しパターンの確認 スタックビット数発生と照射量との関係(X-ray irradiation)



温度パラメータ:温度範囲 (-15℃ to 140℃):パターン5で初期化

照射量として8Mrad の範囲の中でbit flipの観察はなかった。しかし、多くのスタックエラーの観察

SA0とSA1ビットの数は照射温度の増加に伴い増加している。 7/33

スタックビット数発生と照射量との関係(X-ray 照射とプロトン照射との比較)



温度パラメータ:温度範囲 (20℃ to 80℃)

照射量として9Mradまでビット反転は観察されない

Percentage of SA0 and SA1

10%

1%

0.1% ^L0

B. Radiation Damage Recovery 放射線損傷回復

目的:放射線損傷の回復の評価 方法:アニーリングと繰り返しの実験を実施

左図は放置日数と回復率との関係

70日間にわたり調査した 結果:照射後30日間は安定(変化なし) その後、放射線損傷は回復傾向を示す (線種に依存しない、図中のX線とプロトン) 確認条件:無印加で室温放置

放射線損傷の回復はデバイスに対して (Read/write)を繰り返す回数の増加でも回復 する。

00とFFの切り替え(Read/write mode)

放射線損傷回復と温度との関係

ここでは温度と回復との関係を述べている。

条件:デバイスは3.5Mradまで照射、温度85度 アニール温度:160,180,200度の3ポイント

高温の場合、放射線損傷回復は急激である。

アニール温度が200度の場合:約1時間でほとんど回復する

この章でのまとめ

放射線損傷回復は室温放置の場合:無印加状態では約30日後に回復傾向 R/Wの回数増加で回復 高温で加速



問題点





SA0

6000

8000

9/33

SA1

4000

of write cycles

2000





I. DISCUSSION

A. Role of the Peripheral Circuitry Degradation

周辺回路劣化の役割(影響)

放射線照射はメモリセル配列及び周辺回路の劣化を招く

メモリチップの低下要因(4項目)

 Row decoders, column decoders, plate line selectors, sense amplifiers rowおよびコラムに沿った故障ビットの集団が予想

Pass-transistor cell selector

敷居領域でのリーク電流の増加、しきい電圧の変化、相互コンダクタタンスの低下 (リーク電流:セレクタ領域の電圧低下を招き、結果:動作プログラムに影響を与える) Sub-micron MOSFETでLきい値電圧の変化には相互コンダクタンスのわずかな影響あり(論文23) {オフ状態で30Mrad,照射後100nA未満)

The PZT

故障するビットはPZTヒステリシスループの変化に関係する。 (セル特性分散により、故障しているビットは照射領域に一様に分布すると予想)

EDS protections, control circuitry, I/O circuitry
 これらの劣化は、スタンバイ電流及び動作電流の増加に貢献する。
 使用したデバイスではIDD(動作電流)の増加にかかわらず、機能は280Kradまで正常

13/33



Unpowered照射時PZTの劣化による故障ビットの 発生(図d:列及びコラムの観測されない)

Powered照射時のPZTの劣化を含む周辺回路劣化 による故障ビットの発生 (図c:列及びコラムの観測された。) 理由:Powered照射ではスタンバイ状態で照射: ・メモリセルはバイアス条件とは無関係 ・高インピーダンス状態である。 従って、これ等の条件から 故障ビットによる行及び列の観測はPZTの劣化では なく、周辺回路の劣化に由来する(列及びコラムが 観測、リードエラーはPZTの劣化よりはるかに大きい

ため加速される可能性有り)

一方、

IDDの増加は劣化の重要なサイン、 周辺回路の劣化サイン



メモリアクセス等のパラメータに悪影響 を与える







dose [Mrad(Si)]

⁶ 14/33



圧電体は、電圧をかけると変形する、という逆の効果も持っています(逆圧電性などと呼 ばれることもあります)。例えば、引き伸ばすと上がプラス、下がマイナスになるような圧 電体の場合、図(a)のように、引き伸ばされた状態ではプラス電荷は上に、マイナス電荷 は下に偏った配置になっている。図(b)のように、圧電体に、上にプラス、下にマイナスの 電圧をかけると、電場のはたらきでプラス電荷は下方へ、マイナス電荷は上方へ移動し、 機械的に引き伸ばされた時とは逆で、押し縮めた時と同じ配置ですから、圧電体は縮む ことになるのです。

強誘電体の分極を操作





17/33



データの書き込みは、スイッチ制御用の線に電圧をかけてトランジスタのスイッチをON、次に信号線(赤)と下側の線(青)の間に電圧印加、その時にプラス/マイナスの方向をどちらにするかで、強誘電体の分極の方向が変わる。この分極の方向によって"1"か"0"を記録する。ヒステリシスループで言えば、分極が上側にあるか下側にあるか、さらに強誘電体の分極は、ヒステリシスループを見てもわかるように、電圧を切っても消えないため、不揮発性の記録が可能。

情報を読み出す時は、トランジスタをONにした後、一定方向に電圧をかける。この時、上段のように電圧の方向と強誘 電体の分極の方向とが同じならば、特に何事も起きない、しかし、下段のように両者の電流方向が違っていると、強誘電 体の分極がひっくり返ります。これはコンデンサーを逆方向に充電し直すことと同じですから、上段の場合よりもはるかに 大きな電流が流れます。このようにして電流の大小を調べることによって、初めの分極の向き、つまり記録されていた情報 が"1"であったのか"0"であったのかを判定することができる。ただし一度読み出しをすると、図の右端のように分極の方向 が全て同じになってしまいますから、もう一度書き直して元の状態に戻しておく必要があります。



I. DISCUSSION

B. PZT Degradation in Unpowered Devices

照射量と温度を関数としたSA0とSA1ビット動作は、強誘電体材料の光誘起したfatigue 効果とimprint効果で説明。—>論文25-28に記載(X線及び紫外線照射効果:照射は 残留分極に影響を与える)

ヒステリシスの幅(P_{R+}とP_{R-}の違い)は、誘電体にトラップされている電荷により生じた結果(これは、fatigue現象の発生)そして磁壁のピン止めで減少する。一>fatigue-like現象の発生。

ヒステリシスのシフトは、誘電体/電極間の界面トッラプ電荷(右から左) 反対はpre-polin誘電体での発生。->imprint-like現象-即ち、fatigue-likeとinprint-likeの混合は、減少とシフトに変わる。 2進情報->P_{R+},P_{R-}に依存、C_{P-},C_{P+}に格納 ヒステリシス減少、シフト Irradiates epoled to P 照射後:ヒステリシスループ減少 (b) 左側ヘシフト Irradiated (a) Prepoled to P, (c) (b) 同一線量のスタックビット発生数(X線>プロトン)

20/33

fatigue効果(ファティグ): データの書き換えによる強誘電体の分極反転を繰り返したとき,強誘電体膜の劣化によって10⁷~10⁸回で残留分極が減少

imprint効果(インプリント):強誘電体キャパシタへの電圧印加や高温保存による 強誘電体のヒステリシス特性がシフトして電圧印加方向に対して偏る

残留分極が時間経過後に減少する**リラクゼーション**といわれる現象などである

21/33

放射線誘起損傷は可逆性(リバーシブル)。

論文31で、ヒステリシスは活性化する。またPZTの回復傾向は無いと報告がある。

しかし、実験にて放射線損傷の回復によるスタックビットの減少を確認、これはPZTが放射線劣化を示唆していると考えられる

アニーリング後のPZT格子構造は回復しない(但しいくつかの欠陥は修復されるが初期より弱い構造となる)





I. DEGRADATION MODEL

概要

FRAMの信頼性:正電荷捕獲に関連(インプリントとファティグを誘導している残留分極) これは、図2及び図3で示す:分極速度が温度に依存

したがって、モデルには残留分極の直接観察が必要、しかし商業用デバイスでは困難 対策:統計的手法の適用 -----> モデル開発のために

そのため、以下の4項目について考慮する

1) Each memory cell fails when the hysteresis loop reaches a given degradation level. ヒステリシス・ループが特定の劣化度に達した時、メモリセルは故障する。

2) the radiation induced fixed charge and defects are expected to be uniformly distributed in the ferroelectric film.

照射は固定電荷を引き起こし、欠陥は誘電体膜に均等に分布すると期待する

3) The remanent polarization of the cell among the array has a Gaussian distribution 配列に沿ったセルの残留分極はガウス分布

4) The defect recovery can be neglected up to the maximum irradiation temperature (140°C). 欠陥回復は最大照射温度まで無視できる

1) Each memory cell fails when the hysteresis loop reaches a given degradation level.

ヒステリシス・ループが特定の劣化度に達した時、メモリセルは故障する。

or

強誘電体のループ幅の減少、ヒステリシスループシフト危険率に達する。

強誘電性の極性化から正しい対の情報を検 索するための<u>センシング回路に</u>よって必要と される最小限残留極性化を表している重大な 極性化価値PFAILを識別することができる。 (a)

2) the radiation induced fixed charge and defects are expected to be uniformly distributed in the ferroelectric film.

照射は固定電荷を引き起こし、欠陥は誘電体膜に均等に分布すると期待する

理由としてイオン照射の実施と誘電体の面積が13.2µm²であること, さらに、誘電体厚さでは、インターフェース近傍に電荷中和効果を生じる

結果:ヒステリシスループのシフトと減少は、強誘電体に捕獲されている多量の生電荷に 比例すると考えられる



26/33

同様な結果として酸化膜照射での報告(論文32):照射誘起欠陥は照射によって発 生し荷電欠陥の微細構造変化から生じると予測。一例:二酸化珪素中の捕獲はSi-Si共有結合でのホールキャプチャープタから生じる。

この解釈を強誘電体に応用した場合、ホールは強誘電体における動作中、境界 界面に捕獲されると主張できる。これらの部分の捕獲されていないまたは中立 は、捕獲されている固定正電荷に関する先駆として順々に振る舞う中立性欠陥 を残す。

この解釈において、欠陥成長率は、少なくとも最大10Mrad(Si)までの照射線量まで、飽和 状態に至らずに強誘電体中の自由ホールの数に比例している。即ち、欠陥成長速度は式3 のように記載されている。

$$dN = d \cdot H \cdot dt \tag{3}$$

ここでdは欠陥発生確率の意味である。

いくつかの自由ホールは、自由ホール(H)と空欠陥数に比例する割合(式4)による先駆欠陥の中に永久に捕獲されるかもしれない。

 $dQ = c \cdot \left(N - \frac{Q}{q} \right) H \cdot dt$ (4) C:正孔捕獲定数

式2-4から以下の式を得る(式5)

$$H' = a \cdot r - b \cdot H - \frac{Q'}{q}; \quad N' = d \cdot H; \quad Q' = c \cdot \left(N - \frac{Q'}{q}\right) \cdot H \tag{5}$$

下図は、初期条件としてH(0)と Q(0)=0、N(0)=0で(5)式によって計 算した結果を示す。



Fig. 12. Example of the solution of the system in (5).Q(t)/q and N(t) asymptotically approach two straight lines with the same slope value. As shown in the inset, H(t) saturates at a constant value H_0 .

いったん照射が始まる場合、自由なホール密度 増加率は式2と式4を結合した式(6)で得られる。

$$H' = a \cdot r - \left[b + \frac{1}{q}c \cdot \left(N - \frac{Q}{q}\right)\right] \cdot H \qquad (6)$$

N>Q/qという理由で、時定数は1/bよりわずかで ある。また、bは一時的なHの上限を示し、それ はPZTからのエスケープに関連し、論文33で報 告されているホール移動度10⁻⁵~10⁻⁶cm²に相 当する。

27/33



Q(f)について(式5)を解決した後に、(式8)のようにP_{WIN}の変化を記入する。

 $P_{\rm WIN}(\phi) = P_{\rm WIN}(0) - \alpha \cdot Q(\phi) \tag{8}$

さらにこの式を(1)式に挿入する

αは、残留磁気変化によって捕獲した電荷に関連している比例性定数: Φは、照射線量。



Arrheniusとは、化学のアレニウスの式:反応速度と活性化エネルギーの関係式

・モデルパラメータの分析:照射温度は正電荷捕獲に作用、それは温度の増加で加速・式7からk値はb/d比率に依存。

照射は一定線量、即ち発生したホール数と関連パラメータは一定と期待

(そのような数は材料のエネルギーギャップと放射線エネルギーに依存する)

・スタックビットの増加はb/d比の減少と相関

(強誘電体から離脱するホールの減少または欠陥発生確率dの増加に起因する)

dの増加は、より多くの欠陥が増加している温度によって発生することを示し、欠陥発生過程 は活性した温度であることを示唆している。SA1の数が常にSA0(compare Fig. 2(a) and (b))より少なくても、それらの成長速度はほとんど同じ活性化エネルギー(図14)による。これ は熱的に活性化されるfatigueとimprint現象が同じ方法でSA0とSA1で影響を与えると示 唆する。

CONCLUSION

- 商業用強誘電体メモリー用チップの放射線耐性試験の結果を示す。
- 放射線損傷は、照射温度に強く依存する。
- 照射中に電力を供給されないなら、耐放射線性は、はるかに高い。
- 放射線損傷は数週間の期間中でアニールし、回復率はelectrical cycling または高温アニールのどちらかで加速される。
- 高温アニーリングは、スタックビットを減少させるために最も効果的である
- 欠陥発生率が熱で活性化するのを示す照射温度の関数として、放射破壊力学を述べるモデルを開発
- 放射の厳しい環境におけるアプリケーションに、強誘電メモリが有望であるという考えを確認





33/33

「平成21年度 最新デバイスの耐放射線性強化技術に関する検討委員会」 第5回委員会 議事次第

日時:平成22年2月19日(金)14:00 ~ 16:50

場所:HIREC 株式会社 川崎事業所 会議室

神奈川県川崎市幸区大宮町 1310 ミューザセントラルタワー12 階

(TEL(代表):044-379-6013)

- 2. 各委員の調査結果報告・質疑(各 20 分・25 分 計 45 分)

3. 成果報告

| 3.1 | 委員会運営の報告 | (事務局:15 | 分) | | $15:45 \sim 16:00$ |
|-----|-----------|---------|------|-------|------------------------|
| 3.2 | 本年度の検討論文内 | 内容に関して | (委員長 | :40分) | 16:00~16:40 |



352

プロトンおよびニュートロン照射による 加速的な劣化と耐量保証試験

Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing

Marty R. Shaneyfelt, Fellow, IEEE, James A. Felix, Member, IEEE, Paul E. Dodd, Senior Member, IEEE, James R. Schwank, Fellow, IEEE, Scott M. Dalton, Jacques Baggio, Member, IEEE, Véronique Ferlet-Cavrois, Senior Member, IEEE, Philippe Paillet, Senior Member, IEEE, and Ewart W. Blackmore, Member, IEEE

| | 2010-02-19 最新デバイスの耐放射線性強化技術に関する検討委員会 担当: 藤島 直人 (富士電機システムズ株式会社) | | | |
|--------------------------------|--|------------|--|--|
| Fuji Electric Systems Co.,Ltd. | page1 | 19-Feb2010 | | |
| e-Front runners | | | | |

<対象デバイス> : 縦型パワーMOSFET(トレンチ&プレーナ) n-ch 定格電圧 20V~100V

<照射線種及びエネルキーの区分> : プロトン:20~498MeV : ニュートロン:10MeV以上

<単発反転現象又は積算線量効果の区分> : TID

<実験又は理論の区分> : 実験および理論



論文概要

1. プロトンとニュートロンはトレンチとプレーナパワーMOSにおいて、加速的劣化を誘発する。

2. 極微量のプロトンTIDレベルでもIVカーブが大きくシフトし、オフリーク電流の増大を招く。

3. ニュートロン照射は、直接イオン化による注入は生じないが、同様の照射レベル で同様の劣化を示す。

4. これらのデータよると、加速的劣化は集積回路内のプロトンとニュートロンの原子間相互 作用を通して発生する2次粒子に関係するマイクロドーズ効果によるものである。

5. この2次的粒子の注入は、十分な電荷をゲート酸化膜へ注入し、その結果トランジスタのソースドレイン寄生電流パスを誘発する。

6. これらのマイクロトース、効果はパワーMOSだけでなく、集積回路においても照射応答性に関し影響を受ける。

7. ここでは耐量保証の考え方についても議論する。

Fuji Electric Systems Co.,Ltd.page3

FCe-Front runners背景:宇宙環境でのデバイス劣化<復習[1]>



Fig. 1. Schematic cross section of a trench FET showing the effect of an ion passing through the gate region of the transistor. The path of the ion is illustrated by the line with an arrow. The gate polysilicon that would fill the trench and all the overlays (oxide and metal) are not shown. After [1].

✓最新衛星システムでのPOL分散電源の 開発が加速。

✓大きなリーク電流を生じるトータルドーズ イオン損傷が注目。

- ✓重イオンが商用トレンチパワーMOSのIV 特性に大きなシフト(ΔVst)をもたらす。
- ✓ Δ Vstはガンマ線トータルドーズによる場合より極端に大きい。
- ✓ Δ Vstは照射時のゲートバイアスとイオン LET(Linear Energy Transfer)、そして照 射角に依存。

✓特に、イオンがソース・ドレイン間のチャ ネル長全体に渡って電荷を注入し、複数 の寄生トランジスタ構造を形成していると 推定している。⇒マイクロドーズ効果

Fuji Electric Systems Co.,Ltd.

e-Front runners 重イオン照射による従来耐量評価手法の限界



研究の目的

✓加速的劣化によるIV特性シフトがプロトンおよびニュートロン照射でも発生する。

✓この劣化メカニズムが重イオンに関係するものと類似点があるとすれば、水平 チャネルを有するデバイスでの、マイクロドーズ効果影響度を判定するための、プ ロトン照射を用いた耐量保証試験手法を開発できるかもしれない。

✓この研究では、

- ・プロトン照射による加速的劣化メカニズムの解明
- ニュートロン照射での加速的劣化の調査報告
- ・宇宙用途でのMOSデバイス耐量保証試験について議論



評価デバイスと照射設備



a) IRF510PBF





・プロトン TRIUMF(20~498MeV)⇒プラスチックプレートで減衰 $IUCF(\sim 200 MeV) \Rightarrow$ beryllium degrader

・ニュートロン

 $TRIUMF(\sim 500 MeV)$ ⇒cadmium sheet (thermal neutronを緩和)

 $WNR(\sim 800 MeV)$

| 型式 | Vgsmax (V) | Vdsmax (V) | ケート酸化膜厚(nm) | トレンチ深さ(μm) | 並列Tr数(個) |
|--------------------------|------------|------------|-------------|------------|--------------------|
| トレンチMOS(IR製、FC製) | ± 20 | 20~30 | 44~68 | 1.2 | 2600 ~ 7400 |
| プレーナMOS(IR製) | ±20 | 20~100 | 不明 | | 不明 |
| Euji Electric Sustama Co | [+d | | 2007 | | 19-Feb2010 |

Fuji Electric Systems Co., Ltd.

page7

e-Front runners

プロトン照射でのデバイス劣化



Fig. 3. a) Pre and post irradiation IV curves and b) I_{ds} at $V_{gs} = 1V$ for FDD068AN03L power MOSFETs irradiated in incremental steps to proton fluences from 107 proton/cm² to 5×109 proton/cm² using 35.4 MeV protons with 15 V applied to the gate during irradiation.

- ✓IV特性シフトはサブスレッシュホルド領域 の小さなコブから始まり、照射量増大と共 に大きなコブを示していった。(図3a)
- ✓照射量が増えるにつれて、Idsは増加。(図 3b)
- ✓これらのプロトン照射でのIVシフトは重イ オン照射の場合に類似している。

⇒直接イオン化効果(Direct Ionization Effect)によるものではない。

⊖e-Front runners ガンマ線照射でのデバイス劣化(プロトンとの比較)



Fig. 4. Pre and post irradiation IV curves for an FDD068AN03L power MOSFET irradiated to 50krad (SiO₂) using ⁶⁰Co gamma rays with 15 V applied to the gate during irradiation.

⇒ガンマ線照射は集積回路での照射劣 化を予測する一般的手法だが、パワー MOS評価においては正しく機能してい ない。

<ガンマ線はプロトンより低感度!>

Fuji Electric Systems Co., Ltd.

page9

19-Feb.-2010

e-Front runners プロトン照射デバイス劣化のエネルギー依存性



✓プロトン照射量に応じてΔVst
 (絶対値)は増加

✓プロトン照射エネルギー依存性 は弱い

Fig. 5. A plot of the proton induced ΔV_{st} versus fluence for FDD068AN03L devices with 15 V on the gate during irradiation.



e-Front runners 直接イオン化による電荷トラップの基本メカニズム

$$V_{th(max)} = -1.9 \times 10^{-8} f(E_{ox}) Dt_{ox}^2, \tag{1}$$

 $f(E_{ox})$:酸化膜の電界強度の関数としてのホール生成率

- D: ドーズ量
- *tox*:酸化膜厚(単位はnm)
- ✓FDD068AN03Lの場合、ゲート酸化膜厚44nm、電荷生成率1(最悪 ケース)を仮定し、2rad(SiO₂)でのプロトン直接イオン化による閾値電圧 シフトは74 µ Vとなる。これは明らかに実験値より小さい値(~1.4V@ 2E7(図5))。
- ✓観測されるΔVst(およびΔIds)は、プロトンの直接イオン化理論からは 説明できない。

e-Front runners マイクロドーズ効果の素子間バラツキの要因



Fig. 7. A plot of the proton induced ΔV_{st} versus fluence for all trench FET power MOSFETs examined in this work. 105 MeV protons were used for the irradiations and transistors were biased with 15 V on the gate during irradiation.

- ✓プロトン照射での加速的劣化は、トラ ンジスター設計と製造プロセスに依存。
- ✓ Δ Vstは-0.4V(IRF3704ZCS)から-2.7V
 (FDD068AN03L)の範囲。約7倍程度
 の劣化の違いがみられた。
- ✓ゲート酸化膜中へのマイクロドーズ効果のバラツキは、恐らくゲート酸化膜内に形成される照射起因の電荷量の違いによる。
- ✓ゲート酸化膜厚、酸化膜質、照射中の酸化膜電界に強く依存。



マイクロドーズ効果の照射入射角依存性





- ✓弾性、非弾性のプロトンと材料間での 原子核相互作用で生成する2次粒子 はあらゆる方向へ散乱するので、重イ オンで見られるような入射角依存性は 期待できない(図8)。
- ✓180rad(SiO₂)(3E9 protons/cm²の照射 量)以下のトータルドーズ量では、幾ら かの入射角依存性がある。
- ✓トータルドーズ量の大きいところでは、
 ⁵入射角依存性は見られない。
- ✓マイクロドーズ加速的劣化の評価にプロトン照射に基づいた試験方法を開発できる可能性が出てきた。
 - ⇒プレーナMOSへの適用

e-Front runners

e-Front runners プレーナ構造でのマイクロドーズ効果



Fig. 9. Pre and post irradiation IV curves for an IRF3711PBF power MOSFET irradiated to fluence of 5.5×10^{10} protons/cm² using 70 MeV protons with 15V applied to the gate during irradiation.

- ✓オフリーク電流は照射前の1nAから照 射後の4.7 µ A(RF510PBF)、あるいは 71 µ A (IRF3711PBF)に増加した。
- ✓プレーナ構造のパワーMOSもマイク ロドーズ効果の影響を受ける。
- ✓マイクロドーズ効果はトレンチFETに 限ったことではない。


Ce-Front runnerす。ロトン・ニュートロン照射データによるマイクロト・ース、効果の裏づけ



Fig. 11. A plot of the neutron and heavy ion induced ΔV_{st} versus fluence for FDD068AN03L devices irradiated with different gate biases. The Ne heavy ion data were taken from Fig. 5 of [1]. The neutron and heavy ion data were normalized to their ΔV_{st} data at a gate bias of 15 V.

- ✓Vg=15VでΔVstは飽和。酸化膜にかかる電 界の増加に伴い実効的なホール捕獲断面 積の縮小と良い一致[21]-[23]。
- ✓ゲートバイアス低減に伴い△Vst減少。酸化 膜にかかる電界が減少すると、電子との再 結合を逃れるホールの数も減少し、Si/SiO₂
 界面にトラップされるホールの数も減少。 [10],[16],[21],[22],[24]

✓入射角依存性は見られず。

✓加速的劣化は、直接イオン化に因るものではなく、マイクロドーズ効果が支配的。

Fuji Electric Systems Co., Ltd.

page17

19-Feb.-2010

F e-Front runners

耐量保証の考え方

- ✓試験のガイドラインとして、MIL-STD-883やMethod1019のような耐量保証の規格があるが、宇宙での使用環境とデバイス要求仕様から試験方法を選定する必要あり。
- ✓プロトンリッチの環境で使用される場合は、トータルドーズ認証試験は、 TM1019を利用するとともに、プロトン照射源も用いなければならない。
- ✓マイクロドーズ効果を最大にするバイアス条件設定と、実際のシステム使用状況に基づいたバイアス条件選定が大切。
- ✓宇宙用途におけるマイクロドーズの真の影響の理解と、確実なスクリーニングを可能とする試験条件導出のために、マイクロドーズ照射後のアニール影響度の調査が必要。(例えばELDRS:低ドーズ率増速劣化(Enhanced Low-Dose-Rate Sensitivity))
- ✓マイクロドーズ効果の加速試験として、任意の入射角を有するプロトン、ニュートロンによる評価方法を開発することは重要である。



結論

- 1. パワーMOSの劣化はプロトンとニュートロン照射で加速(ΔVst増とオフリーク増)
- 2. この劣化は、トレンチとプレーナで、ガンマ線に比べ非常に低照射レベル(高々~ 2rad(SiO₂))でも発生。
- 3. プロトンおよびニュートロンと素子内部の材料との原子核相互作用で誘発された2 次イオンが極端なマイクロドーズ効果を誘発する。
- 4. 2次粒子の経路がゲート酸化膜領域でソースからドレイン方向に伸び、粒子により 注入された電荷が寄生リーク経路を誘発。オフリーク電流が増加。
- 5. この劣化量は照射時のゲートバイアスに依存する。(プロトンエネルギーと照射角 はマイクロドーズ効果には大きな影響を与えない。)
- 6. マイクロドーズ効果はパワーMOSに限らずあらゆるタイプのデバイスで問題となる ので、プロトン過剰の宇宙環境において利用される素子に対し、プロトン施設での 試験を利用した、トータルドーズ認定が実施されることを推奨する。

| Fuji Electric Systems Co.,Ltd. | page19 | 19-Feb2010 |
|--------------------------------|--------|------------|
| | | |
| e-Front runners | | |

END

新デバ_5-4

Empowered by Innovation

IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 55, NO. 6, DECEMBER 2008

Effects of Moisture and Hydrogen Exposure on Radiation-Induced MOS Device Degradation and Its Implications for Long-Term Aging

James R. Schwank, Fellow, IEEE, Marty R. Shaneyfelt, Fellow, IEEE, Aritra Dasgupta, S. A. Francis, Xing J. Zhou, Member, IEEE, Daniel M. Fleetwood, Fellow, IEEE, Ronald D. Schrimpf, Fellow, IEEE, Sokrates T. Pantelides, Member, IEEE, James A. Felix, Member, IEEE, Paul E. Dodd, Senior Member, IEEE, Veronique Ferlet-Cavrois, Senior Member, IEEE, Philippe Paillet, Senior Member, IEEE, Scott M. Dalton, Scot E. Swanson, Gerald L. Hash, Steve M. Thornberg, James M. Hochrein, and Gary K. Lum, Senior Member, IEEE

NEC東芝スペースシステム株式会社 技術本部 管理グループ 猪俣 輝司

要約

- HAST(Highly Accelerated Stress Test, 温度130℃, 湿度 85%)処理後の放射線照射によるトランジスタとICの劣化を調 査した
- 照射前にHAST処理を施したp-chトランジスタは、放射線照射 後に極めて大きな電圧変動を示した
- 一方、n-chトランジスタはp-chと比較して小さな電圧変動を示した。これはソース、ドレインに形成されているPSG (Phoshosilicate Glass)により、ゲート酸化膜への水分拡散が妨げられることに関連する可能性がある。
- デバイスを水分に晒すことは長期放射線劣化を招く可能性が 考えられる。

Index Terms- Aging effects, hydrogen exposure, ionizing radiation, moisture exposure, MOS radiation effects.

アウトライン

- 1. イントロダクション
- 11. 実験方法
- III. 放射線照射前のHAST処理の影響
 - A. 4/3umトランジスタおよびIC評価結果
 - B. 湿度さらしによる影響のメカニズム
 - **C. CMOS IIIAトランジスタ評価結果**
 - D. OKIトランジスタ評価結果
- Ⅳ. 水素雰囲気さらし評価結果
 - A. 4/3umトランジスタ評価結果
- V. 品質保証に関する提言
- VI. 結論



|.イントロダクション

これまでの研究

- 水素雰囲気にデバイスをさらすことで界面準位が形成されることが確認されている
- また、水素は容易にデバイスの酸化膜中に拡散し、放射線誘起電荷の形成に影響を与えていると考えられている
- 水素はデバイスの放射線耐性に重大な影響を与え、長期間水素雰囲気に さらされたデバイスは放射線劣化が大きくなる可能性がある

本論文の取組

- HASTにてデバイスを水分にさらし、酸化膜中の放射線誘起電荷形成について調査を行った
- その結果、MOSデバイスは水蒸気にさらされることによって、放射線誘起 電荷の形成が増加することが確認された

363

11. 実験方法

評価デバイス

| Device | Manufacture | Contllolling Oxide | Passivation |
|-----------|-------------------|--------------------|-------------|
| 4/3um | Sandia Technology | Gate | Doped Oxide |
| CMOS IIIA | Sandia Technology | Field | Doped Oxide |
| ΟΚΙ | ОКІ | Field | Nitride |

評価手順



III. 放射線照射前のHAST処理の影響



A. 4/3umトランジスタ評価結果, n-ch Tr, ΔV_{IT}, ΔV_{OT}

Fig. 1. ΔV_{it} and ΔV_{ot} for 4/3- μ m n-channel transistors irradiated to 500 Krad(SiO₂) (time = 900 s) and annealed post irradiation under bias. The transistors were exposed to a 1 or 3-week HAST exposure prior to irradiation. Data for control transistors not exposed to HAST are also shown.

測定項目

ΔV_{II}: interface-trap chargeによる電圧シフト ΔV_{II}: oxide-trapped charge による電圧シフト

HAST条件

温度:130℃, 湿度:85%, さらし:1週間, 3週間 ピン:接地

照射条件

トータルドーズ: 500krad (SiO_2) ドーズレート: 550rad (SiO_2) /s バイアス: V_{GS} =4V

アニール

温度:室温,時間:5x10⁶sec(57日間) バイアス:V_{GS}=4V

ΔV_{IT} , ΔV_{OT} 共に照射中の電圧シフトにHAST処理の影響なし

NEC Confidential

Ⅲ. 放射線照射前のHAST処理の影響

A. 4/3umトランジスタ評価結果, p-ch Tr, ΔV_{ot}



Fig. 2. ΔV_{ot} for 4/3- μ m p-channel transistors irradiated to 100 krad (SiO₂) (time = 180 s) and annealed post irradiation under bias. The transistors were subjected to either no HAST exposure or a 3-week HAST exposure prior to irradiation.

© NEC Corporation 2009

測定項目

ΔV_{ot}: oxide-trapped charge による電圧シフト

HAST条件

温度:130℃,湿度:85%,さらし:3週間 ピン:接地

照射条件 トータルドーズ:100krad (SiO₂) ドーズレート:556rad (SiO₂) /s バイアス: V_{GS}=-12.5V

アニール

温度:室温.時間:5x10⁶sec(57日間) バイアス:V_{GS}=-12.5V

HAST処理したTrの ΔV_{OT}は照射中に約20倍の増加を示した

NEC Confidentia

Ⅲ. 放射線照射前のHAST処理の影響



Fig. 3. ΔV_{it} for 4/3- μ m p-channel transistors irradiated to 100 krad (SiO₂) (time = 180 s) and annealed post irradiation under bias. The transistors were subjected to either no HAST exposure or a 3-week HAST exposure prior to irradiation

測定項目

ΔV_{II}: interface-trap chargeによる電圧シフト

Empowered by Innovation

HAST条件

温度:130℃,湿度:85%,さらし:3週間 ピン:接地

照射条件

トータルドーズ: 100krad (SiO₂) ドーズレート: 556 rad (SiO_2) /s バイアス: V_{GS}=-12.5V

アニール

温度:室温,時間:5x10⁶sec(57日間) バイアス:V_{GS}=-12.5V

HAST処理したTrの△V_{II}は照射中に大きくシフト 2. アニール中に△V_{II}はさらに増加

Page 7

NEC Confidential

Page 9

III. 放射線照射前のHAST処理の影響



n-ch Trにて放射線照射中に ΔV_{0T} と ΔV_{IT} の変化がみられなかったことの確認 (I_{DD} はn-ch Trのしきい値電圧低下で増加するため)



Fig. 4. Static supply leakage current versus dose for $4/3 - \mu m 2 K$ SRAMs irradiated with 10-keV x-rays at a dose rate of $1670 \text{rad}(\text{SiO}_2)/\text{s}$. SRAMs were exposed to either no anneal, a 1-week 130 C anneal, or to HAST for 1-week.

測定項目 I_{DD}:リーク電流

HAST条件 温度:130℃,湿度:85%,さらし:1週間 ピン:接地

照射条件 トータルドーズ:10⁶rad (SiO₂) ドーズレート:1670rad (SiO₂) /s バイアス: V_{DD}=10V

アニール

なし



NEC Confidentia

Ⅲ. 放射線照射前のHAST処理の影響

A. 4/3um IC評価結果, 2K SRAM, Δt_{rd}

NEC Corporation 2009

p-ch Trにて放射線照射中にΔV_{0T}とΔV_{IT}の変化がみられたことの確認 (p-ch Trのしきい値電圧の増加はp-chトランジスタ駆動の低下とタイミング特性悪化、ファンクション不良の原因 となる) 5



Fig. 5. Increase in read access time versus dose for $4/3 - \mu$ m 2 K SRAMs irradiated with 10-keV x-rays at a dose rate of 1670rad(SiO₂)/s. RAMs were exposed to either no anneal, a 1-week 130 C anneal, or to HAST for 1 week.

測定項目 Δt_{rd}:リードアクセスタイム

HAST条件 温度:130℃, 湿度:85%, さらし:1週間 ピン:接地

照射条件 トータルドーズ:10⁶rad (SiO₂) ドーズレート:1670rad (SiO₂) /s バイアス: V_{DD}=10V

アニール なし



Empowered by Innovation NEC

Empowered by Innovation NEC

B. 湿度さらしによる影響のメカニズム(4/3umトランジスタ, 1/fによる検証)

 S_v の増加はSiO₂中のO空孔と相関関係を持ち、Si/SiO₂界面付近でのO空孔欠陥での電子捕獲-放出に起因する



n-ch TrにおいてHAST処理はSyに大きな影響を与えない

 Page 11
 • NEC Corporation 2009
 NEC Confidential
 Empowered by Innovation
 NEC

III. 放射線照射前のHAST処理の影響

B. 湿度さらしによる影響のメカニズム(4/3umトランジスタ, 1/fによる検証)

 S_v の増加はSiO₂中のO空孔と相関関係を持ち、Si/SiO₂界面付近でのO空孔欠陥での電子捕獲-放出に起因する



This document is provided by JAXA.

B. 湿度さらしによる影響のメカニズム(1/f測定結果から考察)

1/f測定結果に対する考察

| S _v の増加 | ●SiO2中の0空孔と相関関係を持ち、Si/SiO2界面付近での 0空孔欠陥での電子捕獲-放出に起因する[27] |
|--------------------|---|
|--------------------|---|

| H | AST 処理の影響 | ● 1/f測定の結果は、HAST処理によって多数の0空乏がp- ch Tr中に形成されたことを示唆してる ● 0空乏はRadiation-induced oxide chargeの形成とも相 関がある[14],[28] |
|--------|------------------------------|--|
| P-cł | n Tr に対する HAST の影響 | HAST処理によるO空乏の増加 [29] はp-ch Tr中のoxide- trapped charge密度および界面捕獲準位密度の増加を引き 起こす [19], [30] - [32] |
| age 13 | © NEC Corporation 2009 | NEC Confidential Empowered by Innovation |

III. 放射線照射前のHAST処理の影響

B. 湿度さらしによる影響のメカニズム(n-ch, p-chの構造から考察)



■ Tr構造と水分のゲート酸化膜への拡散の比較による考察

B. 湿度さらしによる影響のメカニズム(n-ch, p-chの構造から考察)

■ソース、ドレイン形成時にゲート酸化膜が受ける影響



する

N

| Page 15 © NEC Corporation 2009 NEC Confidential | |
|---|--|
|---|--|

III. 放射線照射前のHAST処理の影響

B. 湿度さらしによる影響のメカニズム(PSG, BSGに関する考察)

| 電子スピン共鳴評価からの考察



B. 湿度さらしによる影響のメカニズム(n-ch, p-chの構造から考察)

まとめ

Page 17

- 1. PSG添加酸化膜はゲート酸化膜への水分の妨げる役割をする
- 2. その結果、ホールトラップ中心は多く形成されない
- 1/fノイズ測定の結果から推測される、radiation-induced oxide trapと界面準位の増加は、照射前の酸化膜中のBOHCの増加とB 通過による0空孔の形成によると考えられる
- Chらのメカニズムはn-ch Trがp-ch Trより耐湿性に優れる実験 結果と一致する

NEC Confidential



C. CMOS IIIAトランジスタ評価結果

© NEC Corporation 2009



Fig. 9. $I_{DS} @ V_{GS} = 0$ for CMOS IIIA n-channel transistors irradiated to 100 krad(SiO₂) (time = 179 s) and annealed post irradiation. The transistors were subjected to either no HAST exposure or a 1 or 3-week HAST exposure prior to irradiation.

測定項目 I_{ns}:ドレインーソース電流(V_{gs}=OV)

HAST条件 温度:130℃,湿度:85%,さらし:1週間,3週間 ピン: V_{cs}=5V,短絡

照射条件

トータルドーズ: 100krad (SiO_2) ドーズレート: 558rad (SiO_2) /s バイアス: V_{GS} =5V

アニール 温度:室温,時間:2x10⁶sec(23日間) バイアス: V_{GS}=5V



Empowered by Innovation

D. OKIトランジスタ評価結果(コマーシャル品での評価, ΔV_{IT})



III. 放射線照射前のHAST処理の影響

D. OKIトランジスタ評価結果(コマーシャル品での評価, ΔV_{ot})



Fig. 11. ΔV_{ot} for OKI p-channel transistors irradiated to 75 krad(SiO₂) with $V_{GS} = 6$ V. Data are shown for transistors measured in 1989 and 2008 with no HAST exposure and in 2008 with a 1-week HAST exposure prior to irradiation.

測定項目

ΔV_{ot}: oxide-trapped charge による電圧シフト

HAST条件 温度:130℃,湿度:85%,さらし:1週間 ピン: V_{cs}=5V,短絡

N₂雰囲気加熱条件(HASTとの比較実験) 温度130℃,さらし:1週間

照射条件 トータルドーズ:75krad (SiO₂) ドーズレート: 240rad (SiO₂) /s(1989年取得データ), 80rad (SiO₂) /s(2008年取得データ), Co-60 バイアス: V_{GS}=6V

アニール なし



NEC Confidentia

Empowered by Innovation NEC

Ⅳ. 水素雰囲気さらし評価結果

A. 4/3umトランジスタ評価結果(n-ch Tr, ΔV_{IT}, ΔV_{OT})



Fig. 13. $\Delta\,V_{it}$ and $\Delta\,V_{ot}$ versus total dose for 4/3- μ m n-channel transistors irradiated to 500 krad(SiO_2) with V_{GS} = 11.68 V. Data are shown for transistors irradiated with and without an anneal in H_2 .

測定項目

 ΔV_{IT} : interface-trap chargeによる電圧シフト ΔV_{OT} : oxide-trapped charge による電圧シフト

H₂加熱条件

温度:室温, さらし:1週間 ピン: 短絡

照射条件

トータルドーズ: 500krad (SiO₂) ドーズレート: 80rad (SiO₂) /s, Co-60 バイアス: V_{GS}=11.68V(n-ch) H₂雰囲気中照射

アニール なし

H₂雰囲気さらしによるΔV_{0T}に対する影響は存在するが、HASTの結 果と比較すると変化量は小さい

Page 21 © NEC Corporation 2009

NEC Confidentia

Empowered by Innovation

Ⅳ. 水素雰囲気さらし評価結果

A. 4/3umトランジスタ評価結果(p-ch Tr, ΔV_{iT} , ΔV_{oT})



Fig. 14. $\Delta\,V_{it}$ and $\Delta\,V_{ot}$ versus total dose for 4/3- μ m p-channel transistors irradiated to 500 krad(SiO₂) with V_{GS} = 12.36V. Data are shown for transistors irradiated with and without an anneal in H_2 .

測定項目

ΔV_{IT}: interface-trap chargeによる電圧シフト ΔV_{0T}: oxide-trapped charge による電圧シフト

H₂加熱条件 温度:室温, さらし:1週間 ピン: 短絡

照射条件

トータルドーズ:500krad (SiO₂) ドーズレート: 80rad (SiO₂) /s, Co-60 バイアス: V_{GS}=12.36V(p-ch) H₂雰囲気中照射

n-chの結果と同様、H₂雰囲気さらしによるΔV_{oT}に対する影響は存 在するが、HASTの結果と比較すると変化量は小さい

V. 信頼性保証に関する提言

- MIL-STD-883 Method 1018はデバイスの耐湿性に関する信頼性を確認するために作られており、放射線耐性を確認するためのものではない。
- 2. MIL-STD-883 Method 1018はパッケージ中の水素濃度について試験を行う指定となっていない
- 今回の評価は全て1980年代半ばに製造されたデバイスを用いて評価を実施した。水分および水素の影響について、デバイス技術の新旧の違いは本質的ではないが、テストガイドラインの変更にあたっては、より新しい技術で製造されたデバイスで評価を行う必要がある
- 4. 水分は放射線誘起電荷の形成に影響を与えることが確認されたことから(Fig. 9)、寄生フィールド酸化膜中の放射線誘起電荷を制御することで放射線耐性を得ている最近のデバイスにおいても影響を及ぼす可能性がある

NEC Confidential

VI. 結論

Page 23

© NEC Corporation 2009



- 2. n-ch Trで影響が小さかった原因として以下3、4が考えられる
- 3. n-ch Trでソース、ドレインの周囲にPSGが形成され、ゲート酸化 膜への水分の侵入が防止されること
- 4. n-ch Trではoxide-trapの形成が少ないこと
- 5. プラスチックパッケージされたデバイスの場合、カバー膜に窒化 膜を用いていても水分は透過し、水分による放射線劣化が増 大する可能性がある

NEC Confidential

Empowered by Innovation

文献

REFERENCES

- C. M. Svensson, "The defect structure of the Si-SiO₂ interface, a model based on trivalent silicon and its hydrogen compounds," in *The Physics* of SiO₂ and Its Interfaces, S. T. Pantelides, Ed. New York: Pergamon
- of SiO₂ and Its Interfaces, S. T. Pantelides, Ed. New York: Pergamon Press, 1978, pp. 328–332.
 [2] A. G. Revesz, "Chemical and structural aspects of the irradiation behavior of SiO₂ films on silicon," *IEEE Trans. Nucl. Sci.*, vol. 24, no. 6, pp. 2102–2107, Dec. 1977.
 [3] A. G. Revesz, "Hydrogen in SiO₂ films on silicon," in *The Physics of SiO₂ and Its Interfaces*, S. T. Pantelides, Ed. New York: Pergamon Press, 1978, pp. 222–226.
- [4] F. B. McLean, "A framework for understanding radiation-induced interface states in SiO₂ MOS structures," IEEE Trans. Nucl. Sci., vol. 27, no. 6, pp. 1651–1657, Dec. 1980.
- [5] J. R. Schwank, D. M. Fleetwood, P. S. Winokur, P. V. Dressendorfer, [5] J. K. Schwank, D. M. Preckwood, F. S. Winkkui, P. Y. Dressendorter, D. C. Turpin, and D. T. Sanders, "The role of hydrogen in radiation in-duced defect formation in polysilicon gate MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 34, no. 6, pp. 1152–1158, Dec. 1987.
 [6] R. A. Kohler, R. A. Kushner, and K. H. Lee, "Total dose radiation hard-theory of the product o
- ness of MOS devices in hermetic ceramic packages," *IEEE Trans. Nucl. Sci.*, vol. 35, no. 6, pp. 1492–1496, Dec. 1988.
- [7] R. L. Pease, D. G. Platetter, G. W. Dunham, J. E. Seiler, P. C. Adell, H. J. Barnaby, and J. Chen, "The effects of hydrogen in hermetically sealed packages on the total dose and dose rate response of bipolar linear circuits," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2168–2173, Dor. 2007. Dec. 2007.
- X. J. Chen, H. J. Barnaby, B. Vermeire, K. Holbert, D. Wright, R. L. Pease, G. Dunham, D. G. Platetter, J. Seiler, S. McClure, and P. Adell, Pease, G. Dunnam, D. G. Piatetter, J. Seiter, S. McClure, and P. Adeit, "Mechanisms of enhanced radiation-induced degradation due to excess molecular hydrogen in bipolar oxides," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 1913–1919, Dec. 2007.
 [9] I. G. Batyrev, R. Durand, D. Hughart, M. Bounasser, D. M. Fleetwood, R. D. Schrimpf, B. Tuttle, G. W. Dunham, and S. T. Pantelides, "Effects of budieness resolution on the ordistion presence of biologication transitions)
- of hydrogen soaking on the radiation response of bipolar transistors: Experiment and modeling," *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, Dec. 2008, (this issue).
- Page 25

© NEC Corporation 2009

- [10] M. P. Rodgers, D. M. Fleetwood, R. D. Schrimpf, I. G. Batyrev, S. Wang, and S. T. Pantelides, "The effects of aging on MOS irradiation and annealing response," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2642–2648, Dec. 2005.
- [11] I. G. Batyrev, M. P. Rodgers, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, "Effects of water on the aging and radiation response of MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3629–3635, Dec. 2006.
 [12] T. V. Nordstrom, F. W. Sexton, and R. W. Light, "A three micron
- [12] I. V. Nordström, P. W. Sexton, and R. W. Light, A three micron CMOS technology for custom high reliability and radiation hardened integrated circuits," in *Proc. 5th IEEE Custom Integrated Circuits Conf.*, Rochester, NY, May 1983, pp. 43–47.
 [13] P. V. Dressendorfer, B. D. Shafer, R. W. Light, and W. R. Dawes, Jr., "A radiation hardened VLSI CMOS technology demonstrated with a 16 K static DAM". I Bedieting Effort on Q or 247–1982.
- [14] W. L. Warren, M. R. Shaneyfelt, D. M. Fleetwood, J. R. Schwank, P. S. Winokur, and R. A. B. Devine, "Microscopic nature of border traps in MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 41, no. 6, pp. 1817–1827, Dev. 1004 Dec. 1994.
- [15] R. A. B. Devine, W. L. Warren, J. B. Xu, I. H. Wilson, P. Paillet, and J. L. Leray, "Oxygen gettering and oxide degradation during annealing of Si/SiO₂/Si structures," J. Appl. Phys., vol. 77, no. 1, pp. 175–186, Jan. 1995.
- [16] J. R. Schwank, F. W. Sexton, M. R. Shaneyfelt, and D. M. Fleetwood, "Total ionizing dose hardness assurance issues for high dose rate envi-ronments," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 1042–1048, Aug. 2007. 2007
- [17] J. R. Schwank, D. M. Fleetwood, M. R. Shaneyfelt, and P. S. Winokur,
- J. R. Schwank, D. M. Fleetwood, M. R. Shaneyfelt, and P. S. Winokur, "Latent thermally activated interface-trap generation in MOS devices," *Electron Device Lett.*, vol. 13, no. 4, pp. 203–205, Apr. 1992.
 J. R. Schwank, D. M. Fleetwood, M. R. Shaneyfelt, P. S. Winokur, C. L. Axness, and L. C. Riewe, "Latent interface-trap buildup and its implication for hardness assurance," *IEEE Trans. Nucl. Sci.*, vol. 39, no. 6, pp. 1953–1963, Dec. 1992.
 D. M. Fleetwood, M. J. Johnson, T. L. Meisenheimer, P. S. Winokur, W. L. Warren, and S. C. Witczak, "1/f noise, hydrogen transport, and latent interface-trap buildup in irradiated MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 44, no. 6, no. 1810–1817. Dec. 1997.
- Nucl. Sci., vol. 44, no. 6, pp. 1810-1817, Dec. 1997.

NEC Confidentia

Empowered by Innovation NEC

文献

- [20] P. S. Winokur, J. R. Schwank, P. J. McWhorter, P. V. Dressendorfer, and D. C. Turpin, "Correlating the radiation response of MOS ca-pacitors and transistors," *IEEE Trans. Nucl. Sci.*, vol. 31, no. 6, pp.
- Dec. 1984.
- [22] R. L. Pease, D. G. Platetter, G. W. Dunham, J. E. Seiler, H. J. Barnaby, R. D. Schrimpf, M. R. Shaneyfelt, M. C. Maher, and R. N. Nowlin, "Characterization of enhanced low dose rate sensitivity (ELDRS) ef-
- "Characterization of enhanced low dose rate sensitivity (ELDRS) effects using gated lateral PNP transistor structures," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3773–3780, Dec. 2004.
 [23] L. Tsetseris, R. D. Schrimpf, D. M. Fleetwood, R. L. Pease, and S. T. Pantelides, "Common origin for enhanced low-dose-rate sensitivity and bias temperature instability under negative bias," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2265–2271, Dec. 2005.
 [24] N. S. Saks, D. B. Brown, and R. W. Rendell, "Effects of switched bias on the sensitivities of the sense interference interference in the formation of the sense in the sense of the sense in the sense interference in the sense interference in the sense interference in the sense interference interference in the sense interference interference
- on radiation-induced interface trap formation," *IEEE Trans. Nucl. Sci.*, vol. 38, no. 6, pp. 1130–1139, Dec. 1991.
 [25] J. H. Scofield, T. P. Doerr, and D. M. Fleetwood, "Correlation between Management and the second sec
- 1/f noise and postirradiation oxide-trapped charge in MOS transis-tors," *IEEE Trans. Nucl. Sci.*, vol. 36, no. 6, pp. 1946–1953, Dec. 1989.
 [26] D. M. Fleetwood, T. L. Meisenheimer, and J. H. Scofield, "1/f noise and radiation effects in MOS devices," *IEEE Trans. Electron Dev.*, vol.
- and radiation effects in MOS devices," *IEEE Trans. Electron Dev.*, vol. 41, no. 11, pp. 1953–1964, Nov. 1994.
 [27] D. M. Fleetwood, H. D. Xiong, Z. Y. Lu, C. J. Nicklaw, J. A. Fleix, R. D. Schrimpf, and S. T. Pantelides, "Unified model of hole trapping, 1/f noise, and thermally stimulated current in MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2674–2683, Dec. 2002.
 [28] P. M. Lenahan and P. V. Dressendorfer, "Hole traps and trivalent silicon centers in metal/oxide/silicon devices," *J. Appl. Phys.*, vol. 55, no. 10, pp. 2405–2400, May. 1080.
- F. J. Feigl, D. R. Young, D. J. DiMaria, S. Lai, and J. Calise, "The effects of water on oxide and interface trapped charge generation in thermal SiO₂ films," *J. Appl. Phys.*, vol. 52, no. 9, pp. 5665–5682, Sept. 1091 1981
- [30] D. M. Fleetwood, "Border traps' in MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 39, no. 2, pp. 269–271, April 1992.

- [31] D. M. Fleetwood, M. R. Shaneyfelt, L. C. Riewe, P. S. Winokur, and R. A. Reber, Jr., "The role of border traps in MOS high-temperature postirradiation annealing response," *IEEE Trans. Nucl. Sci.*, vol. 40,
- [32] T. L. Meisenheimer, D. M. Fleetwood, M. R. Shaneyfelt, and L. C. Riewe, "1/f noise in n- and p-channel MOS devices through irradiation and annealing," *IEEE Trans. Nucl. Sci.*, vol. 38, no. 6, pp. 1203–1203.
- [33] S. Wolf, Silicon Processing for the VLSI Era: Volume 2—Process Integration. USA: Lattice Press, 1990.
- gration. USA: Lattice Press, 1990.
 [34] R. K. Smeltzer, "Hole trap creation in SiO₂ by phosphorous ion penetration of polycrystalline silicon," *IEEE Trans. Nucl. Sci.*, vol. 29, no. 6, pp. 1467–1470, Dec. 1995.
 [35] B. L. Draper, M. R. Shaneyfelt, T. W. Young, T. J. Headley, and R. Dondero, "Arsenic ion implant energy effects on CMOS gate oxide hardness," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2387–2391, Dec. 2005. 2005
- 2005.
 M. R. Shaneyfelt, P. E. Dodd, B. L. Draper, and R. S. Flores, "Challenges in hardening technologies using shallow-trench isolation," *IEEE Trans. Nucl. Sci.*, vol. 45, no. 6, pp. 2584–2592, Dec. 1998.
 W. L. Warren, M. R. Shaneyfelt, D. M. Fleetwood, P. S. Winokur, and S. Montague, "Electron and hole trapping in doped oxides," *IEEE Trans. Nucl. Sci.*, vol. 42, no. 6, pp. 1731–1739, Dec. 1995.
 M. R. Shaneyfelt, D. M. Fleetwood, J. R. Schwank, T. L. Meisenheimer, and P. S. Winokur, "Effects of burn-in on radiation hardness," *IEEE Trans. Nucl. Sci.*, vol. 41, no. 6, pp. 2550–2559, Dec. 1994.
 M. R. Shaneyfelt, P. S. Winokur, D. M. Fleetwood, J. R. Schwank, and R. A. Reber, Jr., "Effects of reliability screens on MOS charge trapping." *IEEE Trans. Vice. Sci.*, vol. 43, no. 3, no. 8, 65–872. Jun.

- trapping," IEEE Trans. Nucl. Sci., vol. 43, no. 3, pp. 865-872, Jun. 1996
- D. M. Fleetwood, M. P. Rodgers, L. Tsetseris, X. J. Zhou, I. Batyrev, S. Wang, R. D. Schrimpf, and S. T. Pantelides, "Effects of device aging on microelectronics radiation response and reliability," *Microelectron. Reliab.*, vol. 47, no. 7, pp. 1075–1085, Jul. 2007.
 R. L. Pease, G. W. Dunham, J. E. Seiler, D. G. Platetter, and S. S. McClure, "Total dose and dose rate response of an AD590 temperature transducer," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 1049–1054, Aug. 2007
- 2007



最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会



平成21年度 最新デバイスの耐放射線性 強化技術に関する検討委員会

委員会の運営について

2010年 2月 19日 HIREC株式会社

High-Reliability Engineering & Components Corporation

最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会

本業務は、有識者で構成された検討委員会にて、 試験方法を含めた最新デバイスの耐放射線性強化 技術動向について調査し、耐放射線試験方法を含 めた電子部品に対する強化技術に資することを目 的とする。

page 1 of 10

HIREC株式会社



最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会

2. 検討委員会の運用

<u>2.1委員会の設置</u>

「平成21年度 最新デバイスの耐放射線性強化 技術に関する検討委員会(以下"検討委員会" という)」を設置し、大学、公的研究機関、企業 等の学識経験者に委員の委嘱を行った。

High-Reliability Engineering & Components Corporation

page 3 of 10

最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会

| | | 表: | 1 委員名簿 | |
|----|---------------------|-----------------------------|---|------------|
| 番号 | 委員名 | 会 社 名 | 所属 | 役 職 |
| 1 | 大西 一功 **** | HIREC株式会社 | _ | 顧問 |
| 2 | 伊部 英史 * | 株式会社日立製作所 | 生産技術研究所 | 主管研究員 |
| 3 | 矢嶋 孝太郎 *** | 三菱電機株式会社 高周波光デバイス製作所 | 品質保証部 品質保証課 | 課長 |
| 4 | 平尾 敏雄 | 日本原子力研究開発機構 | 量子ビーム応用研究部門 半導体・高分子材料耐放射線性評価研究ゲループ。 | 研究副主幹 |
| 5 | 藤田 実 | 法政大学 | 工学部 電子情報学科 | 兼任講師 |
| 6 | 高橋 芳浩 | 日本大学 | 理工学部 電子情報工学科 | 准教授 |
| 7 | 石井 茂 | 三菱重工業株式会社 名古屋誘導推進システム製作所 | 電子システム技術部 電子機器設計課 | 主任 |
| 8 | 島田 健児 | 株式会社東芝 セミコンダクター社 | システムLSI事業部システムLSI信頼性技術部 システムLSI信頼性技術第三担当 | - |
| 9 | 深田 孝司 | みずほ情報総研株式会社 | サイエンスソリューション部 エレクトロニクスチーム | シニアコンサルタント |
| 10 | 藤島 直人 | 富士電機デバイステクノロジー株式会社 | 半導体事業本部 企画・開発統括部 デバイス技術部 | 部長 |
| 11 | 猪俣 輝司 | NEC東芝スペースシステム(株) | 品質保証部 | 主任 |
| 12 | 坪山 透 | 高エネルギー加速器研究機構 | 素粒子原子核研究所 物理第一研究系 | 講師 |
| 13 | 矢作 保夫 ¹⁾ | 株式会社日立製作所 | 生産技術研究所 回路実装設計研究室 | 主任研究員 |
| 14 | 加藤 一成 | 三菱電機株式会社 鎌倉製作所 | 宇宙システム部 信頼性技術センター 部品グループ | - |
| 15 | 三浦 規之 | OKIセミコンダクタ宮城株式会社 | 開発部 新機能プロセス開発グループ | サブグループリーダー |
| | | | | ※:委員長 |

1) 新保健一氏が代理

High-Reliability Engineering & Components Corporation

page 4 of 10

※※:副委員長
※※:顧問



377

page 5 of 10

HIREC株式会社

2.2最新デバイスの耐放射線性強化技術に 関する検討について

検討委員会での検討対象として、各国の宇宙 機関が主催/共催する学会、シンポジウムにて 発表されたものなどから選ぶこととした。 検討の結果、2008年開催のNSREC にて 発表された文献を選定した。 選定した文献については、各委員に検討資料 として配付した。

*: Nuclear and Space Radiation Effects Conference

High-Reliability Engineering & Components Corporation

最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会

| タイトル | 単発現象又は 積算線量効果 の区分 | 実験又は理論 の区分 | 担当者 (敬称略) | 備考 |
|--|-------------------------|---------------|------------------------|------------------|
| Design Implications of Single Event Transients in a Commercial 45 nm SOI Device Technology | 単発現象 | 実験及び 理論 | 槇原 ^(事務局) | ᄷᇍᇊᆍᇢᇫᇷᅭ |
| Extended SET Pulses in Sequential Circuits Leading to Increased SE Vulnerability | 単発現象 | 実験及び 理論 | 藤田 | 弗 Ⅰ回安貝会報告 |
| Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons | 単発現象 | 実験及び 理論 | 加藤 | |
| Hafnium and Uranium Contributions to Soft Error Rate at Ground Level | 単発現象 | 理論 | 矢作 | 第2回委員会報告 |
| Quantifying the Effect of Guard Rings and Guard Drains in Mitigating Charge Collection and Charge Spread | 単発現象 | 実験及び 理論 | 坪山 | |
| A Probabilistic Analysis Technique Applied to a Radiation- Hardened-by-Design Voltage-Controlled Oscillator for Mixed- Signal Phase-Locked Loops | 単発現象 | 実験及び 理論 | 石井 | 第3回委員会報告 |
| Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in 130-nm NMOSFETs With Enclosed Layout | 積算線量 効果 | 実験及び 理論 | 島田 | |

表2 検討論文アサイン表(1/2)

最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会

HIREC株式会社

表2 検討論文アサイン表(2/2)

| タイトル | 単発現象又は 積算線量効果 の区分 | 実験又は理論 の区分 | 担当者 (敬称略) | 備考 |
|--|-------------------------|---------------|---------------------|----------|
| Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains | 単発現象 | 実験及び 理論 | 高橋 | 第3回委員会報告 |
| Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe HBT on Thin-Film SOI Technology | 積算線量 効果 | 実験及び 理論 | 深田 | |
| Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature | 積算線量 効果 | 実験及び 理論 | 平尾 | 第4回委員会報告 |
| Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling-Induced Drain Leakage in Irradiated Fully Depleted SOI Devices | 積算線量 効果 | 実験及び 理論 | 三浦 | |
| Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs | 積算線量 効果 | 実験 | 矢嶋 | |
| Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing | 積算線量 効果 | 実験及び 理論 | 藤島 | |
| Effects of Moisture and Hydrogen Exposure on Radiation- Induced MOS Device Degradation and Its Implications for Long-Term Aging | 積算線量 効果 | 実験 | 猪俣 | 用3回委員会報告 |

High-Reliability Engineering & Components Corporation

page 7 of 10

HIREC

HIREC株式会社

最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会

<u>2.3委員会の運営</u>

| 第1回 | 第2回 | 第3回 | 第4回 | 第5回 |
|---|--|------------------|---|---|
| 2009/6/19 | 2009/7/31 | 2009/10/9 | 2009/11/27 | 2010/2/19 |
| ・委員長/副委員 長の決定 ・本年度の進め方 説明 ・検討論文の報告 (2件) | ・検討論文の報告 (3件) ・2009年 国際学会参加報告 (委員長) ・2009年 NSREC参加報告 (HIREC) | ・検討論文の報告 (4件) | ・検討論文の報告 (3件) ・2009年 RADECS参加報告 (HIREC) | ・検討論文の報告 (2件) ・2009年度検討 論文のまとめ (委員長) |
| | 開催場所:HIREC㈱川崎事業所 会議室 | | | |

High-Reliability Engineering & Components Corporation

最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会



379

2. 4その他の報告

 第2回委員会において、2009年国際学会(DSN, IOLTS等)の概要について、伊部委員長よりご報告 いただきました。
 また、2009年7月に開催されたNSREC2009の 概要について、HIRECより報告させて頂きました。

| High-Reliability Engineering & Components Corporation | page 9 of 10 |
|---|--------------------|
| | |
| 最新デバイスの耐放射線性強化技術に関する検討委員会 /2010.02.19 第5回委員会 | HIREC HIREC株式会社 |
| | |

 第4回委員会において、2009年11月に開催され たRADECSの概要について、HIRECより報告させ て頂きました。

ご協力 誠にありがとうございました。 今後ともよろしくお願いいたします。



日立製作所生産技術研究所

伊部 英史

第5回新デバ委員会 2/19/2010@HIREC



1



■ IEEE Trans. Nuc. Sci., Vol. 55, No.6 (2008 IEEE Nuclear and Space Radiation Effect Conference (NSREC), Tucson, Arizona. July 14-18, 2008 での発表論文中の選抜版) 中、14編を選出、内容議論の上、抄訳を作成した。

■SEU関係2編、TID関係7編、SET関係2編、RHBD関係 3編

第5回新デバ委員会 2/19/2010@HIREC 2

| | | | | | 呼且へ版 | |
|-------|---------|-----------|-----------|---------------|---|--|
| 分類 | Chapter | 担当 (敬和 | 当者 (| ページ | タイトル | 著者 |
| GEII | 3.2.1 | 加 | 藤 | 2904 -2913 | Direct Evidence of Secondary Recoiled Nuclei From High Energy Protons | G. Cellere, A. Paccagnella, A. Visconti, S. Beltrami, J. Schwank, M. Shaneyfelt, D. Lambert, P. Paillet, V. Ferlet-Cavrois, J. Baggio, R. Harboe- Sørensen, E. Blackmore, A. Virtanen, and P. Fuochi |
| 520 | 3.2.2 | 矢 | 作 | 3141 -3145 | Hafnium and Uranium Contributions to Soft Error Rate at Ground Level | F. Wrobel, J. Gasiot, and F. Saigné |
| CIDAD | 3.2.3 | 藤 | 田 | 3077 -3081 | Extended SET Pulses in Sequential Circuits Leading to Increased SE Vulnerability | B. Narasimham, O. A. Amusan, B. L. Bhuva, R. D. Schrimpf, and W. T. Holman |
| SEI | 3.2.4 | 高 | 橋 | 2842 -2853 | Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains | V. F. Cavrois, V. Pouget, D. McMorrow, J. R. Schwank, N. Fel, F. Essely, R. S. Flores, P. Paillet, M. Gaillardin, D. Kobayashi, J. S. Melinger, O. Duhamel, P. E. Dodd, and M. R. Shaneyfelt |
| | 3.2.5 | 岨 | 田 | 3216 -3223 | Degradation Induced by X-Ray Irradiation and Channel Hot Carrier Stresses in 130-nm NMOSFETs With Enclosed Layout | M. Silvestri, S. Gerardin, A. Paccagnella, and F. Faccio |
| | 3.2.6 | 푸 | 尾 | 3237 -3245 | Ionizing Radiation Effect on Ferroelectric Nonvolatile Memories and Its Dependence on the Irradiation Temperature | M. Zanata, N. Wrachien, and A. Cester |
| | 3.2.7 | 深 | 田 | 3197 -3201 | Novel Total Dose and Heavy-Ion Charge Collection Phenomena in a New SiGe HBT on Thin-Film SOI Technology | M. Bellini, S. D. Phillips, R. M. Diestelhorst, P. Cheng, J. D. Cressler, P. W. Marshall, M. Turowski, G. Avenier, A. Chantre, and P. Chevalier |
| TID | 3.2.8 | Ξ | 浦 | 3259 -3264 | Gate-Length and Drain-Bias Dependence of Band-to-Band Tunneling- Induced Drain Leakage in Irradiated Fully Depleted SOI Devices | F. E. Mamouni, S. K. Dixit, R. D. Schrimpf, P. C. Adell, I. S. Esqueda, M. L. McLain, H. J. Barnaby, S. Cristoloveanu, and W. Xiong |
| | 3.2.9 | 猪 | 俣 | 3206 -3215 | Effects of Moisture and Hydrogen Exposure on Radiation Induced MOS Device Degradation and Its Implications for Long Term Aging | J. R. Schwank, M. R. Shaneyfelt, A. Dasgupta, S. A. Francis, X. J. Zhou, D. M. Fleetwood, R. D. Schrimpf, S. T. Pantelides, J. A. Felix, P. E. Dodd, V. Ferlet-Cavrois, P. Paillet, S. M. Dalton, S. E. Swanson, G. L. Hash, S. M. Thornberg, J. M. Hochrein, a |
| | 3.2.10 | 藤 | 島 | 3096 -3105 | Enhanced Proton and Neutron Induced Degradation and Its Impact on Hardness Assurance Testing | M. R. Shaneyfelt, J. A. Felix, P. E. Dodd, J. R. Schwank, S. M. Dalton, J. Baggio, V. Ferlet-Cavrois, P. Paillet, and E. W. Blackmore |
| | 3.2.11 | 矢 | 嵨 | 3016 -3024 | Effect of Proton and Silicon Ion Irradiation on Defect Formation in GaAs | J. H. Warner, C. Inguimbert, M. E. Twigg, S. R. Messenger, R. J. Walters, M. J. Romero, and G. P. Summers |
| | 3.2.12 | 槇 (事者 | 原 务 局) | 3461 -3466 | Design Implications of Single Event Transients in a Commercial 45 nm SOI Device Technology | AJ Kleinosowski, E. H. Cannon, J. A. Pellish, P. Oldiges, and L. Wissel |
| RHBD | 3.2.13 | 坪 | ш | 3456 -3460 | Quantifying the Effect of Guard Rings and Guard Drains in Mitigating Charge Collection and Charge Spread | B. Narasimham, J. W. Gambles, R. L. Shuler, B. L. Bhuva, and L. W. Massengill |
| | 3.2.14 | 石 | 井 | 3447 -3455 | A Probabilistic Analysis Technique Applied to a Radiation Hardened by Design Voltage-Controlled Oscillator for Mixed Signal Phase-Locked Loops | T. D. Loveless, L. W. Massengill, B. L. Bhuva, W. T. Holman, M. C. Casey, R. A. Reed, S. A. Nation, D. McMorrow, and J. S. Melinger |
| | | | | | | 第5回新デバ委員会 2/19/2010@HIREC |

調査文献

This document is provided by JAXA.

SEU関係概況

| 項番 | 概要 |
|---|--|
| 3.2.1 高エネル ギーる二次反 よの原子直 成の加 証拠 | ■陽子による反跳原子核がフラッシュメモリのV _{TH} 分布にテールが生じることを確認した。 ■シミュレーションツールを開発し、498MeVの陽子ビームによるTID/SEEの影響を調べた結果、そ のモデルは実験データを定性的には説明できるが、定量的にはうまく説明できなかった。 |
| 3.2.2 地上におけるソフトに ラー率に対するハフニウムとウラ ウムとウラ 関して | ■Hfはゲート酸化膜に利用され、放射性同位体によるSERへの影響は0.27FIT/Mbit未満であり、 ゲート酸化膜体積が小さいためにSERへの影響は殆ど無い。 ■0.16ppb程度のU汚染量があれば、地上レベルの環境中性子のSERに対する影響とほぼ同等で ある。これは200-10000FIT/Mbitに対応する。これを130nm CMOS SRAMに適用して考えると、 SERの文献値から推定して、Uの汚染量は0.4-0.6ppbである。 |

第5回新デバ委員会 2/19/2010@HIREC 4

フラッシュメモリのTIDおよびSEE



This document is provided by JAXA.

HfとUによるSERへの寄与



SET**関係概況(1)**

| 項番 | 概要 |
|---|--|
| 3.2.3 順序回るSET パルス幅拡 大によるSE 発生確率の 増加 | ■先端技術で素子が小さくなると、1つのイオン衝突で、複数素子で電荷収集が起こるようになった。 90-nm CMOSの実験結果によれば、標準の素子間隔では間隔を広げたものに比較して記憶ノードの 反転が起き易い。間隔が狭いと複数ノードで電荷が収集され、それが集まって幅の広いSET(E-SET) が発生して反転を起こすためである。 ■IBM 90-nm CMOSの4ビット全加算器についてミックストモードシミレーションをした結果、E-SETの パルス幅は75%も増加することが判った。今後のSETパルス幅を測定する回路や実験は、電荷収集 が単一ノードによるものか複数ノードによるものかを切り分けられるようにしなければならない。 ■将来のRHBDでは、E-SETの確率を減少させる様に、自動レイアウト設計するアルゴリズムの研究 が大切である。 |
| 3.2.4 SOIおよび Bulkイン バータ チェーンの SET伝搬に よるパルス 幅増大効果 | ■Bulk, SOIの両インバータチェーンにおいてPIPB効果が発生し、その原因はボディ浮遊効果であることを示した。 ■長いチェーンにおける出力SETパルス幅は、イオン照射のLETに起因した程度の初期SETパルス幅の変動には依存せず、負荷容量、デバイスデザイン、パルス間隔、電源電圧に大きく依存することを示した。 ■ボディ浮遊効果を考慮しない一般的な回路シミュレーションでは、SET感受性を過小評価する |

7



SOIおよびBulkインバータチェーンのSET伝搬による パルス幅増大効果



TID**関係概況(1)**

| 項番 | 概要 |
|--|--|
| 3.2.5 包囲型レイアウ トの130nm NMOSFETのX 線照射および ホットキャリアス トレス下におけ る特性劣化 | ■CHC (Channel Hot Carrier)ストレス下におけるELT(包囲型レイアウトトランジスタ)の特性劣化は、 OLT(開放型レイアウトトランジスタ)に比べ時間のべき乗が大きくなる。 |
| | ■ストレス時間が短い間OLTは時間のべき乗は小さいにもかかわらず、ELTに対して劣化が大きい。これは異なった幾何学形状による界面準位生成後の水素の拡散の相違によることをTCADシミュレーションで確認した。 |
| | ■ELTにおける照射とHCダメージの相互作用は、5.2nmゲート酸化膜のほうが2.2nmのゲート酸化膜に 比べて大きい |
| | ■CHCダメージの温度依存は事前の照射には影響されないが、以降の高温アニールでは照射、未照射 で異なった結果を生じさせる。 |
| 3.2.6 強誘電体不揮 | ■FRAMをX線(10keV)、陽子線(10MeV)で照射。Stack@"1/0"(SA)の発生を確認。温度が高いほど低 閾照射量(<1Mrad(Si))で発生。10Mrad(Si)まで測定。 |
| 発性メモリに対 する電離放射線 影響と照射温度 | ■回復挙動も評価。室温でX線、陽子線同様の挙動。25日程度経過後急速に回復。温度高い(160-200°C)急速に回復。 |
| の依存 | ■電力負荷の有無を評価。電力負荷時はWL方向に特に強くSAが発生。非負荷時は照射部にランダム 発生。 |
| | ■分極が正規分布し、中央値が照射量に応じてシフトするモデルとPZT内の自由正孔数、欠陥数、界面 にトラップされた正孔数の相関式からなる物理モデルを構築。実測値とよく一致。 |
| 3.2.7 薄膜SOI型SiGe HBTにおける トータルドーズ および重イオン 電荷収集 | ■SOI基板SiGe(STマイクロ社のHBT)のTID,SEU耐性を63MeV陽子により、2Mrad(SiO ₂)までバルクと 比較しながら評価した。 |
| | ■AC特性を4.2Mrad(SiO ₂)の照射量でSOIとバルク型について比較。照射による遮断周波数、最大発振 周波数とも増加。 |
| | ■電流利得(I _c /I _b)が陽子照射で低下。熱抵抗はバルクでは照射により変化しないが、SOIでは増加する。 |
| | ■TCADモデルで現象再現、解析。 第5回新デバ委員会 2/19/2010@HIREC 10 |

TID**関係概況(2)**

| 項番 | 概要 |
|---|--|
| 3.2.8 放射線照射されたFD- | ■X線照射によるFD-SOIオフリーク電流(GIDL)増大のゲート長、ドレインバイアス依存性 を評価し、BBT (Band-to-Band Tunneling)モデルの妥当性を検証。 |
| SOIテハイスにおける バンド間トンネリング誘 起ドレインリーク電流の | ■ゲートとドレインのオーバラップ部分でV _d が高くなると負側のV _{ss} 領域でBBTによって発 生したキャリアが増加、リーク電流成分が増えて、V _{tb} は負側にシフトする。 |
| バイアス依存性 | ■ゲート長が大きくなると、BBTで発生したキャリアは直接トンネル効果でゲートに引き抜かれるために、ボデイの電位が高くならない⇒リーク電流が抑制される。 |
| 2.9 MOSデバイスの放射 線劣化における水分お よび水素さらしの影響 と長期劣化への提言 | ■TrとIC(ゲート長2, 3um)をHAST処理(130℃, 湿度85%, 1~3週間)によって水蒸気にさらした後、放射線照射(10keV X線, ⁶⁰ Co γ線)を実施した結果、p-ch Trにおいてファンクション不良に至る、界面および酸化膜中トラップにお起因する極めて大きな電圧シフトが発生することを確認した。 |
| | ■p-ch Trで大きな電圧シフトを示した理由は、n-ch Trではソース、ドレインの周囲にPSGが 形成され、ゲート酸化膜への水分の侵入が防止されること、およびp-ch Trと比較してn-ch Trではoxide-trapの形成が少ないためと考えられる。 |
| 3.2.10 プロトンおよびニュート ロン照射による加速的 な劣化と耐量保証試験 | ■トレンチパワーMOSとプレーナパワーMOSの陽子照射後のI-V特性の変化は、放射線吸収量から想定される量よりはるかに大きい。中性子と同フルエンスで同等の結果。 ■NeイオンのI-V特性シフトデータとの照合などから、陽子による核破砕反応起因と結論。 |
| 3.2.11 プロトンとシリコンイオ ン照射によるGaAs中に おける欠陥形成 | ■TEMとEBICの結果から、高エネルギープロトン(10MeV以上)と22MeVのシリコンイオン によって発生する欠陥は、低いエネルギーのプロトンで作られる欠陥と電気的構造的に異 なることが明確になった。 |
| | ■反跳スペクトルの解析から、EBICとTEM画像から結晶の乱れた領域が観測されるのは 30MeV以上の陽子の場合、反跳エネルギー0.22MeV以上のものが支配的になる。 |

第5回新デバ委員会 2/19/2010@HIREC 11

包囲型レイアウトのX線照射、ホットキャリアストレス下の特性劣化



強誘電体メモリへの照射効果と温度依存性



SOI基板SiGe HBTのTIDおよび電荷収集挙動



FD-SOIデバイスのGIDL電流のゲート長、バイアス依存性



387

MOSデバイスの放射線劣化における水分の影響



陽子と中性子照射によるパワーMOSの劣化



GaAs中の陽子、Siイオン照射による欠陥生成



RHBD**関係概況**

| 項番 | 概要 |
|---|---|
| 3.2.12 45nmSOIデバ イスにおける SETの回路へ の影響 | ■45nm SOI FFで、α線、高エネルギーのSET耐性を評価。 ■TCADの解析ではS/Dよりもボデイへの入射でSET発生。 ■148MeV陽子でD-F/FとDICE型F/Fを照射。クロック系からのSETでD-F/Fの0.7倍エラー発生。 ■F/F内部からクロックバッファを外に出して共有化し、F/Fの臨界電荷量を高める対策を提案。 |
| 3.2.13 電荷収集およ び電話に関する ガードパレイン の効評価 量的評価 | ■微細化により1個のイオンが複数のノードをフロップさせるため、隣接するノードに電荷が分散しないようにする工夫(ガードリング(各Trをn+のリングで包囲)、ガードドレイン(各Trをp+のリングで包囲)が必要。 ■130nmデバイスのSET幅を測定。上限はガードリングで減少。 ■180nmデバイスではSET断面席を測定。ガードリングで改善。 |
| 3.2.14 ミックスド・シ グナルフェイ ズ・ープ加マト・ ループ放電器へ の確手法の適 用について | ■PLLのSET特性に対する新しい確率的解析方法を提案し、実験確認により各回路ノードで発生したSETを効果的に区別できる■ ■RHBDのVCOは、面積と電力は増加するが、SETによる出力信号の位相変動を最大限(通常の電源ノイズで生じる位相変動に収まる程度)にまで抑制でき、更に、電源ノイズやデバイス特性ばらつきに起因する位相ジッタも低減できる |

45nmSOI F/Fのクロック系からのSET対策



130nm, 180nm論理回路への電荷分配効果の抑制



390



まとめ(2007年度)

■宇宙・航空機・地上の夫々で微細化に伴う半導体デバイスのエラーがモードと共に拡大、深刻化

■地上を含めロジックデバイスのSET問題が一層顕在化。 SETパルス幅の評価問題が焦眉。

■宇宙ではSEB, TIDが中心。

■中性子エラーに関しては施設・手法間のベンチマーキン グ、標準化が進行

■新しいデバイスに対応して新しいエラーモードの発生。

まとめ(2008年度)

■宇宙・航空機・地上の夫々で微細化に伴う半導体デバイスのエラーがモードと共に拡大、深刻化

■地上を含めロジックデバイスのSET問題が一層顕在化。 SETパルス幅の評価問題が焦眉だが、SETパルス幅の微 細化による増加、波形変化の議論や、マッピング技術が進展。

■SEU断面積がメカニズムに依存してばらつく議論あり。

■新しいデバイス(PLL, NAND/NOR フラッシュ)に対応し て新しいエラーモードの発生。

■RPPモデルには限界も。

第5回新デバ委員会 2/19/2010@HIREC 24

まとめ(2009年度)

■新しい傾向

①電荷シェア(bipolar効果含む)によるMNU (Multi-Node Upset)に 着目

②SETの長いゲートチェーンによるSET幅の増大

③陽子による核破砕反応効果(NSREC2009でさらに拡大)

継続的に関心増大傾向

①PLL, クロック系のSET, SEU

②フラッシュメモリのV_{th}シフト

■地上のSEEに関しては発表の場がNSRECから、専門学会(IRPS, ICICDT, SELSE, DNS, IOLTS)にほぼ完全移行

■論文の選択に課題(質のばらつき大。悪いものは選択しない)

第5回新デベ委員会 2/19/2010@HIREC 25