

# 9. I/Oポート

## 第9章 目次

9.1	概要	273
9.2	ポート1	275
9.2.1	概要	275
9.2.2	レジスタ構成	276
9.3	ポート2	278
9.3.1	概要	278
9.3.2	レジスタ構成	278
9.4	ポート3	282
9.4.1	概要	282
9.4.2	レジスタ構成	282
9.5	ポート4	284
9.5.1	概要	284
9.5.2	レジスタ構成	285
9.6	ポート5	288
9.6.1	概要	288
9.6.2	レジスタ構成	288
9.7	ポート6	292
9.7.1	概要	292
9.7.2	レジスタ構成	292
9.8	ポート7	296
9.8.1	概要	296
9.8.2	レジスタ構成	296

9.9	ポート 8	297
9.9.1	概要	297
9.9.2	レジスタ構成	298
9.10	ポート 9	302
9.10.1	概要	302
9.10.2	レジスタ構成	302
9.11	ポート A	306
9.11.1	概要	306
9.11.2	レジスタ構成	308
9.11.3	端子機能	310
9.12	ポート B	315
9.12.1	概要	315
9.12.2	レジスタ構成	317
9.12.3	端子機能	319

---

## 9.1 概要

H8/3048シリーズには、10本の入出力ポート（ポート1、2、3、4、5、6、8、9、A、B）と1本の入力専用ポート（ポート7）があります。

ポート機能一覧を表9.1に示します。表9.1に示すように、各ポートは兼用端子になっています。各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と出力データを格納するデータレジスタ（DR）から構成されています。

DDRとDRのほかに、ポート2、4、5には入力プルアップMOSコントロールレジスタ（PCR）があり、プルアップMOSのオン/オフを制御できます。

ポート1～6、8は1個のTTL負荷と90pFの容量負荷を駆動することができ、ポート9～Bは1個のTTL負荷と30pFの容量負荷を駆動することができます。

また、ポート1～6、8～Bはダーリントントランジスタを駆動することができます。ポート1、2、5、BはLEDを駆動（シンク電流10mA）することができます。また、ポートP8<sub>2</sub>～P8<sub>0</sub>、PA<sub>7</sub>～PA<sub>0</sub>、およびPB<sub>3</sub>～PB<sub>0</sub>はシュミット入力となっています。

各ポートのブロック図は「付録C. I/Oポートブロック図」を参照してください。

表 9.1 動作モード別ポート機能一覧

ポート	概要	端子	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート1	・ 8ビットの入出力ポート ・ LED駆動可能	P1 <sub>1</sub> ~P1 <sub>8</sub> /A <sub>1</sub> ~A <sub>8</sub>		アドレス出力端子 (A <sub>1</sub> ~A <sub>8</sub> )				アドレス出力端子 (A <sub>1</sub> ~A <sub>8</sub> ) と入力ポートの兼用 DDR="0" のとき入力ポート DDR="1" のときアドレス出力端子	入出力ポート
ポート2	・ 8ビットの入出力ポート ・ 入力プルアップMOS内蔵 ・ LED駆動可能	P2 <sub>1</sub> ~P2 <sub>8</sub> /A <sub>1</sub> ~A <sub>8</sub>		アドレス出力端子 (A <sub>1</sub> ~A <sub>8</sub> )				アドレス出力端子 (A <sub>1</sub> ~A <sub>8</sub> ) と入力ポートの兼用 DDR="0" のとき入力ポート DDR="1" のときアドレス出力端子	入出力ポート
ポート3	・ 8ビットの入出力ポート	P3 <sub>1</sub> ~P3 <sub>8</sub> /D <sub>1</sub> ~D <sub>8</sub>		データ入出力端子 (D <sub>1</sub> ~D <sub>8</sub> )					入出力ポート
ポート4	・ 8ビットの入出力ポート ・ 入力プルアップMOS内蔵	P4 <sub>1</sub> ~P4 <sub>8</sub> /D <sub>1</sub> ~D <sub>8</sub>	データ入出力端子 (D <sub>1</sub> ~D <sub>8</sub> ) と 8ビットの入出力ポートの兼用 8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータ入出力端子						入出力ポート
ポート5	・ 4ビットの入出力ポート ・ 入力プルアップMOS内蔵 ・ LED駆動可能	P5 <sub>1</sub> ~P5 <sub>4</sub> /A <sub>1</sub> ~A <sub>4</sub>	アドレス出力端子 (A <sub>1</sub> ~A <sub>4</sub> )				アドレス出力端子 (A <sub>1</sub> ~A <sub>4</sub> ) と 4ビットの入出力ポートの兼用 DDR="0" のとき入力ポート DDR="1" のときアドレス出力端子		入出力ポート
ポート6	・ 7ビットの入出力ポート	P6 <sub>1</sub> /CWR P6 <sub>2</sub> /HWR P6 <sub>3</sub> /RD P6 <sub>4</sub> /RS P6 <sub>5</sub> /BACK P6 <sub>6</sub> /BREQ P6 <sub>7</sub> /WAIT	バス制御信号出力端子 (CWR, HWR, RD, RS)			バス制御信号入出力端子 (BACK, BREQ, WAIT) と 3ビットの入出力ポートの兼用			入出力ポート
ポート7	・ 8ビットの入出力ポート	P7 <sub>1</sub> /AN <sub>1</sub> /DA <sub>1</sub> P7 <sub>2</sub> /AN <sub>2</sub> /DA <sub>2</sub> P7 <sub>3</sub> ~P7 <sub>8</sub> /AN <sub>3</sub> ~AN <sub>8</sub>	A/D変換器のアナログ入力端子 (AN <sub>1</sub> 、AN <sub>2</sub> ) および D/A変換器のアナログ出力端子 (DA <sub>1</sub> 、DA <sub>2</sub> ) と入力ポートの兼用			A/D変換器のアナログ入力端子 (AN <sub>3</sub> ~AN <sub>8</sub> ) と入力ポートの兼用			
ポート8	・ 5ビットの入出力ポート ・ P8 <sub>1</sub> ~P8 <sub>5</sub> はシュミット入力	P8 <sub>1</sub> /CS <sub>0</sub> P8 <sub>2</sub> /CS <sub>1</sub> /IRQ <sub>1</sub> P8 <sub>3</sub> /CS <sub>2</sub> /IRQ <sub>2</sub> P8 <sub>4</sub> /CS <sub>3</sub> /IRQ <sub>3</sub> P8 <sub>5</sub> /RFSH/IRQ <sub>4</sub>	DDR="0" のとき入力ポート DDR="1" のとき (リセット後) 出力端子			IRQ <sub>1</sub> ~IRQ <sub>4</sub> 入力端子、CS <sub>1</sub> ~CS <sub>3</sub> 出力端子と入力ポートの兼用 DDR="0" のとき (リセット後) 入力ポート DDR="1" のとき CS <sub>1</sub> ~CS <sub>3</sub> 出力端子			IRQ <sub>1</sub> ~IRQ <sub>4</sub> 入力端子と入出力ポートの兼用
ポート9	・ 6ビットの入出力ポート	P9 <sub>1</sub> /SCK <sub>1</sub> /IRQ <sub>5</sub> P9 <sub>2</sub> /SCK <sub>0</sub> /IRQ <sub>6</sub> P9 <sub>3</sub> /RxD <sub>1</sub> P9 <sub>4</sub> /RxD <sub>0</sub> P9 <sub>5</sub> /TxD <sub>1</sub> P9 <sub>6</sub> /TxD <sub>0</sub>	シリアルコミュニケーションインタフェースチャンネル 0、1 (SCI0、1) の入出力端子 (SCK <sub>1</sub> 、SCK <sub>0</sub> 、RxD <sub>1</sub> 、RxD <sub>0</sub> 、TxD <sub>1</sub> 、TxD <sub>0</sub> )、および IRQ <sub>5</sub> 、IRQ <sub>6</sub> 入力端子と 6ビットの入出力ポートの兼用						
ポートA	・ 8ビットの入出力ポート ・ シュミット入力	PA <sub>1</sub> /TP <sub>1</sub> /TIOCB <sub>2</sub> /A <sub>2</sub> PA <sub>2</sub> /TP <sub>2</sub> /TIOCB <sub>1</sub> /A <sub>1</sub> /CS <sub>4</sub> PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>1</sub> /A <sub>2</sub> /CS <sub>5</sub> PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /A <sub>2</sub> /CS <sub>6</sub>	プログラマブルタイミングパターンコントローラ (TPC) 出力端子 (TP <sub>1</sub> )、16ビットインテグレートドタイムユニット (ITU) の入出力端子 (TIOCB <sub>2</sub> ) と入力ポートの兼用	アドレス出力端子 (A <sub>2</sub> )		TPC 出力端子 (TP <sub>1</sub> )、ITU の入出力端子 (TIOCB <sub>2</sub> ) と入力ポートの兼用	アドレス出力端子 (A <sub>2</sub> )	TPC 出力端子 (TP <sub>1</sub> )、ITU の入出力端子 (TIOCB <sub>2</sub> ) と入力ポートの兼用	TPC 出力端子 (TP <sub>1</sub> )、ITU の入出力端子 (TIOCB <sub>2</sub> ) と入力ポートの兼用
		PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>2</sub> /A <sub>2</sub> /CS <sub>7</sub> PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>1</sub> /TCLK PA <sub>7</sub> /TP <sub>7</sub> /TEND <sub>1</sub> /TCLKB PA <sub>8</sub> /TP <sub>8</sub> /TEND <sub>2</sub> /TCLKA	TPC 出力端子 (TP <sub>5</sub> ~TP <sub>8</sub> )、DMAコントローラ (DMAC) の出力端子 (TEND <sub>1</sub> 、TEND <sub>2</sub> )、ITU の入出力端子 (TCLKD、TCLKC、TCLKB、TCLKA、TIOCB <sub>2</sub> 、TIOCA <sub>1</sub> ) と入出力ポートの兼用	TPC 出力端子 (TP <sub>5</sub> ~TP <sub>8</sub> )、ITU の入出力端子 (TIOCA <sub>1</sub> 、TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> ) アドレス出力端子 (A <sub>2</sub> ~A <sub>1</sub> )、CS <sub>4</sub> ~CS <sub>7</sub> 出力端子と入力ポートの兼用	TPC 出力端子 (TP <sub>5</sub> ~TP <sub>8</sub> )、ITU の入出力端子 (TIOCA <sub>1</sub> 、TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> )、CS <sub>4</sub> ~CS <sub>7</sub> 出力端子と入力ポートの兼用	TPC 出力端子 (TP <sub>5</sub> ~TP <sub>8</sub> )、ITU の入出力端子 (TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> ) と入力ポートの兼用	TPC 出力端子 (TP <sub>5</sub> ~TP <sub>8</sub> )、ITU の入出力端子 (TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> ) と入力ポートの兼用	TPC 出力端子 (TP <sub>5</sub> ~TP <sub>8</sub> )、ITU の入出力端子 (TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> ) と入力ポートの兼用	
ポートB	・ 8ビットの入出力ポート ・ LED駆動可能 ・ PB <sub>1</sub> ~PB <sub>8</sub> はシュミット入力	PB <sub>1</sub> /TP <sub>1</sub> /DREQ/ADTRG PB <sub>2</sub> /TP <sub>2</sub> /DREQ/CS <sub>7</sub> PB <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>1</sub> PB <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> PB <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> PB <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>1</sub> PB <sub>7</sub> /TP <sub>7</sub> /TIOCB <sub>1</sub> PB <sub>8</sub> /TP <sub>8</sub> /TIOCA <sub>1</sub>	TPC 出力端子 (TP <sub>1</sub> )、DMAC の入力端子 (DREQ)、A/D変換器の外部トリガ入力端子 (ADTRG) と入力ポートの兼用	TPC 出力端子 (TP <sub>1</sub> )、DMAC の入力端子 (DREQ)、CS <sub>7</sub> 出力端子と入力ポートの兼用			TPC 出力端子 (TP <sub>1</sub> )、DMAC の入力端子 (DREQ) と入力ポートの兼用		TPC 出力端子 (TP <sub>1</sub> )、DMAC の入力端子 (DREQ) と入力ポートの兼用
			TPC 出力端子 (TP <sub>3</sub> ~TP <sub>8</sub> )、ITU の入出力端子 (TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> 、TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> ) と 8ビットの入出力ポートの兼用						

## 9.2 ポート 1

### 9.2.1 概要

ポート 1 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 1 の各端子は、図 9.1 に示す構成となっており、動作モードにより端子機能が異なります。モード 1～4（内蔵 ROM 無効拡張モード）のときは、アドレスバス（ $A_7 \sim A_0$ ）出力端子となります。

モード 5、6（内蔵 ROM 有効拡張モード）のときは、ポート 1 データディレクションレジスタ（P1DDR）の設定によりアドレスバス（ $A_7 \sim A_0$ ）出力端子、または入力ポートとなります。モード 7（シングルチップモード）のときは、入出力ポートとなります。

エリア 3 に DRAM を接続する場合には、リード/ライトサイクルで  $A_7 \sim A_0$  がロウ/カラムアドレス出力となります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

ポート 1 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

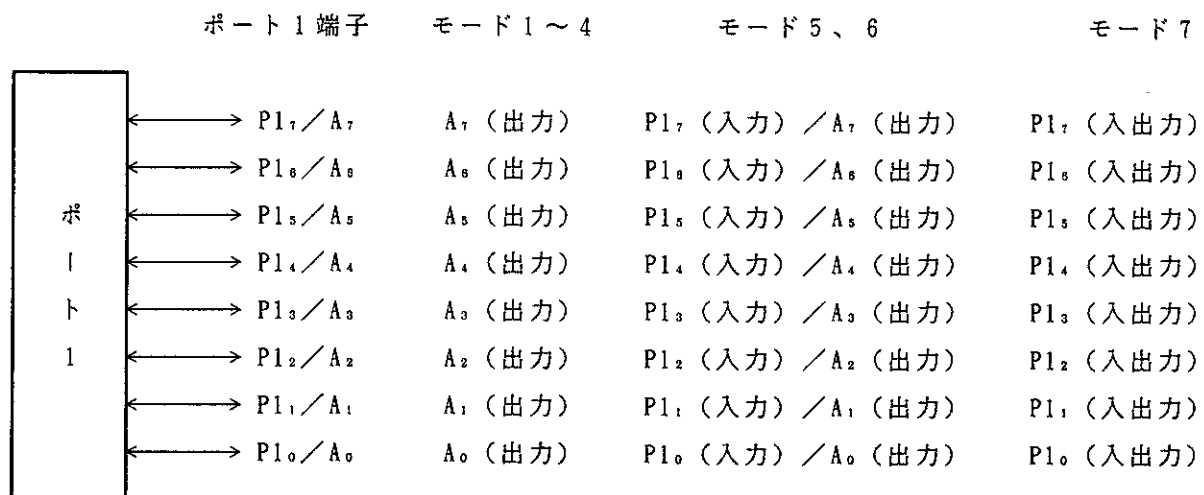


図 9.1 ポート 1 の端子構成

## 9.2.2 レジスタ構成

表 9.2 にポート 1 のレジスタ構成を示します。

表 9.2 ポート 1 レジスタ構成

アドレス*	名 称	略 称	R / W	初期値	
				モード1-4	モード5-7
H'FFC0	ポート1データディレクションレジスタ	P1DDR	W	H'FF	H'00
H'FFC2	ポート1データレジスタ	P1DR	R / W	H'00	

【注】\* アドレスの下位16ビットを示しています。

### (1) ポート1データディレクションレジスタ (P1DDR)

P1DDRは、8ビットのライト専用のレジスタで、ポート1各端子の入出力をビットごとに指定することができます。

ビット :		7	6	5	4	3	2	1	0
		P1 <sub>7</sub> DDR	P1 <sub>6</sub> DDR	P1 <sub>5</sub> DDR	P1 <sub>4</sub> DDR	P1 <sub>3</sub> DDR	P1 <sub>2</sub> DDR	P1 <sub>1</sub> DDR	P1 <sub>0</sub> DDR
モード1-4	初期値 :	1	1	1	1	1	1	1	1
	R / W :	—	—	—	—	—	—	—	—
モード5-7	初期値 :	0	0	0	0	0	0	0	0
	R / W :	W	W	W	W	W	W	W	W

ポート1データディレクション7~0

ポート1の各端子の入出力を選択するビットです。

#### (a) モード1~4 (内蔵ROM無効拡張モード)

P1DDRは“1”に固定され、ポート1はアドレスバスとして機能します。ライトは無効です。

#### (b) モード5、6 (内蔵ROM有効拡張モード)

P1DDRに“1”をセットすると対応するポート1の端子はアドレス出力となり、“0”にクリアすると入力ポートになります。

#### (c) モード7 (シングルチップモード)

ポート1は入出力ポートとして機能します。P1DDRに“1”をセットすると対応するポート1の端子は出力端子となり、“0”にクリアすると入力端子になります。

モード5~7ではP1DDRは、ライト専用のレジスタで、リードは無効です。リードすると“1”が読み出されます。

P1DDRは、リセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P1DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート1データレジスタ (P1DR)

P1DRは、8ビットのリード/ライト可能なレジスタで、ポート1の出力データを格納します。また、このレジスタをリードすると、P1DDRが“0”のビットは端子のロジックレベルが読み出され、“1”のビットはP1DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

┆  
ポート1データ7~0

ポート1の各端子のデータを格納するビットです。

P1DRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

## 9.3 ポート2

### 9.3.1 概要

ポート2は、アドレス出力兼用の8ビットの入出力ポートです。ポート2の各端子は、図9.2に示す構成となっており、動作モードにより端子機能が異なります。

モード1～4（内蔵ROM無効拡張モード）のときは、アドレスバス（ $A_{15} \sim A_8$ ）出力端子となります。モード5、6（内蔵ROM有効拡張モード）のときは、ポート2データディレクションレジスタ（P2DDR）の設定によりアドレスバス（ $A_{15} \sim A_8$ ）または入力ポートとなります。

モード7（シングルチップモード）のときは、入出力ポートとなります。

エリア3にDRAMを接続する場合には、リード/ライトサイクルで $A_9$ 、 $A_8$ がロウ/コラムアドレス出力となります。詳細は「第7章 リフレッシュコントローラ」を参照してください。

ポート2は、プログラムで制御可能なプルアップMOSが内蔵されています。また、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

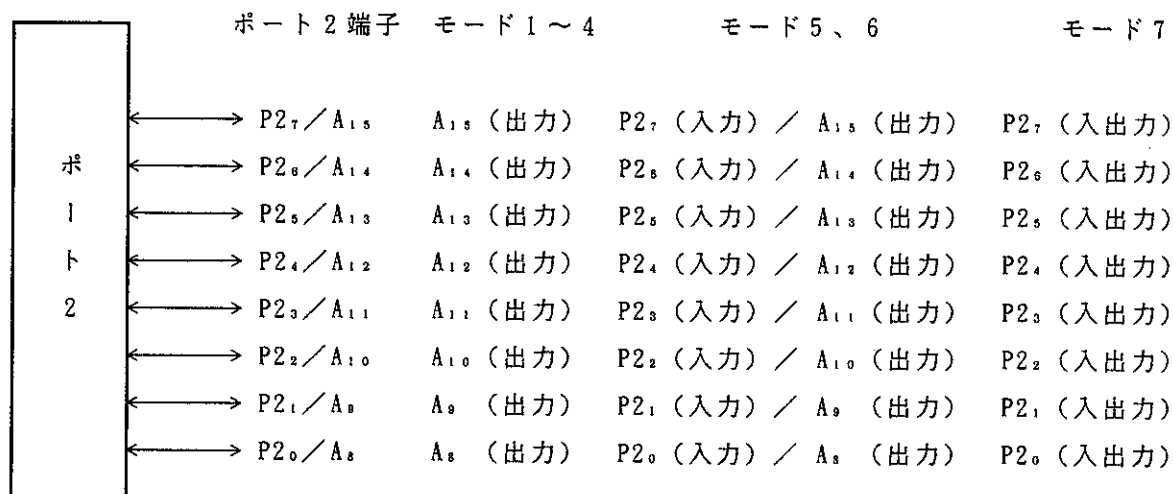


図9.2 ポート2の端子構成

### 9.3.2 レジスタ構成

表9.3にポート2のレジスタ構成を示します。

表9.3 ポート2レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード1～4	モード5～7
H'FFC1	ポート2データディレクションレジスタ	P2DDR	W	H'FF	H'00
H'FFC3	ポート2データレジスタ	P2DR	R/W	H'00	
H'FFD8	ポート2入力プルアップMOSコントロールレジスタ	P2PCR	R/W	H'00	

【注】\* アドレスの下位16ビットを示しています。



(1) ポート2データディレクションレジスタ (P2DDR)

P2DDRは、8ビットのライト専用のレジスタで、ポート2の各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		P2 <sub>7</sub> DDR	P2 <sub>6</sub> DDR	P2 <sub>5</sub> DDR	P2 <sub>4</sub> DDR	P2 <sub>3</sub> DDR	P2 <sub>2</sub> DDR	P2 <sub>1</sub> DDR	P2 <sub>0</sub> DDR
モード1~4	初期値:	1	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—	—
モード5~7	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W

— ポート2データディレクション7~0

ポート2の各端子の入出力を選択するビットです。

(a) モード1~4 (内蔵ROM無効拡張モード)

P2DDRは“1”に固定され、ポート2はアドレスバスとして機能します。ライトは無効です。

(b) モード5、6 (内蔵ROM有効拡張モード)

ポート2はリセット直後は入力ポートとなっています。

P2DDRに“1”をセットすると対応するポート2の端子はアドレス出力端子となり、“0”にクリアすると入力ポートになります。

(c) モード7 (シングルチップモード)

ポート2は入出力ポートとして機能します。P2DDRに“1”をセットすると対応するポート2の端子は出力ポートとなり、“0”にクリアすると入力ポートとなります。

モード5~7ではP2DDRは、ライト専用のレジスタで、リードは無効です。リードすると“1”が読み出されます。

P2DDRは、リセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P2DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート2データレジスタ (P2DR)

P2DRは、8ビットのリード/ライト可能なレジスタで、ポート2の出力データを格納します。また、このレジスタをリードすると、P2DDRが“0”のビットは端子のロジックレベルが読み出され、“1”のビットはP2DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2データ7~0

ポート2の各端子のデータを格納するビットです。

P2DRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート2入力プルアップMOSコントロールレジスタ (P2PCR)

P2PCRは8ビットのリード/ライト可能なレジスタで、ポート2に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P2 <sub>7</sub> PCR	P2 <sub>6</sub> PCR	P2 <sub>5</sub> PCR	P2 <sub>4</sub> PCR	P2 <sub>3</sub> PCR	P2 <sub>2</sub> PCR	P2 <sub>1</sub> PCR	P2 <sub>0</sub> PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2入力プルアップMOSコントロール7~0

ポート2に内蔵した入力プルアップMOSを制御するビットです。

モード5~7のとき、P2DDRを“0”にクリアした(入力ポートの)状態でP2PCRを“1”にセットすると対応するビットの入力プルアップMOSはONします。

P2PCRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.4 入力プルアップMOSの状態（ポート2）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF	OFF	OFF	
2				
3				
4				
5	OFF	OFF	ON/OFF	
6				
7				

《記号説明》

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P2PCR = "1" かつ P2DDR = "0" のときON状態、その他のときはOFF状態です。

## 9.4 ポート3

### 9.4.1 概要

ポート3は、データバス兼用の8ビットの入出力ポートです。ポート3の各端子は、図9.3に示す構成となっており、モード1～6（拡張モード）のときはデータバスとなり、モード7（シングルチップモード）のときは、入出力ポートとなります。

ポート3は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

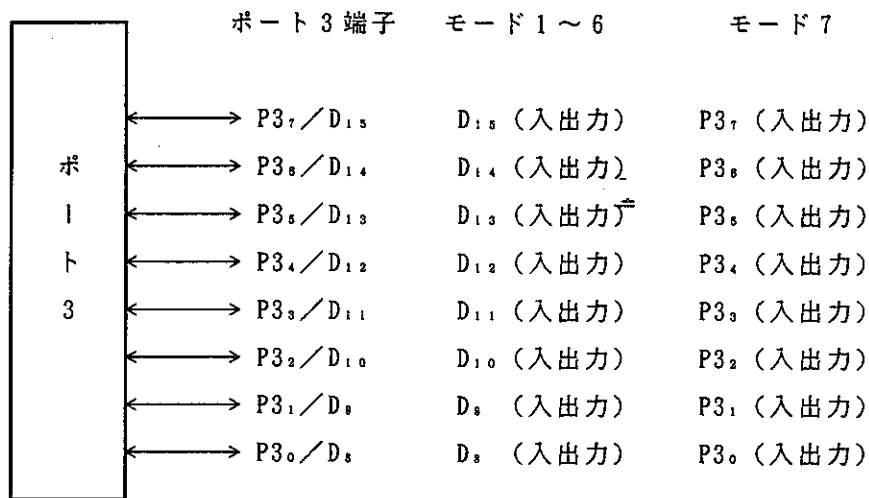


図9.3 ポート3の端子構成

### 9.4.2 レジスタ構成

表9.5にポート3のレジスタ構成を示します。

表9.5 ポート3レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFC4	ポート3データディレクションレジスタ	P3DDR	W	H'00
H'FFC6	ポート3データレジスタ	P3DR	R/W	H'00

【注】\* アドレスの下位16ビットを示しています。

(1) ポート3データディレクションレジスタ (P3DDR)

P3DDRは、8ビットのライト専用のレジスタで、ポート3各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P3 <sub>7</sub> DDR	P3 <sub>6</sub> DDR	P3 <sub>5</sub> DDR	P3 <sub>4</sub> DDR	P3 <sub>3</sub> DDR	P3 <sub>2</sub> DDR	P3 <sub>1</sub> DDR	P3 <sub>0</sub> DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート3データディレクション7~0

ポート3の各端子の入出力を選択するビットです。

(a) モード1~6 (拡張モード)

ポート3はデータバスとして機能します。P3DDRは無効です。

(b) モード7 (シングルチップモード)

ポート3は入出力ポートとして機能します。

P3DDRに“1”をセットすると対応する端子は出力ポートとなり、“0”にクリアすると入力ポートになります。

P3DDRは、ライト専用で、リードは無効です。リードすると、“1”が読み出されます。

P3DDRは、リセット、またはリードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P3DDRが“1”にセットされた状態でソフトウェアスタンバイモードに移移するとその端子は出力状態のままとなっています。

(2) ポート3データレジスタ (P3DR)

P3DRは、8ビットのリード/ライト可能なレジスタで、ポート3の出力データを格納します。また、このレジスタをリードすると、P3DDRが“0”のビットは端子のロジックレベルが読み出され、“1”のビットはP3DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3データ7~0

ポート3の各端子のデータを格納するビットです。

P3DRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

## 9.5 ポート 4

### 9.5.1 概要

ポート 4 は、データバス兼用の 8 ビットの入出力ポートです。ポート 4 の各端子は、図 9.4 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1～6（拡張モード）のときバス幅コントロールレジスタ（ABWCR）により、エリア 0～7 のすべてを 8 ビットアクセス空間に設定すると、8 ビットバスモードとなり、ポート 4 は入出力ポートとなります。また、エリア 0～7 のうち少なくとも 1 つのエリアを 16 ビットアクセス空間に設定すると、16 ビットバスモードとなり、ポート 4 はデータバスとなります。

モード 7（シングルチップモード）のとき、ポート 4 は、入出力ポートとなります。

ポート 4 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 4 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントン トランジスタを駆動することもできます。

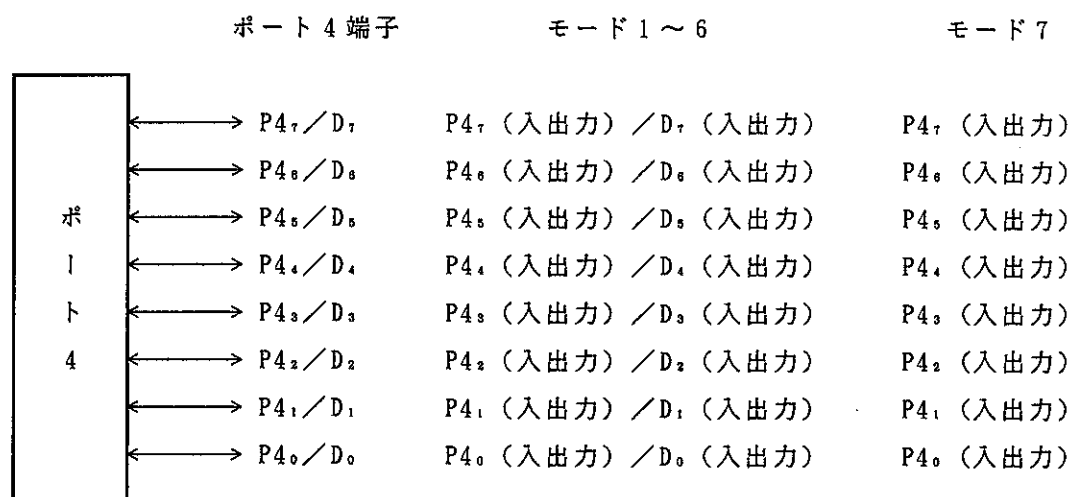


図 9.4 ポート 4 の端子構成

## 9.5.2 レジスタ構成

表 9.6 にポート 4 のレジスタ構成を示します。

表 9.6 ポート 4 レジスタ構成

アドレス*	名 称	略 称	R / W	初期値
H'FFC5	ポート 4 データディレクションレジスタ	P4DDR	W	H'00
H'FFC7	ポート 4 データレジスタ	P4DR	R / W	H'00
H'FFDA	ポート 4 入力プルアップ MOS コントロールレジスタ	P4PCR	R / W	H'00

【注】\* アドレスの下位 16 ビットを示しています。

### (1) ポート 4 データディレクションレジスタ (P4DDR)

P4DDR は、8 ビットのライト専用のレジスタで、ポート 4 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR
初期値:	0	0	0	0	0	0	0	0
R / W:	W	W	W	W	W	W	W	W

ポート 4 データディレクション 7 ~ 0

ポート 4 の各端子の入出力を選択するビットです。

### (a) モード 1 ~ 6 (拡張モード)

全エリアを 8 ビットアクセス空間に設定し、8 ビットバスモードとしたときポート 4 は入出力ポートとして機能します。P4DDR に“1”をセットすると対応するポート 4 の端子は出力ポートとなり、“0”にクリアすると入力ポートになります。

少なくとも 1 つのエリアを 16 ビットアクセス空間に設定し、16 ビットバスモードとしたとき、ポート 4 はデータバスとして機能します。

### (b) モード 7 (シングルチップモード)

ポート 4 は入出力ポートとして機能します。P4DDR に“1”をセットすると対応するポート 4 の端子は出力ポートとなり、“0”にクリアすると入力ポートになります。

P4DDR は、ライト専用レジスタで、リードは無効です。リードすると、“1”が読み出されます。

P4DDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCR および P4DDR はソフトウェアスタンバイモード時にはイニシャライズされません。したがって、ポート 4 が入出力ポートとして機能しているとき、P4DDR が“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

## (2) ポート4データレジスタ (P4DR)

P4DRは、8ビットのリード/ライト可能なレジスタで、ポート4の出力データを格納します。また、このレジスタをリードすると、P4DDRが“0”のビットは端子のロジックレベルが読み出され、“1”のビットは、P4DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4データ7~0

ポート4の各端子のデータを格納するビットです。

P4DRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

## (3) ポート4入力プルアップMOSコントロールレジスタ (P4PCR)

P4PCRは8ビットのリード/ライト可能なレジスタで、ポート4に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P4 <sub>7</sub> PCR	P4 <sub>6</sub> PCR	P4 <sub>5</sub> PCR	P4 <sub>4</sub> PCR	P4 <sub>3</sub> PCR	P4 <sub>2</sub> PCR	P4 <sub>1</sub> PCR	P4 <sub>0</sub> PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7~0

ポート4に内蔵した入力プルアップMOSを制御するビットです。

モード1~6 (拡張モード) の8ビットバスモード時とモード7 (シングルチップモード) 時、P4DDRを“0”にクリアした (入力ポートの) 状態で、P4PCRを“1”にセットすると入力プルアップMOSはONします。

P4PCRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。



各動作モードでの、入力プルアップMOSの状態を表9.7に示します。

表9.7 入力プルアップMOSの状態（ポート4）

モード		リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1 ~ 6	8ビットバスモード	OFF			ON/OFF
	16ビットバスモード				OFF
7					ON/OFF

《記号説明》

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P4PCR = "1" かつ P4DDR = "0" のときON状態、その他のときはOFF状態です。

## 9.6 ポート5

### 9.6.1 概要

ポート5は、アドレス出力兼用の4ビットの入出力ポートです。ポート5の各端子は、図9.5に示す構成となっており、動作モードにより端子機能が異なります。

モード1～4（内蔵ROM無効拡張モード）に設定したとき、ポート5の各端子はアドレス(A<sub>19</sub>～A<sub>16</sub>)出力として機能します。モード5、6（内蔵ROM有効拡張モード）に設定したときは、ポート5データディレクションレジスタ(P5DDR)の設定によりアドレスバス(A<sub>19</sub>～A<sub>16</sub>)または入力ポートとなります。

モード7（シングルチップモード）のときは、入出力ポートとなります。

ポート5は、プログラムで制御可能なプルアップMOSが内蔵されています。

ポート5は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、LED、ダークトランジスタを駆動することもできます。

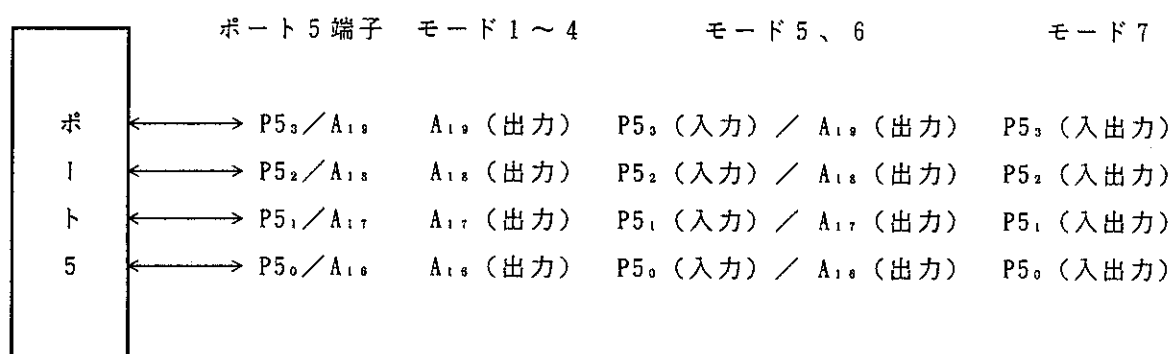


図9.5 ポート5の端子構成

### 9.6.2 レジスタ構成

表9.8にポート5のレジスタ構成を示します。

表9.8 ポート5レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード1-4	モード5-7
H'FFC8	ポート5データディレクションレジスタ	P5DDR	W	H'FF	H'F0
H'FFCA	ポート5データレジスタ	P5DR	R/W	H'F0	
H'FFDB	ポート5入力プルアップMOSコントロールレジスタ	P5PCR	R/W	H'F0	

【注】\* アドレスの下位16ビットを示しています。

(1) ポート5データディレクションレジスタ (P5DDR)

P5DDRは、8ビットのライト専用のレジスタで、ポート5各端子の入出力をビットごとに指定することができます。

ビット :		7	6	5	4	3	2	1	0
		—	—	—	—	P5 <sub>3</sub> DDR	P5 <sub>2</sub> DDR	P5 <sub>1</sub> DDR	P5 <sub>0</sub> DDR
モード1~4	初期値 :	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード5~7	初期値 :	1	1	1	1	0	0	0	0
	R/W :	—	—	—	—	W	W	W	W

リザーブビット

ポート5データディレクション3~0

ポート5の各端子の入出力を選択するビットです。

(a) モード1~4 (内蔵ROM無効拡張モード)

P5DDRは“1”に固定され、ポート5はアドレス出力として機能します。P5<sub>7</sub>DDR~P5<sub>4</sub>DDRビットはリザーブビットで“1”に固定されています。ライトは無効です。

(b) モード5、6 (内蔵ROM有効拡張モード)

このモードでは、ポート5はリセット直後は入力ポートとなっています。P5DDRに“1”をセットすると対応するポート5の端子がアドレス出力端子になり、“0”にクリアすると入力ポートになります。

(c) モード7 (シングルチップモード)

ポート5は、入出力ポートとして機能します。P5DDRに“1”をセットすると対応する端子は出力ポートになり、“0”にクリアすると入力ポートになります。

P5DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されません。

P5DDRは、リセット、またはハードウェアスタンバイモード時に、H'F0にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P5DDRが“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポート5データレジスタ (P5DR)

P5DRは、8ビットのリード/ライト可能なレジスタで、ポート5の出力データを格納します。また、このレジスタをリードすると、P5DDRの値が“0”のビットは端子のロジックレベルが読み出され、“1”のビットは、P5DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5データ3~0

ポート5の各端子のデータを格納するビットです。

ビット7~4は、リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

P5DRは、リセット、またはハードウェアスタンバイモード時に、H'F0にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート5入力プルアップMOSコントロールレジスタ (P5PCR)

P5PCRは8ビットのリード/ライト可能なレジスタで、ポート5に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P5 <sub>3</sub> PCR	P5 <sub>2</sub> PCR	P5 <sub>1</sub> PCR	P5 <sub>0</sub> PCR
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5入力プルアップMOSコントロール3~0

ポート5に内蔵した入力プルアップMOSを制御するビットです。

モード5~7のとき、P5DDRを“0”にクリアした(入力ポート)状態でP5PCRを“1”にセットすると入力プルアップMOSはONします。

P5PCRは、リセット、またはハードウェアスタンバイモード時に、H'F0にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表9.9に示します。

表9.9 入力プルアップMOSの状態（ポート5）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1				
2		OFF		OFF
3				
4				
5				
6		OFF		ON/OFF
7				

《記号説明》

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P5PCR = "1" かつ P5DDR = "0" のときON状態、その他のときはOFF状態です。

## 9.7 ポート6

### 9.7.1 概要

ポート6は、7ビットの入出力ポートです。ポート6はバス制御入出力端子（ $\overline{\text{LWR}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{AS}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{WAIT}}$ ）と兼用になっています。エリア3にDRAMを接続する場合には、 $\overline{\text{LWR}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$ がそれぞれ $\overline{\text{LW}}$ 、 $\overline{\text{UW}}$ 、 $\overline{\text{CAS}}$  または $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 、 $\overline{\text{WE}}$ と兼用になります。詳細は「第7章 リフレッシュコントローラ」を参照してください。

ポート6の端子構成を図9.6に示します。

モード1～6（拡張モード）時には、 $\overline{\text{LWR}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{AS}}$ 、 $\text{P6}_2/\overline{\text{BACK}}$ 、 $\text{P6}_1/\overline{\text{BREQ}}$ 、 $\text{P6}_0/\overline{\text{WAIT}}$ として機能します。端子機能の選択方法については表9.11を参照してください。モード7（シングルチップモード）時には、入出力ポートとなります。

ポート6は、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

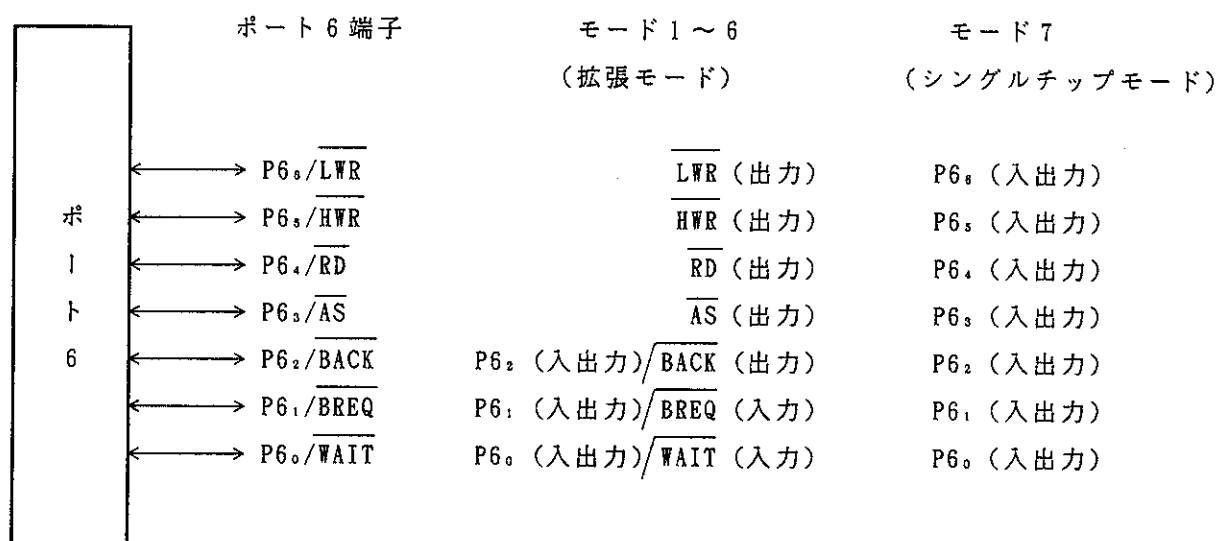


図9.6 ポート6の端子構成

### 9.7.2 レジスタ構成

表9.10にポート6のレジスタ構成を示します。

表9.10 ポート6レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モ-F1~5	モ-F6,7
H'F8C9	ポート6データディレクションレジスタ	P6DDR	W	H'F8	H'80
H'F8CB	ポート6データレジスタ	P6DR	R/W	H'80	H'80

【注】\* アドレスの下位16ビットを示しています。

(1) ポート6データディレクションレジスタ (P6DDR)

P6DDRは、8ビットのライト専用のレジスタで、ポート6の各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

リザーブビット                      ポート6データディレクション6~0

ポート6の各端子の入出力を選択するビットです。

(a) モード1~6 (拡張モード)

ポートP6<sub>6</sub>~P6<sub>3</sub>はバス制御出力端子 (LWR、HWR、RD、AS)として機能します。P6<sub>2</sub>~P6<sub>0</sub>は、入出力ポートとして機能します。P6DDR2~0に“1”をセットすると対応するポート6の端子は出力ポートとなり、“0”にすると入力ポートになります。

(b) モード7 (シングルチップモード)

ポート6は入出力ポートとして機能します。

P6DDRに“1”をセットすると対応するポート6の端子は出力ポートとなり、“0”にクリアすると入力ポートになります。

ビット7はリザーブビットです。

P6DDRは、ライト専用で、リードは無効です。リードすると“1”が読み出されます。

P6DDRは、リセット、またはハードウェアスタンバイモード時に、H'80にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、P6DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート6データレジスタ (P6DR)

P6DRは、8ビットのリード/ライト可能なレジスタで、ポート6の出力データを格納します。また、このレジスタをリードすると、P6DDRが“0”のビットは端子のロジックレベルが読み出され、“1”のビットはP6DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート6データ6~0

ポート6の各端子のデータを格納するビットです。

ビット7はリザーブビットです。また、ビット7はリードすると常に“1”が読み出されます。ライトは無効です。

P6DRは、リセット、またはハードウェアスタンバイモード時に、H'80にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。



表 9.11 モード 1 ~ 6 の端子機能 (ポート 6)

端子	選 択 方 法 と 端 子 機 能		
P6 <sub>0</sub> / $\overline{\text{LWR}}$	P6 <sub>0</sub> DDRビットとは無関係に、次のように切り換わります。		
	P6 <sub>0</sub> DDR	0	1
	端子機能	$\overline{\text{LWR}}$ 出力端子	
P6 <sub>0</sub> / $\overline{\text{HWR}}$	P6 <sub>0</sub> DDRビットとは無関係に、次のように切り換わります。		
	P6 <sub>0</sub> DDR	0	1
	端子機能	$\overline{\text{HWR}}$ 出力端子	
P6 <sub>4</sub> / $\overline{\text{RD}}$	P6 <sub>4</sub> DDRビットとは無関係に、次のように切り換わります。		
	P6 <sub>4</sub> DDR	0	1
	端子機能	$\overline{\text{RD}}$ 出力端子	
P6 <sub>3</sub> / $\overline{\text{AS}}$	P6 <sub>3</sub> DDRビットとは無関係に、次のように切り換わります。		
	P6 <sub>3</sub> DDR	0	1
	端子機能	$\overline{\text{AS}}$ 出力端子	
P6 <sub>2</sub> / $\overline{\text{BACK}}$	BR CRのBR LEビットとP6 <sub>2</sub> DDRビットの組合わせにより、次のように切り換わります。		
	BR LE	0	1
	P6 <sub>2</sub> DDR	0	1
	端子機能	P6 <sub>2</sub> 入力端子	P6 <sub>2</sub> 出力端子
P6 <sub>1</sub> / $\overline{\text{BREQ}}$	BR CRのBR LEビットとP6 <sub>1</sub> DDRビットの組合わせにより、次のように切り換わります。		
	BR LE	0	1
	P6 <sub>1</sub> DDR	0	1
	端子機能	P6 <sub>1</sub> 入力端子	P6 <sub>1</sub> 出力端子
P6 <sub>0</sub> / $\overline{\text{WAIT}}$	WCERのWCE 7 ~ WCE 0、WCRのWMS 1ビットとP6 <sub>0</sub> DDRビットの組合わせで、次のように切り換わります。		
	WCER	すべてが "1"	いずれかが "0"
	WMS 1	0	1
	P6 <sub>0</sub> DDR	0	1
	端子機能	P6 <sub>0</sub> 入力端子	P6 <sub>0</sub> 出力端子
			0*
			0*
			$\overline{\text{WAIT}}$ 入力端子
	【注】* P6 <sub>0</sub> DDRは "1" にセットしないでください。		

## 9.8 ポート 7

### 9.8.1 概要

ポート 7 は 8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子と D/A 変換器のアナログ出力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート 7 の端子構成を図 9.7 に示します。

ポート 7 端子

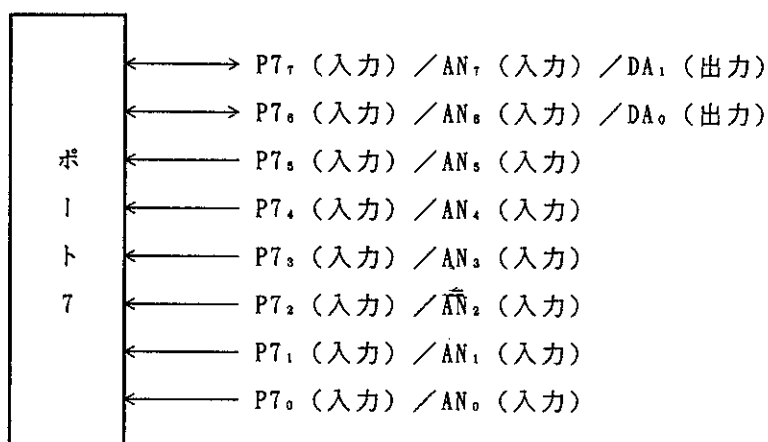


図 9.7 ポート 7 の端子構成

### 9.8.2 レジスタ構成

表 9.12 にポート 7 のレジスタ構成を示します。ポート 7 は入力専用ポートであり、データディレクションレジスタはありません。

表 9.12 ポート 7 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFCE	ポート 7 データレジスタ	P7DR	R	不 定

【注】\* アドレスの下位 16 ビットを示しています。

#### (1) ポート 7 データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>
初期値:	—	*	—	*	—	*	—	*
R/W:	R	R	R	R	R	R	R	R

【注】\* P7<sub>7</sub> ~ P7<sub>0</sub> 端子により決定されます。

P7DR のリードを行うと、常に端子の状態が読み出されます。

## 9.9 ポート 8

### 9.9.1 概要

ポート 8 は、5 ビットの入出力ポートです。ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$  出力端子、 $\overline{RFSH}$  出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$  入力端子と兼用になっています。ポート 8 の端子構成を図 9.8 に示します。

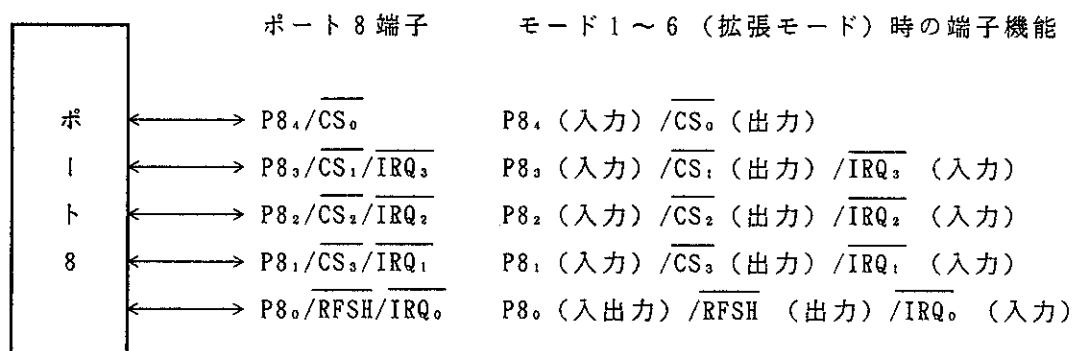
モード 1 ~ 6 (拡張モード) 時には、ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$  出力端子、 $\overline{RFSH}$  出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$  入力端子と兼用になります。拡張モードでの端子機能の選択方法については表 9.14 を参照してください。

モード 7 (シングルチップモード) 時には、ポート 8 は、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$  入力端子と兼用となります。シングルチップモードでの端子機能の選択方法については表 9.15 を参照してください。

$\overline{IRQ}_3 \sim \overline{IRQ}_0$  の機能は端子の入出力にかかわらず I E R をセットすることにより選択されます。詳細は「第 5 章 割込みコントローラ」を参照してください。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

$P8_2 \sim P8_0$  端子はシュミットトリガ入力です。



モード 7 (シングルチップモード) 時の端子機能

$P8_4$  (入出力)  
 $P8_3$  (入出力) /  $\overline{IRQ}_3$  (入力)  
 $P8_2$  (入出力) /  $\overline{IRQ}_2$  (入力)  
 $P8_1$  (入出力) /  $\overline{IRQ}_1$  (入力)  
 $P8_0$  (入出力) /  $\overline{IRQ}_0$  (入力)

図 9.8 ポート 8 の端子構成

9.9.2 レジスタ構成

表 9.13 にポート 8 のレジスタ構成を示します。

表 9.13 ポート 8 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード1~4	モード5~7
H'FFCD	ポート 8 データディレクションレジスタ	P 8 D D R	W	H'F0	H'E0
H'FFCF	ポート 8 データレジスタ	P 8 D R	R/W	H'E0	

【注】\* アドレスの下位16ビットを示しています。

(1) ポート 8 データディレクションレジスタ (P 8 D D R)

P 8 D D R は、8 ビットのライト専用のレジスタで、ポート 8 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0	
	—	—	—	P8 <sub>4</sub> DDR	P8 <sub>3</sub> DDR	P8 <sub>2</sub> DDR	P8 <sub>1</sub> DDR	P8 <sub>0</sub> DDR	
モード1~4 {	初期値:	1	1	1	1	0	0	0	0
	R/W:	—	—	—	W	W	W	W	W
モード5~7 {	初期値:	1	1	1	0	0	0	0	0
	R/W:	—	—	—	W	W	W	W	W

リザーブビット

ポート 8 データディレクション 4 ~ 0

ポート 8 の各端子の入出力を選択するビットです。

(a) モード 1 ~ 6 (拡張モード)

P8<sub>4</sub> ~ P8<sub>1</sub> は P 8 D D R の対応するビットが“1”のときCS<sub>0</sub> ~ CS<sub>3</sub>出力端子となり、“0”のとき入力ポートとなります。モード 1 ~ 4 (内蔵ROM無効拡張モード)ではリセット直後CS<sub>0</sub>のみ出力となり、他の3端子は入力ポートとなります。モード 5 ~ 6 (内蔵ROM有効拡張モード)ではリセット直後4端子共入力ポートとなります。

P8<sub>0</sub>はリフレッシュコントローラをイネーブルにすると強制的にRFSH出力となり、ディスエーブルのとき入出力ポートとなってP 8 D D Rの設定値に従います。詳細は表 9.15を参照してください。

(b) モード 7 (シングルチップモード)

入出力ポートとして機能します。P 8 D D Rを“1”にセットすると対応する端子は出力ポートとなり、“0”にクリアすると入力ポートとなります。

P8DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

P8DDRは、リセット、またはハードウェアスタンバイモード時に、動作モードによりH'E0かH'F0にイニシャライズされます。P8DDRは、ソフトウェアスタンバイモード時には直前の状態を保持します。したがって、P8DDRが“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

## (2) ポート8データレジスタ (P8DR)

P8DRは、8ビットのリード/ライト可能なレジスタで、ポート8の出力データを格納します。また、このレジスタをリードすると、P8DDRが“0”のビットは端子のロジックレベルが読み出され、“1”のビットはP8DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P8 <sub>4</sub>	P8 <sub>3</sub>	P8 <sub>2</sub>	P8 <sub>1</sub>	P8 <sub>0</sub>
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート8データ4~0

ポート8の各端子のデータを格納するビットです。

ビット7~5はリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

P8DRは、リセット、またはハードウェアスタンバイモード時に、H'E0にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.14 モード 1 ~ 6 時の端子機能 (ポート 8)

端 子	選 択 方 法 と 端 子 機 能		
P8 <sub>0</sub> / $\overline{\text{CS}}_0$	P8 <sub>0</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>0</sub> DDR	0	1
	端子機能	P8 <sub>0</sub> 入力端子	$\overline{\text{CS}}_0$ 出力端子
P8 <sub>3</sub> / $\overline{\text{CS}}_1$ / $\overline{\text{IRQ}}_3$	P8 <sub>3</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>3</sub> DDR	0	1
	端子機能	P8 <sub>3</sub> 入力端子	$\overline{\text{CS}}_1$ 出力端子
P8 <sub>2</sub> / $\overline{\text{CS}}_2$ / $\overline{\text{IRQ}}_2$	P8 <sub>2</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>2</sub> DDR	0	1
	端子機能	P8 <sub>2</sub> 入力端子	$\overline{\text{CS}}_2$ 出力端子
P8 <sub>1</sub> / $\overline{\text{CS}}_3$ / $\overline{\text{IRQ}}_1$	P8 <sub>1</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>1</sub> DDR	0	1
	端子機能	P8 <sub>1</sub> 入力端子	$\overline{\text{CS}}_3$ 出力端子
P8 <sub>0</sub> / $\overline{\text{RFSH}}$ / $\overline{\text{IRQ}}_0$	RFSHCRのRFSHEビット、およびP8 <sub>0</sub> DDRビットの組合わせにより、次のように切り換わります。		
	RFSHE	0	1
	P8 <sub>0</sub> DDR	0	1
端子機能	P8 <sub>0</sub> 入力端子	P8 <sub>0</sub> 出力端子	$\overline{\text{RFSH}}$ 出力端子
	$\overline{\text{IRQ}}_0$ 入力端子		

表 9.15 モード7時の端子機能 (ポート8)

端 子	選 択 方 法 と 端 子 機 能		
P8 <sub>0</sub>	P8 <sub>0</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>0</sub> DDR	0	1
	端 子 機 能	P8 <sub>0</sub> 入力端子	P8 <sub>0</sub> 出力端子
P8 <sub>3</sub> / $\overline{\text{IRQ}}_3$	P8 <sub>3</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>3</sub> DDR	0	1
	端 子 機 能	P8 <sub>3</sub> 入力端子	P8 <sub>3</sub> 出力端子
		$\overline{\text{IRQ}}_3$ 入力端子	
P8 <sub>2</sub> / $\overline{\text{IRQ}}_2$	P8 <sub>2</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>2</sub> DDR	0	1
	端 子 機 能	P8 <sub>2</sub> 入力端子	P8 <sub>2</sub> 出力端子
		$\overline{\text{IRQ}}_2$ 入力端子	
P8 <sub>1</sub> / $\overline{\text{IRQ}}_1$	P8 <sub>1</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>1</sub> DDR	0	1
	端 子 機 能	P8 <sub>1</sub> 入力端子	P8 <sub>1</sub> 出力端子
		$\overline{\text{IRQ}}_1$ 入力端子	
P8 <sub>0</sub> / $\overline{\text{IRQ}}_0$	P8 <sub>0</sub> DDRビットにより、次のように切り換わります。		
	P8 <sub>0</sub> DDR	0	1
	端 子 機 能	P8 <sub>0</sub> 入力端子	P8 <sub>0</sub> 出力端子
		$\overline{\text{IRQ}}_0$ 入力端子	

## 9.10 ポート9

### 9.10.1 概要

ポート9は、6ビットの入出力ポートです。ポート9はシリアルコミュニケーションインタフェースチャンネル0、1（S C I 0、1）の入出力端子（TxD<sub>0</sub>、TxD<sub>1</sub>、RxD<sub>0</sub>、RxD<sub>1</sub>、SCK<sub>0</sub>、SCK<sub>1</sub>）、IRQ<sub>0</sub>、IRQ<sub>1</sub>入力端子と兼用になっています。端子機能の選択方法については表9.17を参照してください。

IRQ<sub>0</sub>、IRQ<sub>1</sub>の機能は端子の入出力にかかわらずIERをセットすることにより選択されます。詳細は「第5章 割込みコントローラ」を参照してください。

ポート9の端子機能はいずれの動作モードでも共通です。ポート9の端子構成を図9.9に示します。

ポート9は、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

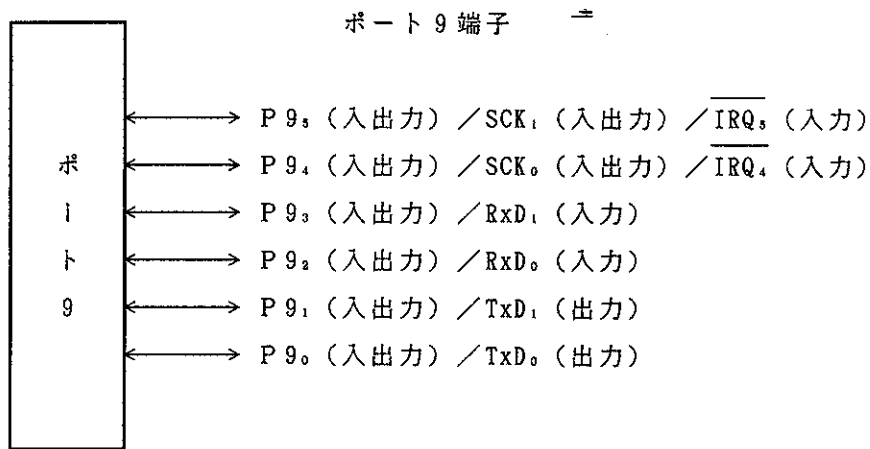


図9.9 ポート9の端子構成

### 9.10.2 レジスタ構成

表9.16にポート9のレジスタ構成を示します。

表9.16 ポート9レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFD0	ポート9データディレクションレジスタ	P9DDR	W	H'C0
H'FFD2	ポート9データレジスタ	P9DR	R/W	H'C0

【注】\* アドレスの下位16ビットを示しています。



(1) ポート9データディレクションレジスタ (P9DDR)

P9DDRは、8ビットのライト専用のレジスタで、ポート9各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 <sub>5</sub> DDR	P9 <sub>4</sub> DDR	P9 <sub>3</sub> DDR	P9 <sub>2</sub> DDR	P9 <sub>1</sub> DDR	P9 <sub>0</sub> DDR
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W

リザーブビット

ポート9データディレクション5~0

ポート9の各端子の入出力を選択するビットです。

P9DDRを“1”にセットすると対応するポート9の各端子は出力ポートとなり、“0”にクリアすると入力ポートになります。

P9DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

P9DDRは、リセット、またはハードウェアスタンバイモード時に、H'COにイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P9DDRが、“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポート9データレジスタ (P9DR)

P9DRは、8ビットのリード/ライト可能なレジスタで、ポート9の出力データを格納します。また、このレジスタをリードすると、P9DDRが“0”のビットは端子のロジックレベルが読み出され、“1”のビットはP9DRの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 <sub>5</sub>	P9 <sub>4</sub>	P9 <sub>3</sub>	P9 <sub>2</sub>	P9 <sub>1</sub>	P9 <sub>0</sub>
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート9データ5~0

ポート9の各端子のデータを格納するビットです。

ビット7、6はリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

P9DRは、リセット、またはハードウェアスタンバイモード時に、H'COにイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.17 ポート 9 の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能					
P9 <sub>s</sub> /SCK <sub>i</sub> / $\overline{\text{IRQ}}_s$	S C I 1 の S M R の C / $\overline{\text{A}}$ ビット、S C R の C K E 0、1 ビットと P 9 <sub>s</sub> D D R ビットの組合わせにより次のように切り換わります。					
	C K E 1	0			1	
	C / $\overline{\text{A}}$	0		1	—	
	C K E 0	0	1	—	—	—
	P 9 <sub>s</sub> D D R	0	1	—	—	—
	端 子 機 能	P 9 <sub>s</sub> 入 力端子	P 9 <sub>s</sub> 出 力端子	S C K <sub>i</sub> 出力端子	S C K <sub>i</sub> 出力端子	S C K <sub>i</sub> 入力端子
$\overline{\text{IRQ}}_s$ 入力端子						
P9 <sub>s</sub> /SCK <sub>o</sub> / $\overline{\text{IRQ}}_s$	S C I 0 の S M R の C / $\overline{\text{A}}$ ビット、S C R の C K E 0、1 ビットと P 9 <sub>s</sub> D D R ビットの組合わせにより次のように切り換わります。					
	C K E 1	0			1	
	C / $\overline{\text{A}}$	0		1	—	
	C K E 0	0	1	—	—	—
	P 9 <sub>s</sub> D D R	0	1	—	—	—
	端 子 機 能	P 9 <sub>s</sub> 入 力端子	P 9 <sub>s</sub> 出 力端子	S C K <sub>o</sub> 出力端子	S C K <sub>o</sub> 出力端子	S C K <sub>o</sub> 入力端子
$\overline{\text{IRQ}}_s$ 入力端子						

表 9.17 ポート 9 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能			
P9 <sub>3</sub> /RxD <sub>1</sub>	S C I 1 の S C R の R E ビットと P9 <sub>3</sub> D D R ビットの組合わせにより、次のように切り換わります。			
	R E		0	
	P9 <sub>3</sub> D D R		0	
端 子 機 能	P9 <sub>3</sub> 入力端子		P9 <sub>3</sub> 出力端子	
	R E		1	
	P9 <sub>3</sub> D D R		1	
端 子 機 能	P9 <sub>3</sub> 入力端子		RxD <sub>1</sub> 入力端子	
P9 <sub>2</sub> /RxD <sub>0</sub>	S C I 0 の S C R の R E ビット、S C M R の S M I F ビット、および P9 <sub>2</sub> D D R ビットの組合わせにより、次のように切り換わります。			
	S M I F		0	
	R E		0	
	P9 <sub>2</sub> D D R		0	
端 子 機 能	P9 <sub>2</sub> 入力端子		P9 <sub>2</sub> 出力端子	
	S M I F		1	
	R E		1	
	P9 <sub>2</sub> D D R		1	
端 子 機 能	P9 <sub>2</sub> 入力端子		RxD <sub>0</sub> 入力端子	
P9 <sub>1</sub> /TxD <sub>1</sub>	S C I 1 の S C R の T E ビットと P9 <sub>1</sub> D D R ビットの組合わせにより、次のように切り換わります。			
	T E		0	
	P9 <sub>1</sub> D D R		0	
端 子 機 能	P9 <sub>1</sub> 入力端子		P9 <sub>1</sub> 出力端子	
	T E		1	
	P9 <sub>1</sub> D D R		1	
端 子 機 能	P9 <sub>1</sub> 入力端子		TxD <sub>1</sub> 出力端子	
P9 <sub>0</sub> /TxD <sub>0</sub>	S C I 0 の S C R の T E ビット、S C M R の S M I F ビット、および P9 <sub>0</sub> D D R ビットの組合わせにより、次のように切り換わります。			
	S M I F		0	
	T E		0	
	P9 <sub>0</sub> D D R		0	
端 子 機 能	P9 <sub>0</sub> 入力端子		P9 <sub>0</sub> 出力端子	
	S M I F		1	
	T E		1	
	P9 <sub>0</sub> D D R		1	
端 子 機 能	P9 <sub>0</sub> 入力端子		TxD <sub>0</sub> 出力端子*	
<p>【注】* TxD<sub>0</sub> 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の 2 種類の状態があります。</p>				

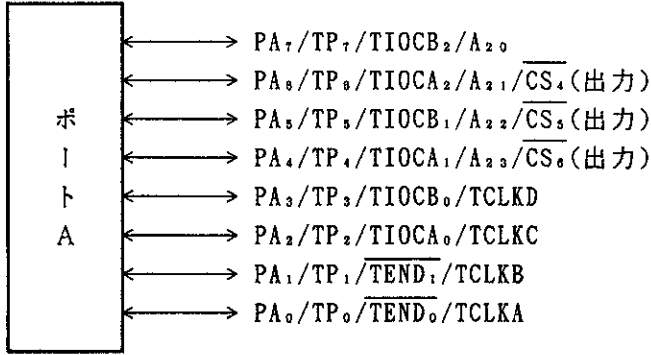
## 9.11 ポート A

### 9.11.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、プログラマブルタイミングパターンコントローラ (TPC) の出力端子 (TP<sub>7</sub>~TP<sub>0</sub>)、16 ビットインテグレートドタイムユニット (ITU) の入出力端子 (TIOCB<sub>2</sub>、TIOCA<sub>2</sub>、TIOCB<sub>1</sub>、TIOCA<sub>1</sub>、TIOCB<sub>0</sub>、TIOCA<sub>0</sub>、TCLKD、TCLKC、TCLKB、TCLKA)、DMA コントローラ (DMAC) の出力端子 (TEND<sub>1</sub>、TEND<sub>0</sub>)、CS<sub>4</sub>~CS<sub>8</sub> 出力端子およびアドレスバス (A<sub>23</sub>~A<sub>20</sub>) と兼用になっています。ポート A は、動作モード 3、4、6 で A<sub>20</sub> が強制的に出力になることを除きリセットおよびハードウェアスタンバイで入力ポートになっています。TPC、ITU および DMAC の入出力端子として使用する端子については、それぞれのモジュールの説明を参照してください。モード 3、4、6 でアドレス A<sub>23</sub>~A<sub>21</sub> を出力する場合は、「6.2.5 バスリリースコントロールレジスタ」を参照してください。モード 1~6 で CS<sub>4</sub>~CS<sub>8</sub> を出力する場合は「6.3.2 チップセレクト信号」を参照してください。これらのいずれの機能も割当てられない端子は入出力ポートとして使用できます。ポート A の端子構成を図 9.10 に示します。

ポート A は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。ポート A はシュミットトリガ入力です。

ポート A 端子



モード 1、2、5 時の端子機能

$PA_7$  (入出力) /  $TP_7$  (出力) /  $TIOCB_2$  (入出力)  
 $PA_6$  (入出力) /  $TP_6$  (出力) /  $TIOCA_2$  (入出力) /  $\overline{CS_4}$  (出力)  
 $PA_5$  (入出力) /  $TP_5$  (出力) /  $TIOCB_1$  (入出力) /  $\overline{CS_5}$  (出力)  
 $PA_4$  (入出力) /  $TP_4$  (出力) /  $TIOCA_1$  (入出力) /  $\overline{CS_6}$  (出力)  
 $PA_3$  (入出力) /  $TP_3$  (出力) /  $TIOCB_0$  (入出力) /  $TCLKD$  (入力)  
 $PA_2$  (入出力) /  $TP_2$  (出力) /  $TIOCA_0$  (入出力) /  $TCLKC$  (入力)  
 $PA_1$  (入出力) /  $TP_1$  (出力) /  $\overline{TEND_1}$  (出力) /  $TCLKB$  (入力)  
 $PA_0$  (入出力) /  $TP_0$  (出力) /  $\overline{TEND_0}$  (出力) /  $TCLKA$  (入力)

モード 3、4、6 時の端子機能

$A_{20}$   
 $PA_6$  (入出力) /  $TP_6$  (出力) /  $TIOCA_2$  (入出力) /  $A_{21}$  (出力) /  $\overline{CS_4}$  (出力)  
 $PA_5$  (入出力) /  $TP_5$  (出力) /  $TIOCB_1$  (入出力) /  $A_{22}$  (出力) /  $\overline{CS_5}$  (出力)  
 $PA_4$  (入出力) /  $TP_4$  (出力) /  $TIOCA_1$  (入出力) /  $A_{23}$  (出力) /  $\overline{CS_6}$  (出力)  
 $PA_3$  (入出力) /  $TP_3$  (出力) /  $TIOCB_0$  (入出力) /  $TCLKD$  (入力)  
 $PA_2$  (入出力) /  $TP_2$  (出力) /  $TIOCA_0$  (入出力) /  $TCLKC$  (入力)  
 $PA_1$  (入出力) /  $TP_1$  (出力) /  $\overline{TEND_1}$  (出力) /  $TCLKB$  (入力)  
 $PA_0$  (入出力) /  $TP_0$  (出力) /  $\overline{TEND_0}$  (出力) /  $TCLKA$  (入力)

モード 7 時の端子機能

$PA_7$  (入出力) /  $TP_7$  (出力) /  $TIOCB_2$  (入出力)  
 $PA_6$  (入出力) /  $TP_6$  (出力) /  $TIOCA_2$  (入出力)  
 $PA_5$  (入出力) /  $TP_5$  (出力) /  $TIOCB_1$  (入出力)  
 $PA_4$  (入出力) /  $TP_4$  (出力) /  $TIOCA_1$  (入出力)  
 $PA_3$  (入出力) /  $TP_3$  (出力) /  $TIOCB_0$  (入出力) /  $TCLKD$  (入力)  
 $PA_2$  (入出力) /  $TP_2$  (出力) /  $TIOCA_0$  (入出力) /  $TCLKC$  (入力)  
 $PA_1$  (入出力) /  $TP_1$  (出力) /  $\overline{TEND_1}$  (出力) /  $TCLKB$  (入力)  
 $PA_0$  (入出力) /  $TP_0$  (出力) /  $\overline{TEND_0}$  (出力) /  $TCLKA$  (入力)

図 9.10 ポート A の端子構成

9.11.2 レジスタ構成

表 9.18 にポート A のレジスタ構成を示します。

表 9.18 ポート A レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード1、2、5、7	モード3、4、6
H'FFD1	ポート A データディレクションレジスタ	PADDR	W	H'00	H'80
H'FFD3	ポート A データレジスタ	PADR	R/W	H'00	

【注】\* アドレスの下位16ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

PADDR は、8 ビットのライト専用のレジスタで、ポート A 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PADDR の対応するビットをセットしてください。

ビット:		7	6	5	4	3	2	1	0
		PA <sub>7</sub> DDR	PA <sub>6</sub> DDR	PA <sub>5</sub> DDR	PA <sub>4</sub> DDR	PA <sub>3</sub> DDR	PA <sub>2</sub> DDR	PA <sub>1</sub> DDR	PA <sub>0</sub> DDR
モード3、4、6	初期値:	1	0	0	0	0	0	0	0
	R/W:	—	W	W	W	W	W	W	W
モード1、2、5、7	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W

ポート A データディレクション 7~0

ポート A の各端子の入出力を選択するビットです。

PADDR を “1” にセットすると対応するポート A の各端子は出力となり、“0” にクリアすると入力になります。ただし、モード 3、4、6 では PA<sub>7</sub>DDR は “1” に固定され、PA<sub>7</sub> はアドレス出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると “1” が読み出されます。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、2、5、7 では H'00 に、モード 3、4、6 では H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PADDR が “1” にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポートAデータレジスタ (P A D R)

P A D Rは、8ビットのリード/ライト可能なレジスタで、ポートAの出力データを格納します。また、このレジスタをリードすると、P A D Rが“0”のビットは端子のロジックレベルが読み出され、“1”のビットはP A D Rの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PA <sub>7</sub>	PA <sub>6</sub>	PA <sub>5</sub>	PA <sub>4</sub>	PA <sub>3</sub>	PA <sub>2</sub>	PA <sub>1</sub>	PA <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAデータ7~0

ポートAの各端子のデータを格納するビットです。

P A D Rは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.11.3 端子機能

ポートAの端子機能について表9.19に示します。

表 9.19 ポートAの端子機能(1)

端 子	選 択 方 法 と 端 子 機 能				
PA <sub>7</sub> / TP <sub>7</sub> / TIOCB <sub>2</sub> / A <sub>20</sub>	モード設定とTMDRのPWM2ビット、TIOB2のIOB2~IOB0ビットによるITUチャンネル2の設定、NDERAのNDER7ビット、およびPADDRのPA <sub>7</sub> DDRビットの組み合わせにより、次のように切り換わります。				
	モード	1、2、5、7			3、4、6
	ITUチャンネル2の設定	下表①	下表②		—
	PA <sub>7</sub> DDR	—	0	1	1
	NDER7	—	—	0	1
	端子機能	TIOCB <sub>2</sub> 出力	PA <sub>7</sub> 入力	PA <sub>7</sub> 出力	TP <sub>7</sub> 出力
			TIOCB <sub>2</sub> 入力*		A <sub>20</sub> 出力
【注】* IOB2 = “1”、かつPWM2 = “0” の場合にTIOCB <sub>2</sub> 入力となります。					
	ITUチャンネル2の設定	②	①		②
	IOB2	0			1
	IOB1	0	0	1	—
	IOB0	0	1	—	—



表 9.19 ポート A の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能															
PA <sub>0</sub> / TP <sub>0</sub> / TIOCA <sub>2</sub> / A <sub>2:1</sub> / CS4	モード設定とBRCRのA <sub>2:1</sub> Eビット、CSCRのCS4Eビット、TMDRのPWM2ビット、TIOR2のIOA2~IOA0ビットによるITUチャンネル2の設定、NDERAのNDER6ビット、およびPADDRのPA <sub>0</sub> DDRビットの組み合わせにより、次のように切り換わります。															
	1、2、5			3、4、6						7						
	CS4E			0	1	0			1	—						
	A <sub>2:1</sub> E			—			1			0	—					
	ITU 7 <sub>1</sub> 初20設定		下表①	下表②		—	下表①	下表②		—	—	下表①	下表②			
	PA <sub>0</sub> DDR		—	0	1	1	—	0	1	1	—	—	0	1	1	
	NDER6		—	—	0	1	—	—	0	1	—	—	—	0	1	
	端子機能	TIOCA <sub>2</sub> 出力	PA <sub>0</sub> 入力	PA <sub>0</sub> 出力	TP <sub>0</sub> 出力	CS4出力	TIOCA <sub>2</sub> 出力	PA <sub>0</sub> 入力	PA <sub>0</sub> 出力	TP <sub>0</sub> 出力	A <sub>2:1</sub> 出力	CS4出力	TIOCA <sub>2</sub> 出力	PA <sub>0</sub> 入力	PA <sub>0</sub> 出力	TP <sub>0</sub> 出力
			TIOCA <sub>2</sub> 入力*					TIOCA <sub>2</sub> 入力*						TIOCA <sub>2</sub> 入力*		
	【注】* IOA2 = “1” の場合にTIOCA <sub>2</sub> 入力となります。															
	ITUチャンネル2の設定		②		①			②		①						
	PWM2		0						1							
	IOA2		0			1			—							
	IOA1		0	0	1	—			—							
	IOA0		0	1	—			—								
PA <sub>0</sub> / TP <sub>0</sub> / TIOCB <sub>1</sub> / A <sub>2:2</sub> / CS5	モード設定とBRCRのA <sub>2:2</sub> Eビット、CSCRのCS5Eビット、TMDRのPWM1ビット、TIOR1のIOB2~IOB0ビットによるITUチャンネル1の設定、NDERAのNDER5ビット、およびPADDRのPA <sub>0</sub> DDRビットの組み合わせにより、次のように切り換わります。															
	1、2、5			3、4、6						7						
	CS5E			0	1	0			1	—						
	A <sub>2:2</sub> E			—			1			0	—					
	ITU 7 <sub>1</sub> 初10設定		下表①	下表②		—	下表①	下表②		—	—	下表①	下表②			
	PA <sub>0</sub> DDR		—	0	1	1	—	0	1	1	—	—	0	1	1	
	NDER5		—	—	0	1	—	—	0	1	—	—	—	0	1	
	端子機能	TIOCB <sub>1</sub> 出力	PA <sub>0</sub> 入力	PA <sub>0</sub> 出力	TP <sub>0</sub> 出力	CS5出力	TIOCB <sub>1</sub> 出力	PA <sub>0</sub> 入力	PA <sub>0</sub> 出力	TP <sub>0</sub> 出力	A <sub>2:2</sub> 出力	CS5出力	TIOCB <sub>1</sub> 出力	PA <sub>0</sub> 入力	PA <sub>0</sub> 出力	TP <sub>0</sub> 出力
			TIOCB <sub>1</sub> 入力*					TIOCB <sub>1</sub> 入力*						TIOCB <sub>1</sub> 入力*		
	【注】* IOB2 = “1”、かつPWM1 = “0” の場合にTIOCB <sub>1</sub> 入力となります。															
	ITUチャンネル1の設定		②		①			②		①						
	IOB2		0						1							
	IOB1		0	0	1	—			—							
	IOB0		0	1	—			—								

表9.19 ポートAの端子機能(3)

端 子	選 択 方 法 と 端 子 機 能																																																																																																																																																																				
PA <sub>4</sub> / TP <sub>4</sub> / TIOCA <sub>1</sub> / A <sub>23</sub> / CS6	<p>モード設定とBRCRのA<sub>23</sub>Eビット、CSCRのCS6Eビット、TMDRのPWM1ビット、TIOR1のIOA2~IOB0ビットによるITUチャンネル1の設定、NDERAのNDER4ビット、およびPADDRのPA<sub>4</sub>DDRビットの組み合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>モード</th> <th colspan="4">1、2、5</th> <th colspan="4">3、4、6</th> <th colspan="4">7</th> </tr> </thead> <tbody> <tr> <td>CS6E</td> <td colspan="4">—</td> <td colspan="4">0</td> <td colspan="4">1</td> </tr> <tr> <td>A<sub>23</sub>E</td> <td colspan="4">—</td> <td colspan="4">1</td> <td colspan="4">0</td> </tr> <tr> <td>ITUチャンネル1の設定</td> <td colspan="2">下表①</td> <td colspan="2">下表②</td> <td colspan="2">—</td> <td colspan="2">下表①</td> <td colspan="2">下表②</td> <td colspan="2">—</td> <td colspan="2">—</td> </tr> <tr> <td>PA<sub>4</sub>DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER4</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>TIOCA<sub>1</sub>出力</td> <td>PA<sub>4</sub>入力</td> <td>PA<sub>4</sub>出力</td> <td>TP<sub>4</sub>出力</td> <td>CS6出力</td> <td>TIOCA<sub>1</sub>出力</td> <td>PA<sub>4</sub>入力</td> <td>PA<sub>4</sub>出力</td> <td>TP<sub>4</sub>出力</td> <td>A<sub>23</sub>出力</td> <td>CS6出力</td> <td>TIOCA<sub>1</sub>出力</td> <td>PA<sub>4</sub>入力</td> <td>PA<sub>4</sub>出力</td> <td>TP<sub>4</sub>出力</td> </tr> <tr> <td></td> <td></td> <td colspan="3">TIOCA<sub>1</sub>入力*</td> <td></td> <td></td> <td colspan="3">TIOCA<sub>1</sub>入力*</td> <td></td> <td></td> <td></td> <td></td> <td colspan="3">TIOCA<sub>1</sub>入力*</td> </tr> </tbody> </table> <p>【注】* IOA2 = “1” の場合にTIOCA<sub>1</sub>入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル1の設定</th> <th colspan="2">②</th> <th colspan="2">①</th> <th colspan="2">②</th> <th colspan="2">①</th> </tr> </thead> <tbody> <tr> <td>PWM1</td> <td colspan="2">—</td> <td colspan="2">0</td> <td colspan="2">—</td> <td colspan="2">1</td> </tr> <tr> <td>IOA2</td> <td colspan="2">—</td> <td colspan="2">0</td> <td colspan="2">1</td> <td colspan="2">—</td> </tr> <tr> <td>IOA1</td> <td>0</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>IOA0</td> <td>0</td> <td>—</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	モード	1、2、5				3、4、6				7				CS6E	—				0				1				A <sub>23</sub> E	—				1				0				ITUチャンネル1の設定	下表①		下表②		—		下表①		下表②		—		—		PA <sub>4</sub> DDR	—	0	1	1	—	—	0	1	1	—	—	—	0	1	1	NDER4	—	—	0	1	—	—	—	0	1	—	—	—	—	0	1	端子機能	TIOCA <sub>1</sub> 出力	PA <sub>4</sub> 入力	PA <sub>4</sub> 出力	TP <sub>4</sub> 出力	CS6出力	TIOCA <sub>1</sub> 出力	PA <sub>4</sub> 入力	PA <sub>4</sub> 出力	TP <sub>4</sub> 出力	A <sub>23</sub> 出力	CS6出力	TIOCA <sub>1</sub> 出力	PA <sub>4</sub> 入力	PA <sub>4</sub> 出力	TP <sub>4</sub> 出力			TIOCA <sub>1</sub> 入力*					TIOCA <sub>1</sub> 入力*							TIOCA <sub>1</sub> 入力*			ITUチャンネル1の設定	②		①		②		①		PWM1	—		0		—		1		IOA2	—		0		1		—		IOA1	0	—	0	1	—	—	—	—	IOA0	0	—	1	—	—	—	—	—
モード	1、2、5				3、4、6				7																																																																																																																																																												
CS6E	—				0				1																																																																																																																																																												
A <sub>23</sub> E	—				1				0																																																																																																																																																												
ITUチャンネル1の設定	下表①		下表②		—		下表①		下表②		—		—																																																																																																																																																								
PA <sub>4</sub> DDR	—	0	1	1	—	—	0	1	1	—	—	—	0	1	1																																																																																																																																																						
NDER4	—	—	0	1	—	—	—	0	1	—	—	—	—	0	1																																																																																																																																																						
端子機能	TIOCA <sub>1</sub> 出力	PA <sub>4</sub> 入力	PA <sub>4</sub> 出力	TP <sub>4</sub> 出力	CS6出力	TIOCA <sub>1</sub> 出力	PA <sub>4</sub> 入力	PA <sub>4</sub> 出力	TP <sub>4</sub> 出力	A <sub>23</sub> 出力	CS6出力	TIOCA <sub>1</sub> 出力	PA <sub>4</sub> 入力	PA <sub>4</sub> 出力	TP <sub>4</sub> 出力																																																																																																																																																						
		TIOCA <sub>1</sub> 入力*					TIOCA <sub>1</sub> 入力*							TIOCA <sub>1</sub> 入力*																																																																																																																																																							
ITUチャンネル1の設定	②		①		②		①																																																																																																																																																														
PWM1	—		0		—		1																																																																																																																																																														
IOA2	—		0		1		—																																																																																																																																																														
IOA1	0	—	0	1	—	—	—	—																																																																																																																																																													
IOA0	0	—	1	—	—	—	—	—																																																																																																																																																													
PA <sub>3</sub> / TP <sub>3</sub> / TIOCB <sub>0</sub> / TCLKD	<p>TMDRのPWM0ビット、TIOR0のIOB2~IOB0ビットによるITUチャンネル0の設定、TCR4~TCR0のTPSC2~TPSC0ビット、NDERAのNDER3ビット、およびPADDRのPA<sub>3</sub>DDRビットの組み合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th colspan="3">下表①</th> <th colspan="3">下表②</th> </tr> </thead> <tbody> <tr> <td>PA<sub>3</sub>DDR</td> <td colspan="3">—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER3</td> <td colspan="3">—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td colspan="3" rowspan="2">TIOCB<sub>0</sub>出力</td> <td>PA<sub>3</sub>入力</td> <td>PA<sub>3</sub>出力</td> <td>TP<sub>3</sub>出力</td> </tr> <tr> <td colspan="3">TIOCB<sub>0</sub>入力*<sup>1</sup></td> </tr> <tr> <td></td> <td colspan="6">TCLKD入力*<sup>2</sup></td> </tr> </tbody> </table> <p>【注】*<sup>1</sup> IOB2 = “1”、かつPWM0 = “0” の場合にTIOCB<sub>0</sub>入力となります。 *<sup>2</sup> TCR4~TCR0のいずれかの設定がTPSC2 = TPSC1 = TPSC0 = “1” の場合にTCLKD入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th colspan="2">②</th> <th colspan="2">①</th> <th colspan="2">②</th> </tr> </thead> <tbody> <tr> <td>IOB2</td> <td colspan="2">—</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>IOB1</td> <td>0</td> <td>—</td> <td>0</td> <td>1</td> <td colspan="2">—</td> </tr> <tr> <td>IOB0</td> <td>0</td> <td>—</td> <td>1</td> <td>—</td> <td colspan="2">—</td> </tr> </tbody> </table>	ITUチャンネル0の設定	下表①			下表②			PA <sub>3</sub> DDR	—			0	1	1	NDER3	—			—	0	1	端子機能	TIOCB <sub>0</sub> 出力			PA <sub>3</sub> 入力	PA <sub>3</sub> 出力	TP <sub>3</sub> 出力	TIOCB <sub>0</sub> 入力* <sup>1</sup>				TCLKD入力* <sup>2</sup>						ITUチャンネル0の設定	②		①		②		IOB2	—		0		1		IOB1	0	—	0	1	—		IOB0	0	—	1	—	—																																																																																																			
ITUチャンネル0の設定	下表①			下表②																																																																																																																																																																	
PA <sub>3</sub> DDR	—			0	1	1																																																																																																																																																															
NDER3	—			—	0	1																																																																																																																																																															
端子機能	TIOCB <sub>0</sub> 出力			PA <sub>3</sub> 入力	PA <sub>3</sub> 出力	TP <sub>3</sub> 出力																																																																																																																																																															
				TIOCB <sub>0</sub> 入力* <sup>1</sup>																																																																																																																																																																	
	TCLKD入力* <sup>2</sup>																																																																																																																																																																				
ITUチャンネル0の設定	②		①		②																																																																																																																																																																
IOB2	—		0		1																																																																																																																																																																
IOB1	0	—	0	1	—																																																																																																																																																																
IOB0	0	—	1	—	—																																																																																																																																																																

表 9.19 ポートAの端子機能(4)

端 子	選 択 方 法 と 端 子 機 能				
PA <sub>2</sub> / TP <sub>2</sub> / TIOCA <sub>0</sub> /TCLKC	TMDRのPWM0ビット、TIOA2のIOA2～IOA0ビットによるITUチャンネル0の設定、TCR4～TCR0のTPSC2～TPSC0ビット、NDERAのNDER2ビット、およびPADDRのPA <sub>2</sub> DDRビットの組み合わせにより、次のように切り換わります。				
	ITUチャンネル0の設定	下表①		下表②	
	PA <sub>2</sub> DDR	——		0	1
	NDER2	——		0	1
	端 子 機 能	TIOCA <sub>0</sub> 出力	PA <sub>2</sub> 入力	PA <sub>2</sub> 出力	TP <sub>2</sub> 出力
			TIOCA <sub>0</sub> 入力* <sup>1</sup>		
	TCLKC入力* <sup>2</sup>				
<p>【注】*<sup>1</sup> IOA2 = “1” の場合にTIOCA<sub>0</sub>入力となります。</p> <p>*<sup>2</sup> TCR4～TCR0のいずれかの設定がTPSC2 = TPSC1 = “1”、TPSC0 = “0” の場合にTCLKC入力となります。</p>					
	ITUチャンネル0の設定	②	①	②	①
	PWM0	0			1
	IOA2	0		1	——
	IOA1	0	0	1	——
	IOA0	0	1	——	——

表 9.19 ポート A の端子機能(5)

端 子	選 択 方 法 と 端 子 機 能																																																											
PA <sub>i</sub> / TP <sub>i</sub> / TCLKB/ TEND <sub>i</sub>	<p>DTCR1A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル1の設定、NDERAのNDER1ビット、およびPADDRのPA<sub>i</sub>DDRビットの組み合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>DMACチャンネル1の設定</th> <th>下表①</th> <th colspan="3">下表②</th> </tr> </thead> <tbody> <tr> <td>PA<sub>i</sub>DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER1</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>TEND<sub>i</sub>出力</td> <td>PA<sub>i</sub>入力</td> <td>PA<sub>i</sub>出力</td> <td>TP<sub>i</sub>出力</td> </tr> <tr> <td colspan="4">TCLKB入力*</td> </tr> </tbody> </table> <p>【注】* TMDRのMDF = “1” の場合、またはTCR4~TCR0のいずれかの設定がTPSC2 = “1”、TPSC1 = “0”、TPSC0 = “1” の場合にTCLKB入力となります。</p> <table border="1"> <thead> <tr> <th>DMACチャンネル1の設定</th> <th colspan="3">②</th> <th colspan="3">①</th> </tr> </thead> <tbody> <tr> <td>DTS2A、1A</td> <td colspan="3">いずれかが0</td> <td colspan="3">いずれも1</td> </tr> <tr> <td>DTS0A</td> <td colspan="3">—</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>DTS2B</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>DTS1B</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>0</td> </tr> </tbody> </table>	DMACチャンネル1の設定	下表①	下表②			PA <sub>i</sub> DDR	—	0	1	1	NDER1	—	—	0	1	端子機能	TEND <sub>i</sub> 出力	PA <sub>i</sub> 入力	PA <sub>i</sub> 出力	TP <sub>i</sub> 出力	TCLKB入力*				DMACチャンネル1の設定	②			①			DTS2A、1A	いずれかが0			いずれも1			DTS0A	—			0	0	1	DTS2B	0	1	1	0	1	0	DTS1B	—	0	1	—	—	0
DMACチャンネル1の設定	下表①	下表②																																																										
PA <sub>i</sub> DDR	—	0	1	1																																																								
NDER1	—	—	0	1																																																								
端子機能	TEND <sub>i</sub> 出力	PA <sub>i</sub> 入力	PA <sub>i</sub> 出力	TP <sub>i</sub> 出力																																																								
	TCLKB入力*																																																											
DMACチャンネル1の設定	②			①																																																								
DTS2A、1A	いずれかが0			いずれも1																																																								
DTS0A	—			0	0	1																																																						
DTS2B	0	1	1	0	1	0																																																						
DTS1B	—	0	1	—	—	0																																																						
PA <sub>o</sub> / TP <sub>o</sub> / TCLKA/ TEND <sub>o</sub>	<p>DTCR0A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル0の設定、NDERAのNDER0ビット、およびPADDRのPA<sub>o</sub>DDRビットの組み合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>DMACチャンネル0の設定</th> <th>下表①</th> <th colspan="3">下表②</th> </tr> </thead> <tbody> <tr> <td>PA<sub>o</sub>DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER0</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>TEND<sub>o</sub>出力</td> <td>PA<sub>o</sub>入力</td> <td>PA<sub>o</sub>出力</td> <td>TP<sub>o</sub>出力</td> </tr> <tr> <td colspan="4">TCLKA入力*</td> </tr> </tbody> </table> <p>【注】* TMDRのMDF = “1” の場合、またはTCR4~TCR0のいずれかの設定がTPSC2 = “1”、TPSC1 = “0” の場合にTCLKA入力となります。</p> <table border="1"> <thead> <tr> <th>DMACチャンネル0の設定</th> <th colspan="3">②</th> <th colspan="3">①</th> </tr> </thead> <tbody> <tr> <td>DTS2A、1A</td> <td colspan="3">いずれかが“0”</td> <td colspan="3">いずれも“1”</td> </tr> <tr> <td>DTS0A</td> <td colspan="3">—</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>DTS2B</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>DTS1B</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>0</td> </tr> </tbody> </table>	DMACチャンネル0の設定	下表①	下表②			PA <sub>o</sub> DDR	—	0	1	1	NDER0	—	—	0	1	端子機能	TEND <sub>o</sub> 出力	PA <sub>o</sub> 入力	PA <sub>o</sub> 出力	TP <sub>o</sub> 出力	TCLKA入力*				DMACチャンネル0の設定	②			①			DTS2A、1A	いずれかが“0”			いずれも“1”			DTS0A	—			0	0	1	DTS2B	0	1	1	0	1	0	DTS1B	—	0	1	—	—	0
DMACチャンネル0の設定	下表①	下表②																																																										
PA <sub>o</sub> DDR	—	0	1	1																																																								
NDER0	—	—	0	1																																																								
端子機能	TEND <sub>o</sub> 出力	PA <sub>o</sub> 入力	PA <sub>o</sub> 出力	TP <sub>o</sub> 出力																																																								
	TCLKA入力*																																																											
DMACチャンネル0の設定	②			①																																																								
DTS2A、1A	いずれかが“0”			いずれも“1”																																																								
DTS0A	—			0	0	1																																																						
DTS2B	0	1	1	0	1	0																																																						
DTS1B	—	0	1	—	—	0																																																						

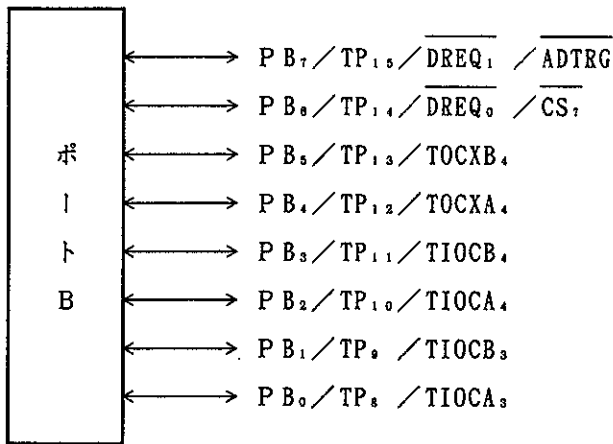
## 9.12 ポート B

### 9.12.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は T P C の出力端子 (TP<sub>1</sub> ~ TP<sub>8</sub>)、I T U の入出力端子 (TIOCB<sub>1</sub>、TIOCB<sub>3</sub>、TIOCA<sub>1</sub>、TIOCA<sub>3</sub>) と出力端子 (TOCXB<sub>1</sub>、TOCXA<sub>1</sub>)、D M A C の入力端子 (DREQ<sub>1</sub>、DREQ<sub>0</sub>)、A / D 変換器の ADTRG 入力端子、CS<sub>7</sub> 出力端子と兼用になっています。ポート B はリセットおよびハードウェアスタンバイモードで入力ポートになっています。T P C、I T U、D M A C および A / D 変換器の入出力端子として使用する端子についてはそれぞれのモジュールの説明を参照してください。モード 1 ~ 6 で CS<sub>7</sub> を出力する場合は「6.3.2 チップセレクト信号」を参照してください。これらのいずれの機能も割当てられない端子は入出力ポートとして使用できます。ポート B の端子構成を図 9.11 に示します。

ポート B は、1 個の T T L 負荷と 30pF の容量負荷を駆動できます。また、L E D、ダーリントントランジスタを駆動することもできます。PB<sub>7</sub> ~ PB<sub>0</sub> は、シュミットトリガ入力です。

ポート B 端子



モード 1 ~ 6 時の端子機能

$PB_7$  (入出力) /  $TP_{15}$  (出力) /  $\overline{DREQ_1}$  (入力) /  $\overline{ADTRG}$  (入力)  
 $PB_6$  (入出力) /  $TP_{14}$  (出力) /  $\overline{DREQ_0}$  (入力) /  $\overline{CS_7}$  (出力)  
 $PB_5$  (入出力) /  $TP_{13}$  (出力) /  $TOCXB_4$  (出力)  
 $PB_4$  (入出力) /  $TP_{12}$  (出力) /  $TOCXA_4$  (出力)  
 $PB_3$  (入出力) /  $TP_{11}$  (出力) /  $TIOCB_4$  (入出力)  
 $PB_2$  (入出力) /  $TP_{10}$  (出力) /  $TIOCA_4$  (入出力)  
 $PB_1$  (入出力) /  $TP_9$  (出力) /  $TIOCB_3$  (入出力)  
 $PB_0$  (入出力) /  $TP_8$  (出力) /  $TIOCA_3$  (入出力)

モード 7 時の端子機能

$PB_7$  (入出力) /  $TP_{15}$  (出力) /  $\overline{DREQ_1}$  (入力) /  $\overline{ADTRG}$  (入力)  
 $PB_6$  (入出力) /  $TP_{14}$  (出力) /  $\overline{DREQ_0}$  (入力)  
 $PB_5$  (入出力) /  $TP_{13}$  (出力) /  $TOCXB_4$  (出力)  
 $PB_4$  (入出力) /  $TP_{12}$  (出力) /  $TOCXA_4$  (出力)  
 $PB_3$  (入出力) /  $TP_{11}$  (出力) /  $TIOCB_4$  (入出力)  
 $PB_2$  (入出力) /  $TP_{10}$  (出力) /  $TIOCA_4$  (入出力)  
 $PB_1$  (入出力) /  $TP_9$  (出力) /  $TIOCB_3$  (入出力)  
 $PB_0$  (入出力) /  $TP_8$  (出力) /  $TIOCA_3$  (入出力)

図 9.11 ポート B の端子構成

9.12.2 レジスタ構成

表 9.20 にポート B のレジスタ構成を示します。

表 9.20 ポート B レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/W	H'00

【注】\* アドレスの下位16ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

PBDDR は、8 ビットのライト専用のレジスタで、ポート B 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PBDDR の対応するビットをセットしてください。

ビット:	7	6	5	4	3	2	1	0
	PB <sub>7</sub> DDR	PB <sub>6</sub> DDR	PB <sub>5</sub> DDR	PB <sub>4</sub> DDR	PB <sub>3</sub> DDR	PB <sub>2</sub> DDR	PB <sub>1</sub> DDR	PB <sub>0</sub> DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート B データディレクション 7 ~ 0

ポート B の各端子の入出力を選択するビットです。

PBDDR を “1” にセットすると対応するポート B の各端子は出力となり、“0” にクリアすると入力になります。

PBDDR は、ライト専用レジスタで、リードは無効です。リードすると、“1” が読み出されます。

PBDDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PBDDR が “1” にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポートBデータレジスタ (PBD R)

P B D Rは、8ビットのリード/ライト可能なレジスタで、ポートBの出力データを格納します。また、このレジスタをリードすると、P B D D Rが“0”のビットは端子のロジックレベルが読み出され、“1”のビットはP B D Rの値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PB <sub>7</sub>	PB <sub>6</sub>	PB <sub>5</sub>	PB <sub>4</sub>	PB <sub>3</sub>	PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBデータ7~0

ポートBの各端子のデータを格納するビットです。

P B D Rは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。



9.12.3 端子機能

ポートBの端子機能について表9.21に示します。

表9.21 ポートBの端子機能(1)

端子	選択方法と端子機能							
PB <sub>7</sub> / TP <sub>1,0</sub> / DREQ <sub>1</sub> / ADTRG	DTCR1A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル1の設定、ADCRのTRGEビット、NDERBのNDER15ビット、およびPBDDRのPB <sub>7</sub> DDRビットの組み合わせにより、次のように切り換わります。							
	PB <sub>7</sub> DDR	0		1		1		
	NDER15	—		0		1		
端子機能	PB <sub>7</sub> 入力		PB <sub>7</sub> 出力		TP <sub>1,0</sub> 出力			
	DREQ <sub>1</sub> 入力* <sup>1</sup>							
	ADTRG入力* <sup>2</sup>							
<p>【注】*<sup>1</sup> DMACチャンネル1の設定のが下表①のときDREQ<sub>1</sub>入力となります。 *<sup>2</sup> TRGE = “1” のときADTRG入力となります。</p>								
DMACチャンネル1の設定	②		①		②		①	
DTS2A、1A	いずれかが“0”			いずれも“1”				
DTS0A	—			0	0	1	1	1
DTS2B	0	1	1	0	1	0	1	1
DTS1B	—	0	1	—	—	—	0	1

表 9.21 ポート B の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能								
PB <sub>0</sub> / TP <sub>1,4</sub> / DREQ <sub>0</sub> / CS7	CSCRのCS7Eビット、DTCR0A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル0の設定、NDERBのNDER14ビット、およびPBDDRのPB <sub>0</sub> DDRビットの組み合わせにより、次のように切り換わります。								
	PB <sub>0</sub> DDR	0	1	1	——				
	CS7E	0	0	0	1				
	NDER14	——	0	1	——				
	端 子 機 能	PB <sub>0</sub> 入力	PB <sub>0</sub> 出力	TP <sub>1,4</sub> 出力	——				
	DREQ <sub>0</sub> 入力*			CS7出力					
【注】* DMACチャンネル0の設定のが下表①のときDREQ <sub>0</sub> 入力となります。									
DMACチャンネル0の設定		②	①	②	①	②	①		
DTS2、1A		いずれかが“0”			いずれも“1”				
DTS0A		——			0	0	1	1	1
DTS2B		0	1	1	0	1	0	1	1
DTS1B		—	0	1	—	—	—	0	1
PB <sub>0</sub> / TP <sub>1,3</sub> / TOCXB <sub>0</sub>	TFCRのCMD1ビット、TOERのEXB4ビットによるITUチャンネル4の設定、NDERBのNDER13ビット、およびPBDDRのPB <sub>0</sub> DDRビットの組み合わせにより、次のように切り換わります。								
	EXB4、CMD1	いずれかが“0”			いずれも“1”				
	PB <sub>0</sub> DDR	0	1	1	——				
	NDER13	——			0	1			
	端 子 機 能	PB <sub>0</sub> 入力	PB <sub>0</sub> 出力	TP <sub>1,3</sub> 出力	TOCXB <sub>0</sub> 出力				
PB <sub>0</sub> / TP <sub>1,2</sub> / TOCXA <sub>0</sub>	TFCRのCMD1ビット、TOERのEXA4ビットによるITUチャンネル4の設定、NDERBのNDER12ビット、およびPBDDRのPB <sub>0</sub> DDRビットの組合せにより、次のように切り換わります。								
	EXA4、CMD1	いずれかが“0”			いずれも“1”				
	PB <sub>0</sub> DDR	0	1	1	——				
	NDER12	——			0	1			
	端 子 機 能	PB <sub>0</sub> 入力	PB <sub>0</sub> 出力	TP <sub>1,2</sub> 出力	TOCXA <sub>0</sub> 出力				

表 9.21 ポート B の端子機能(3)

端 子	選 択 方 法 と 端 子 機 能					
PB <sub>3</sub> / TP <sub>11</sub> / TIOCB,	TMDRのPWM4ビット、TFCRのCMD1ビット、TOERのEB4ビット、およびTIOB4のIOB2~IOB0ビットによるITUチャンネル4の設定、NDER11、ERBのNDER11ビット、およびPBDDRのPB <sub>3</sub> DDRビットの組み合わせにより、次のように切り換わります。					
	ITUチャンネル4の設定	下表①	下表②			
	PB <sub>3</sub> DDR	——	0	1	1	
	NDER11	——	——	0	1	
端 子 機 能	TIOCB,出力		PB <sub>3</sub> 入力	PB <sub>3</sub> 出力	TP <sub>11</sub> 出力	
			TIOCB,入力*			
【注】* CMD1 = PWM4 = “0”、かつIOB2 = “1”の場合にTIOCB,入力となります。						
	ITUチャンネル4の設定	②	②	①	②	①
	EB4	0	1			
	CMD1	——	0			1
	IOB2	——	0	0	0	1
	IOB1	——	0	0	1	——
	IOB0	——	0	1	——	——

表 9.21 ポート B の端子機能(4)

端 子	選 択 方 法 と 端 子 機 能						
PB <sub>2</sub> / TP <sub>10</sub> / TIOCA.	TFCRのCMD1ビット、TOERのEA4ビット、TMDRのPWM4ビット、およびTIOR4のIOA2～IOA0ビットによるITUチャンネル4の設定、NDER10のNDER10ビット、およびPBDDRのPB <sub>2</sub> DDRビットの組み合わせにより、次のように切り換わります。						
ITUチャンネル4の設定		下表①	下表②				
PB <sub>2</sub> DDR	——		0	1	1		
NDER10	——		——	0	1		
端 子 機 能	TIOCA,出力	PB <sub>2</sub> 入力		PB <sub>2</sub> 出力	TP <sub>10</sub> 出力		
TIOCA,入力*							
【注】* CMD1 = PWM4 = “0”、IOA2 = “1” の場合にTIOCA,入力となります。							
ITUチャンネル4の設定		②	②	①	②	①	
EA4	0	1					
CMD1	—	0				1	
PWM4	—	0				1	—
IOA2	—	0	0	0	1	—	—
IOA1	—	0	0	1	—	—	—
IOA0	—	0	1	—	—	—	—

表 9.21 ポート B の端子機能(5)

端 子	選 択 方 法 と 端 子 機 能					
PB <sub>1</sub> / TP <sub>0</sub> / TIOCB <sub>0</sub>	TMDRのPWM3ビット、TFCRのCMD1ビット、TOERのEB3ビット、およびTIOB3のIOB2~IOB0ビットによるITUチャンネル3の設定、NDER9のNDER9ビット、およびPBDDRのPB <sub>1</sub> DDRビットの組み合わせにより、次のように切り換わります。					
	ITUチャンネル3の設定	下表①	下表②			
	PB <sub>1</sub> DDR	——	0	1	1	
	NDER9	——	——	0	1	
	端子機能	TIOCB <sub>0</sub> 出力	PB <sub>1</sub> 入力	PB <sub>1</sub> 出力	TP <sub>0</sub> 出力	
			TIOCB <sub>0</sub> 入力*			
	【注】* CMD1 = PWM3 = “0”、IOB2 = “1” の場合にTIOCB <sub>0</sub> 入力となります。					
	ITUチャンネル3の設定	②	②	①	②	①
	EB3	0	1			
	CMD1	——	0			1
	IOB2	——	0	0	0	1
	IOB1	——	0	0	1	——
	IOB0	——	0	1	——	——

表 9.21 ポート B の端子機能(6)

端 子	選 択 方 法 と 端 子 機 能						
PB <sub>0</sub> / TP <sub>0</sub> / TIOCA <sub>0</sub>	TFCRのCMD1ビット、TOERのEA3ビット、TMDRのPWM3ビット、およびTIOCR3のIOA2~IOA0ビットによるITUチャンネル3の設定、NDER8ビット、およびPBDDRのPB <sub>0</sub> DDRビットの組み合わせにより、次のように切り換わります。						
	ITUチャンネル3の設定	下表①	下表②				
	PB <sub>0</sub> DDR	——	0	1	1		
	NDER8	——	——	0	1		
	端子機能	TIOCA <sub>0</sub> 出力	PB <sub>0</sub> 入力	PB <sub>0</sub> 出力	TP <sub>0</sub> 出力		
			TIOCA <sub>0</sub> 入力*				
	【注】* CMD1 = PWM3 = “0”、IOA2 = “1” の場合にTIOCA <sub>0</sub> 入力となります。						
	ITUチャンネル3の設定	②	②	①	②	①	
	EA3	0	1				
	CMD1	—	0			1	
	PWM3	—	0		1	—	
	IOA2	—	0	0	0	1	—
	IOA1	—	0	0	1	—	—
	IOA0	—	0	1	—	—	—