

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-190202

(P2005-190202A)

(43) 公開日 平成17年7月14日(2005.7.14)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G06F 3/00</b>	G06F 3/00 R	5B011
<b>G06F 1/32</b>	G06F 13/36 320B	5B061
<b>G06F 13/36</b>	G06F 1/00 332Z	

審査請求 未請求 請求項の数 16 O L (全 20 頁)

(21) 出願番号	特願2003-431182 (P2003-431182)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成15年12月25日 (2003.12.25)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100092196 弁理士 橋本 良郎

最終頁に続く

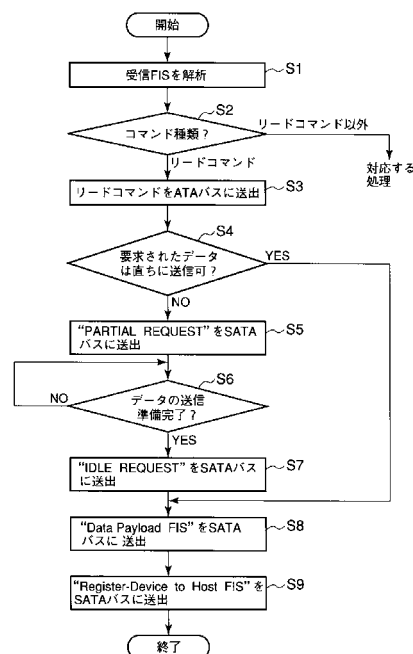
(54) 【発明の名称】 シリアルATAインタフェースを持つ電子機器及びシリアルATAバスのパワーセーブ方法

(57) 【要約】

【課題】 シリアルATA規格で規定されたシリアルATAバスバスのパワーセーブを有効に活用できるようにする。

【解決手段】 電子機器は、当該電子機器とシリアルATAバスを介して接続されたもう1つの電子機器に対して、データを送信すべき状態となった場合に(S1, S2)、送信すべきデータを直ちに送信することが可能であるかを判定する(S4)。送信すべきデータを直ちに送信することが不可能であると判定され、且つ当該データを予め定められた時間内に準備できないことが予測される場合、電子機器は、シリアルATAバスを非パワーセーブモードから予め定められたパワーセーブモードに切り替える(S5)。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

シリアル A T A インタフェースを持つ電子機器であって、シリアル A T A バスを介して接続されたもう一つの電子機器に対して、前記シリアル A T A バスが非パワーセーブモードに設定されている状態で、所定のタイプの情報フレームを用いてデータを送信する電子機器において、

前記もう一つの電子機器に対してデータを送信すべき状態となった場合に、送信すべきデータを直ちに送信することが可能であるかを判定する判定手段と、

前記判定手段により前記送信すべきデータを直ちに送信することが不可能であると判定され、且つ当該データを予め定められた時間内に準備できないことが予測される場合、前記シリアル A T A バスを前記非パワーセーブモードから予め定められたパワーセーブモードに切り替える第 1 の切り替え手段と、

前記第 1 の切り替え手段によって前記シリアル A T A バスが前記予め定められたパワーセーブモードに切り替えられた場合、前記送信すべきデータの送信準備が整うのを待って、前記シリアル A T A バスを前記非パワーセーブモードに切り替える第 2 の切り替え手段と

を具備することを特徴とする電子機器。

## 【請求項 2】

前記シリアル A T A インタフェースの規格では、前記非パワーセーブモードへの復帰時間が異なる 2 種類のパワーセーブモードが規定されており、

前記第 1 の切り替え手段は、前記 2 種類のパワーセーブモードのうち、復帰時間が短い方のパワーセーブモードを前記予め定められたパワーセーブモードとして扱う

ことを特徴とする請求項 1 記載の電子機器。

## 【請求項 3】

前記シリアル A T A バスが前記非パワーセーブモードに設定されている状態で、前記送信すべきデータを前記所定のタイプの情報フレームを用いて前記シリアル A T A バスを介して前記もう一つの電子機器に送信するデータ送信手段であって、前記送信すべきデータを直ちに送信することが可能である場合には直ちに、当該データを直ちに送信することが不可能な場合には、当該データの送信準備が整って、前記第 2 の切り替え手段により前記シリアル A T A バスが前記非パワーセーブモードに切り替えられるのを待って、当該データを

送信するデータ送信手段を更に具備することを特徴とする請求項 1 記載の電子機器。

## 【請求項 4】

前記判定手段は、前記電子機器に対して前記もう一つの電子機器から第 1 のタイプの情報フレームが送信され、当該情報フレームによってデータが要求された場合、要求された送信すべきデータを直ちに送信することが可能であるかを判定し、

前記データ送信手段は、前記要求された送信すべきデータを前記所定のタイプの情報フレームである第 2 のタイプの情報フレームを用いて送信する

ことを特徴とする請求項 3 記載の電子機器。

## 【請求項 5】

前記データ送信手段が前記第 2 のタイプの情報フレームを用いてデータを送信する前に、当該データの転送タイプを通知するための第 3 のタイプの情報フレームを前記シリアル A T A バスを介して前記もう一つの電子機器に送信する手段を更に具備し、

前記第 1 の切り替え手段は、前記第 3 のタイプの情報フレームが前記もう一つの電子機器に送信される前に、前記シリアル A T A バスを前記予め定められたパワーセーブモードに切り替える

ことを特徴とする請求項 4 記載の電子機器。

## 【請求項 6】

前記送信すべきデータの転送タイプを通知するための第 3 のタイプの情報フレームを前記シリアル A T A バスを介して前記もう一つの電子機器に送信する手段を更に具備し、

前記第 1 の切り替え手段は、前記第 3 のタイプの情報フレームが前記もう一つの電子機

10

20

30

40

50

器に送信された後で、且つ前記データ送信手段が前記第2のタイプの情報フレームを用いてデータを送信する前に、前記シリアルATAバスを前記予め定められたパワーセーブモードに切り替える

ことを特徴とする請求項4記載の電子機器。

【請求項7】

前記電子機器に対して前記もう1つの電子機器から、前記第1のタイプの情報フレームが送信され、当該情報フレームによってデータ転送を伴わない動作が指示された場合、指示された動作の実行完了後に、当該指示された動作の実行結果を所定のタイプの情報フレームを用いて前記シリアルATAバスを介して前記もう1つの電子機器に通知する手段を更に具備し、

10

前記第1の切り替え手段は、前記指示された動作の実行結果が前記もう1つの電子機器に通知される前に、前記シリアルATAバスを前記予め定められたパワーセーブモードに切り替える

ことを特徴とする請求項4記載の電子機器。

【請求項8】

前記判定手段により前記送信すべきデータを直ちに送信することが不可能であると判定された場合に、当該データを準備できるまでの所要時間を予測する予測手段を更に具備し、

前記第1の切り替え手段は、前記予測手段によって予測された時間が前記予め定められた時間を超えている場合に、前記シリアルATAバスを前記予め定められたパワーセーブモードに切り替える

20

ことを特徴とする請求項1記載の電子機器。

【請求項9】

前記判定手段により前記送信すべきデータを直ちに送信することが不可能であると判定された場合に、当該データの送信準備が整うのを、前記予め定められた時間である第1の時間より短い予め定められた第2の時間を上限に監視する監視手段を更に具備し、

前記第1の切り替え手段は、前記第2の時間を経過しても前記データの送信準備が整わなかった場合に、当該データを前記第1の時間内に準備できないことが予測されるものとして、前記シリアルATAバスを前記予め定められたパワーセーブモードに切り替える

ことを特徴とする請求項1記載の電子機器。

30

【請求項10】

前記電子機器が、データを記憶する記憶媒体を有する外部記憶装置であり、

前記もう1つの電子機器が、前記外部記憶装置を利用するホストシステムである

ことを特徴とする請求項1記載の電子機器。

【請求項11】

シリアルATAインタフェースを持つ電子機器におけるシリアルATAバスのパワーセーブ方法であって、

前記電子機器とシリアルATAバスを介して接続されたもう1つの電子機器に対して、データを送信すべき状態となった場合に、送信すべきデータを直ちに送信することが可能であるかを判定するステップと、

40

前記送信すべきデータを直ちに送信することが不可能であると判定され、且つ当該データを予め定められた時間内に準備できないことが予測される場合、前記シリアルATAバスを非パワーセーブモードから予め定められたパワーセーブモードに切り替えるステップと

を具備することを特徴とするシリアルATAバスのパワーセーブ方法。

【請求項12】

前記シリアルATAバスが前記予め定められたパワーセーブモードに切り替えられた場合、前記送信すべきデータの送信準備が整うのを待って、前記シリアルATAバスを前記非パワーセーブモードに戻すステップと、

前記シリアルATAバスが前記予め定められたパワーセーブモードに切り替えられた場

50

合、前記シリアル A T A バスが前記非パワーセーブモードに戻されるのを待って、前記送信すべきデータを所定のタイプの情報フレームを用いて前記シリアル A T A バスを介して前記もう 1 つの電子機器に送信するステップと

を更に具備することを特徴とする請求項 1 1 記載のシリアル A T A バスのパワーセーブ方法。

【請求項 1 3】

前記判定するステップは、前記電子機器に対して前記もう 1 つの電子機器から第 1 のタイプの情報フレームが送信され、当該情報フレームによってデータが要求された場合に実行され、

前記送信するステップでは、前記要求された送信すべきデータが前記所定のタイプの情報フレームである第 2 のタイプの情報フレームを用いて送信される

ことを特徴とする請求項 1 2 記載のシリアル A T A バスのパワーセーブ方法。

【請求項 1 4】

前記第 2 のタイプの情報フレームを用いてデータが送信される前に、当該データの転送タイプを通知するための第 3 のタイプの情報フレームを前記シリアル A T A バスを介して前記もう 1 つの電子機器に送信するステップを更に具備し、

前記切り替えるステップでは、前記第 3 のタイプの情報フレームが前記もう 1 つの電子機器に送信される前に、前記シリアル A T A バスが前記予め定められたパワーセーブモードに切り替えられる

ことを特徴とする請求項 1 3 記載のシリアル A T A バスのパワーセーブ方法。

【請求項 1 5】

前記送信すべきデータの転送タイプを通知するための第 3 のタイプの情報フレームを前記シリアル A T A バスを介して前記もう 1 つの電子機器に送信するステップを更に具備し、

前記切り替えるステップでは、前記第 3 のタイプの情報フレームが前記もう 1 つの電子機器に送信された後で、且つ前記第 2 のタイプの情報フレームを用いてデータが送信される前に、前記シリアル A T A バスが前記予め定められたパワーセーブモードに切り替えられる

ことを特徴とする請求項 1 3 記載のシリアル A T A バスのパワーセーブ方法。

【請求項 1 6】

前記電子機器に対して前記もう 1 つの電子機器から、前記第 1 のタイプの情報フレームが送信され、当該情報フレームによってデータ転送を伴わない動作が指示された場合、指示された動作の実行完了後に、当該指示された動作の実行結果を所定のタイプの情報フレームを用いて前記シリアル A T A バスを介して前記もう 1 つの電子機器に通知するステップを更に具備し、

前記切り替えるステップでは、前記指示された動作の実行結果が前記もう 1 つの電子機器に通知される前に、前記シリアル A T A バスを前記予め定められたパワーセーブモードに切り替える

ことを特徴とする請求項 1 3 記載のシリアル A T A バスのパワーセーブ方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリアル A T A (AT Attachment) インタフェースを持つ電子機器に係り、特にシリアル A T A インタフェースの規格に準拠したシリアル A T A バスのパワーセーブに好適な、ディスクドライブに代表される電子機器及びシリアル A T A バスのパワーセーブ方法に関する。

【背景技術】

【0002】

最近、シリアル A T A インタフェースの規格が策定された(例えば、非特許文献 1 参照)。シリアル A T A インタフェースは、従来の A T A インタフェース(つまりパラレル A

10

20

30

40

50

ＴＡインタフェース)と同様に、磁気ディスクドライブに代表される周辺機器とホストシステム(ホスト)との間のインタフェースとして用いられる。

【 0 0 0 3 】

シリアルＡＴＡインタフェースを持つ周辺機器、例えば磁気ディスクドライブ(以下、ＨＤＤと称する)は、ホストとシリアルＡＴＡバスにより接続される。シリアルＡＴＡバスは、第１の方向に信号を転送するための差動アンプに接続された１対の信号線と、上記第１の方向とは逆の第２の方向に信号を転送するための差動アンプに接続された１対の信号線とを備えて構成される。上記ＨＤＤでは、パラレルＡＴＡインタフェースとの互換性を確保するために、パラレルＡＴＡインタフェースをシリアルＡＴＡインタフェースに、そしてシリアルＡＴＡインタフェースをパラレルＡＴＡインタフェースに、それぞれ変換する必要がある。このようなインタフェース変換は、例えばシリアルＡＴＡインタフェース制御回路(シリアルＡＴＡブリッジ)と呼ばれるＬＳＩ(ブリッジＬＳＩ)で行われる。そこでＨＤＤには、シリアルＡＴＡインタフェース制御回路が設けられる。このＨＤＤでは、シリアルＡＴＡインタフェース制御回路と当該ＨＤＤのディスクコントローラ(ＨＤＣ)との接続部分の動作は、従来のＡＴＡ規格(パラレルＡＴＡインタフェースの規格)と同等、またはそれに準じた動作となる。このため、ディスクコントローラからは、シリアルＡＴＡインタフェース制御回路が、命令を発行するホストであるかのように認識される。よって、ＨＤＤにおけるシリアルＡＴＡインタフェース制御回路周辺を除く部分の動作は従来のＨＤＤと変わらない。

10

【 0 0 0 4 】

シリアルＡＴＡインタフェースの規格(以下、シリアルＡＴＡ規格と称する)では、機能別に３つの層、つまりＰＨＹ(Physcal Layer)層(物理層)、ＬＩＮＫ層(リンク層)及びトランスポート(Transport)層が定義されている。ＰＨＹ層は高速の信号送受信を実行する機能を持つ部分であり、受信内容を解釈してＬＩＮＫ層に伝達し、またＬＩＮＫ層からの要求に応じて信号の出力を実施する。ＬＩＮＫ層はＴｒａｎｓｐｏｒｔ層(トランスポート層)からの要求内容に応じてＰＨＹ層に信号出力の要求を出し、またＰＨＹ層からの受信入力をＴｒａｎｓｐｏｒｔ層へ伝達する。Ｔｒａｎｓｐｏｒｔ層は従来のＡＴＡ規格における動作への変換を行う。このＴｒａｎｓｐｏｒｔ層の役割は、従来のＡＴＡ接続の場合と比較すると、シリアルＡＴＡインタフェース制御回路がＨＤＤに用いられたとき、ホスト側のＡＴＡ信号出力を行う部分に相当する。このシリアルＡＴＡインタフェース制御回路とＨＤＤ内のディスクコントローラ(ＨＤＣ)との間は、従来のＡＴＡ規格に準拠したＡＴＡバス(またはそれに準じたバス)で接続される。このためシリアルＡＴＡインタフェース制御回路とディスクコントローラとの間の接続部分の動作は、従来のＡＴＡ規格(パラレルＡＴＡインタフェースの規格)と同等、またはそれに準じた動作となる。つまり、シリアルＡＴＡインタフェースにおいては、論理的コマンド等のプロトコルについては従来のＡＴＡ規格との互換性を有する一方、従来パラレルで接続されていた部分がシリアル信号に変換される。このため、ディスクコントローラからは、シリアルＡＴＡインタフェース制御回路が、命令を発行するホストであるかのように認識される。よって、ＨＤＤにおけるシリアルＡＴＡインタフェース制御回路周辺を除く部分の動作は従来のＨＤＤと変わらない。

20

30

40

【 0 0 0 5 】

シリアルＡＴＡインタフェースを適用するＨＤＤでは、シリアルＡＴＡインタフェース制御回路とディスクコントローラとを接続するパラレルＡＴＡバスは、当該ＨＤＤにおける印刷配線基板(ＰＣＢ)上に実現可能である。このため、シリアルＡＴＡインタフェースを適用するＨＤＤでは、パラレルＡＴＡバスの配線長を短縮でき、ホストとＨＤＤとを接続する従来のパラレルＡＴＡバスでは実現が難しかったデータ転送速度の向上が期待される。

【 0 0 0 6 】

シリアルＡＴＡ規格では、従来のＡＴＡ規格に準拠したパワーセーブの状態(モード)の他に、周辺機器とホストとを接続するシリアルＡＴＡバス自体を対象としてパワーセー

50

ブする状態が定義されている。このシリアルATAバス自体のパワーをセーブするという概念は従来のATA規格では存在しない。

【0007】

シリアルATA規格では、シリアルATAインタフェースの電力管理モードとして、“PHY READY (IDLE)”，“PARTIAL (パーシャル)”及び“SLUMBER (スランバ)”の3種類が定義されている。“PHY READY”モードとは、PHY層の動作を実現する回路 (PHY回路) と主PLL (Phase-Locked Loop) 回路とが動作し、ホスト側及び周辺機器側の各々のインタフェース状態が同期している非パワーセーブ状態をいう。“PARTIAL”及び“SLUMBER”モードとは、PHY回路は動作しているが、インタフェース信号は中立になっているパワーセーブ状態をいう。

10

【0008】

“PARTIAL”及び“SLUMBER”モードの定義上の違いは、それらのモードから“PHY READY (IDLE)”モードへの復帰時間にある。即ち、“PARTIAL”モードでは、当該モードからの復帰時間は10 $\mu$ sを超えてはならないと定義されている。これに対し、“SLUMBER”モードでは、当該モードからの復帰時間は10msを超えてはならないと定義されている。“PARTIAL”または“SLUMBER”モードで、機器内のどの部分の省電力機能を動作させるか (つまり、どの回路の電源を遮断するか) は、復帰時間、インタフェースの電源状態を遵守している限り製造者側で任意に規定できる。

【0009】

従来のATA規格に準拠したパワーセーブ (つまりATAパワーセーブ) の状態への遷移は、基本的には、ホスト側の主導により実現される。このATAパワーセーブの状態として、“IDLE (アイドル)”，“STANDBY (スタンバイ)”及び“SLEEP (スリープ)”等が定義されている。これに対し、シリアルATA規格に準拠したシリアルATAバス自体のパワーセーブの状態 (“PARTIAL”または“SLUMBER”) への遷移は、ホスト側または周辺機器側のどちらの主導によって実現されても構わない。しかし、シリアルATAバスのパワーセーブの状態を周辺機器側から制御する技術に関しては、上記非特許文献1には何も記載されていない。

20

【非特許文献1】“Serial ATA: High Speed Serialized AT Attachment” Revision 1.0a、[online]、Serial ATA Workgroup、2003年1月7日、p.117(6.8節、table 15)、[平成15年12月15日検索]、インターネット、<URL : <http://www.serialata.org/collateral/index-test.shtml>> のSATA1.0a

30

【発明の開示】

【発明が解決しようとする課題】

【0010】

上記したようにシリアルATA規格は、従来のATA規格との互換性を確保することを前提として策定されている。このシリアルATA規格に準拠したシリアルATAバスのパワーセーブの概念を実現するために、その旨の指示を行うための新たな手段をホスト側に設けることが考えられる。しかし、新たな手段をホスト側に設けることはシステム全体への影響が大きい。

40

【0011】

一方、シリアルATA規格では、上記シリアルATAバスのパワーセーブは、ホスト側または周辺機器側のどちらの主導によって実現されても構わない。そこで、シリアルATAバスのパワーセーブを周辺機器側から制御することが考えられる。しかし、この制御に関しては、上記非特許文献1には何も記載されていない。

【0012】

ところでシリアルATA規格では、シリアルATAバスの両端において、従来のATA規格 (パラレルATAインタフェースの規格) から大きく逸脱しないようなインタフェース変換が必要となる。従来のATA規格では、例えばホストから周辺機器にコマンドを発行した場合、当該コマンドで指示された動作が周辺機器で終了したことがホストで確認で

50

きる状態になるまでは、パラレルATAバスは“BUSY”の状態になる。この場合、インタフェース変換によりシリアルATAバスも“BUSY”とすることが考えられる。しかし本発明者は、パラレルATAバスが“BUSY”の期間、シリアルATAバスも“BUSY”であるとは限らないことを認識するに至った。例えば、シリアルATAバスを介しての情報の授受は、FIS(Frame Instruction Structure)と呼ばれるシリアルデータ形式の情報フレームを用いて行われる。シリアルATAバスが真に“BUSY”となるのは、このFISの送受信の期間と、当該FISの送受信に伴う処理の期間のみである。つまり、パラレルATAバスが“BUSY”である状態と、シリアルATAバスが“BUSY”である状態には差がある。

**【0013】**

本発明は上記事情を考慮してなされたものでその目的は、パラレルATAバスが“BUSY”である状態とシリアルATAバスが“BUSY”である状態とに差があることを利用して、シリアルATA規格で規定されたシリアルATAバスのパワーセーブモードを有効に活用できるシリアルATAインタフェースを持つ電子機器及びシリアルATAバスのパワーセーブ方法を提供することにある。

**【課題を解決するための手段】****【0014】**

本発明の1つの観点によれば、シリアルATAインタフェースを持つ電子機器であって、シリアルATAバスを介して接続されたもう1つの電子機器に対して、上記シリアルATAバスが非パワーセーブモードに設定されている状態で、所定のタイプの情報フレームを用いてデータを送信する電子機器が提供される。この電子機器は、上記もう1つの電子機器に対してデータを送信すべき状態となった場合に、送信すべきデータを直ちに送信することが可能であるかを判定する判定手段と、この判定手段により上記送信すべきデータを直ちに送信することが不可能であると判定され、且つ当該データを予め定められた時間内に準備できないことが予測される場合、上記シリアルATAバスを上記非パワーセーブモードから予め定められたパワーセーブモードに切り替える第1の切り替え手段と、この第1の切り替え手段によって上記シリアルATAバスが上記予め定められたパワーセーブモードに切り替えられた場合、上記送信すべきデータの送信準備が整うのを待って、上記シリアルATAバスを上記非パワーセーブモードに切り替える第2の切り替え手段とを備えることを特徴とする。

**【0015】**

このような構成の本発明は、パラレルATAバスが“BUSY”である状態とシリアルATAバスが“BUSY”である状態とに差があることに着目してなされている。つまり、データを送信すべき電子機器は、データの送信準備が整うまではデータの送信先となるもう1つの電子機器とシリアルATAバスを介して通信を行う必要がないということである。このことは、データ送信を含む一連の動作が完了するまで、シリアルATAバスを非パワーセーブモード(例えば“IDLE”モード)に設定しておく必要がないことを意味する。そこで上記構成の電子機器においては、データ送信時におけるデータ転送プロトコルに合わせて、データの送信準備が整うまでの間、シリアルATAバスが予め定められたパワーセーブモードに設定される。これにより、上記電子機器とシリアルATAバスを介してもう1つの電子機器が接続されたシステムにおける消費電力を削減することができる。この効果は、上記電子機器が上記もう1つの電子機器に内蔵して用いられ、且つ電池で駆動されるシステムにおいては、電池での稼働可能時間を延ばすことができることから特に有効である。このようなシステムの代表として、例えば、上記電子機器がディスクドライブで、上記もう1つの電子機器が当該ディスクドライブを利用するホストシステムとしての、電池で駆動されるノートブック型のパーソナルコンピュータが良く知られている。

**【0016】**

ここで、シリアルATA規格では、非パワーセーブモードへの復帰時間が異なる2種類のパワーセーブモード(例えば、“PARTIAL”及び“SLUMBER”の両モード)が規定されている。そこで、上記2種類のパワーセーブモードのうち、復帰時間が短い

10

20

30

40

50

方のパワーセーブモード（例えば、PARTIAL”モード）に切り替えられる構成とすると良い。このようにすると、送信すべきデータの送信準備が整った場合に、短時間で非パワーセーブモード（例えば“IDLE”モード）に復帰させてデータ送信を行うことが可能となる。

【0017】

上記電子機器と上記もう1つの電子機器との間では、FIS (Frame Instruction Structure)と呼ばれるシリアルデータ形式の情報フレームを用いてシリアルATAバスを介して情報が授受される。シリアルATA規格では、複数のタイプの情報フレームが規定されている。上記判定手段は、電子機器に対して上記もう1つの電子機器から第1のタイプの情報フレームが送信され、当該情報フレームによってデータが要求された場合、要求された送信すべきデータを直ちに送信することが可能であるかを判定する。この要求されたデータを送信するデータ送信手段は、要求された送信すべきデータを上記所定のタイプの情報フレームである第2のタイプの情報フレームを用いて送信する。

10

【0018】

さて、上記データ送信手段が上記第2のタイプの情報フレームを用いてデータを送信する前に、当該データの転送タイプを上記もう1つの電子機器に通知することが必要となる場合がある。このデータの転送タイプの通知は、転送タイプ通知用の情報フレーム（第3のタイプの情報フレーム）を上記シリアルATAバスを介して上記もう1つの電子機器に送信することにより実現される。そこで、データの転送タイプの通知が必要な場合、上記シリアルATAバスを上記予め定められたパワーセーブモードに切り替える動作を、上記第3のタイプの情報フレームが上記もう1つの電子機器に送信される前に行うと良い。また、上記第3のタイプの情報フレームが上記もう1つの電子機器に送信された後で、且つ上記第2のタイプの情報フレームを用いて上記データ送信手段によりデータが送信される前に、上記シリアルATAバスを上記予め定められたパワーセーブモードに切り替える動作を行うようにしても良い。

20

【0019】

また、上記電子機器に対して上記もう1つの電子機器から送信される上記第1のタイプの情報フレームによって、データ転送を伴わない動作が指示されることがある。この場合、指示された動作の実行完了後に、当該指示された動作の実行結果を所定のタイプの情報フレームを用いて上記シリアルATAバスを介して上記もう1つの電子機器に通知する必要がある。そこで、指示された動作の実行結果が上記もう1つの電子機器に通知される前に、上記シリアルATAバスを上記予め定められたパワーセーブモードに切り替える動作を行うと良い。このように、データ転送を伴わない動作の指示（コマンド）の実行中で、シリアルATAバスの動作を必要としないときに、当該シリアルATAバスをパワーセーブ状態にすることで消費電力を低減できる。

30

【発明の効果】

【0020】

本発明によれば、シリアルATA規格で規定されたシリアルATAバスのパワーセーブモードを有効に活用し、データ送信時に、データの送信準備が整うまでの間、シリアルATAバスをパワーセーブモードに設定することにより、消費電力を効果的に低減できる。

40

【発明を実施するための最良の形態】

【0021】

以下、本発明をシリアルATAインタフェース（以下、SATAインタフェースと称する）を持つ磁気ディスクドライブを備えたシステムに適用した一実施形態につき図面を参照して説明する。図1は本発明の一実施形態に係る磁気ディスクドライブ（以下、HDDと称する）10を備えたシステムの構成を示すブロック図である。HDD10は、従来から知られている、ATAインタフェースを用いてパラレルデータ転送を行うHDDの構成であるHDD本体11に加えて、SATAインタフェース制御回路12を備えている。SATAインタフェース制御回路12は、HDD本体11とATAバス（パラレルATAバス）13を介して接続されると共に、ホスト（ホストシステム）20とSATAバス（シ

50



リアルATAバス)30を介して接続される周辺機器用のSATAブリッジである。SATAインタフェース制御回路12は、ATAインタフェースとSATAインタフェースとの間のインタフェース変換を行う例えば1チップのブリッジLSI(Large Scale Integrated Circuit)である。SATAインタフェース制御回路12は特に、SATAバス30を介して与えられた指示をATAバス13(ATAインタフェース)の信号規則に変換し、当該ATAバス13を介してHDD本体11に送信する機能を有する。

#### 【0022】

ホスト20はHDD10を記憶装置(外部記憶装置)として利用する電子機器であり、例えばパーソナルコンピュータである。ホスト20は、従来から知られている、ATAインタフェースを用いてパラレルデータ転送を行うホストの構成であるホスト本体21に加えて、SATAインタフェース制御回路22を備えている。SATAインタフェース制御回路22は、ホスト本体21とATAバス(パラレルATAバス)23を介して接続されると共に、HDD10とSATAバス(シリアルATAバス)30を介して接続される、ATAバス接続のホスト型ブリッジである。SATAインタフェース制御回路22は、HDD10内のSATAインタフェース制御回路12と同様に、ATAインタフェースとSATAインタフェースとの間のインタフェース変換を行う1チップのLSI(ブリッジLSI)である。SATAインタフェース制御回路22は特に、ホスト20側のATAバス23を介して与えられた指示をSATAバス30(SATAインタフェース)の信号規則に変換し、当該SATAバス30を介してHDD10に送信する機能を有する。

10

#### 【0023】

SATAインタフェース制御回路12,22は、それぞれ、物理層処理部121,221と、リンク/トランスポート層処理部122,222とを備えている。物理層処理部121,221は、SATAバス30を介して高速のシリアルデータ転送(送受信)を実行する機能を有する。ここでのデータ転送速度は、1.5Gbps(ギガビット/秒)である。物理層処理部121,221は、SATAバス30から受信した内容を解釈してリンク/トランスポート層処理部122,222(中のリンク層処理部)に伝達する。また物理層処理部121,221は、リンク/トランスポート層処理部122,222(中のリンク層処理部)からの要求に応じてシリアルデータ信号を出力(送信)する。リンク/トランスポート層処理部122,222は、リンク層処理部とトランスポート層処理部(図示せず)とを備えている。リンク層処理部は、トランスポート層処理部からの要求内容に応じて物理層処理部121,221に信号出力の要求を出し、また物理層処理部121,221からの受信入力をトランスポート層処理部へ伝達する。トランスポート層処理部はATAインタフェースとSATAインタフェースとの間のインタフェース変換を行う。

20

30

#### 【0024】

なお、ATAバス13,23に代えて、当該ATAバスに準じたバス、例えばPCIBus(Peripheral Component Interconnect Bus)を用いることも可能である。この場合、SATAインタフェース制御回路12,22(を構成するSATAブリッジ)をPCIBリッジ内に設けることが可能である。また、SATAインタフェース制御回路12,22(を構成するSATAブリッジ)には、SATAバス30との間でシリアルATAインタフェースの信号を送受信する機能を持たせれば良い。

40

#### 【0025】

図2は、図1中のHDD本体11の構成を示すブロック図である。HDD本体11は、記録媒体としてのディスク111を備えている。このディスク111の2つのディスク面の少なくとも一方のディスク面は、データが磁気記録される記録面をなしている。このディスク111の記録面に対応して、ヘッド(磁気ヘッド)112が配置されている。なお、図1では、作図の都合上、ヘッド112が1つであるHDD10の例が示されている。しかし、一般には、ディスク111の2つのディスク面が共に記録面をなしており、各々のディスク面に対応してヘッドが配置される。また図1の構成では、単一枚のディスク111を備えたHDD10を想定している。しかし、ディスク111が複数枚積層配置されたHDDであっても構わない。

50

## 【0026】

ディスク111はスピンドルモータ（以下、SPMと称する）113により高速に回転させられる。ヘッド112は、ディスク111からのデータ読み出し及びディスク111へのデータ書き込みに用いられる。ヘッド112は、アクチュエータ114の先端に取り付けられている。アクチュエータ114は、当該アクチュエータ114の駆動源となるボイスコイルモータ（以下、VCMと称する）115を有している。アクチュエータ114は、このVCM115により駆動されて、ヘッド112をディスク111の半径方向に移動する。これにより、ヘッド112は、目標トラック上に位置付けられる。SPM113及びVCM115は、モータドライバIC116からそれぞれ供給される駆動電流（SPM電流及びVCM電流）により駆動される。モータドライバIC116は、CPU130から指定された量のSPM電流をSPM113に対して供給する。またモータドライバIC116は、CPU130から指定された量のVCM電流をVCM115に対して供給する。

10

## 【0027】

ヘッド112はヘッドIC（ヘッドアンプ回路）117と接続されている。ヘッドIC117はヘッド112により読み出されたリード信号を増幅するリードアンプ、及びライトデータをライト電流に変換するライトアンプを含む。ヘッドIC117は、リード/ライトIC（リード/ライトチャンネル）118と接続されている。リード/ライトIC118は、リード信号に対するA/D（アナログ/デジタル）変換処理、ライトデータの符号化処理及びリードデータの復号化処理等の各種の信号処理を実行する信号処理デバイスである。リード/ライトIC118はディスクコントローラ（以下、HDCと称する）119と接続されている。

20

## 【0028】

HDC119は当該HDC119とディスク111との間のデータ転送を制御するディスク制御機能を有する。HDC119はまた、ATAインタフェースを持つ。即ちHDC119は、ホスト20との間で、ATAバス13を介してコマンド（リード/ライトコマンド等）、及びデータをATAインタフェースにより送受信するATAインタフェース制御機能を有する。但し、HDD10がSATAインタフェースを持つ本実施形態では、HDC119は、従来のHDDとは異なって、ATAバス13を介してSATAインタフェース制御回路12と接続され、当該SATAインタフェース制御回路12及びSATAバス30を介してホスト20と接続されている。HDC119はまた、バッファRAM120を制御するバッファ制御機能を有する。バッファRAM120の記憶領域の一部は、ホスト20とHDD10内のHDC119との間で転送されるデータ（ライトデータ及びリードデータ）を一時格納するデータバッファ（ディスクキャッシュ）のための領域に用いられる。HDC119は、バッファRAM120に格納されているデータとディスクアドレス（論理アドレス）との対応を示す情報を管理する。HDC119は、HDD10の状態を保持するステータスレジスタ119aを含む。

30

## 【0029】

CPU130はフラッシュROM（以下、FROMと称する）130aを有している。FROM130aは、制御プログラムが予め格納された書き換えが可能な不揮発性メモリである。CPU130は、このFROM130aに格納されている制御プログラムに従ってHDD10内の各部を制御する。

40

## 【0030】

次に、図1のシステムにおける主としてHDD10の動作について、ホスト20から発行されるコマンドが、（1）データ転送を伴うコマンドの場合、（2）データ転送を伴うコマンドの場合で、且つ指示されたデータ転送に先行して当該データ転送のタイプがHDD10からホスト20に通知される場合、（3）データ転送を伴わないコマンドの場合で、コマンド実行結果のみがHDD10からホスト20に通知される場合を例に、順次説明する。

## 【0031】

50

## (1) データ転送を伴うコマンドの場合

まず、ホスト20からデータ転送を伴うコマンド、例えばリードコマンドが発行された場合の動作について、図3のシーケンスチャート及び図4のフローチャートを参照して説明する。なお、図3のシーケンスチャートは、ホスト20からSATAバス30に送信される信号(Host Tx信号)とホスト20によってSATAバス30から受信される信号(Host Rx信号)とを、SATAバス30及びATAバス13, 23のパワーセーブの状態と対応付けて示し、図4のフローチャートはHDD10が有するSATAインタフェース制御回路12(のリンク/トランスポート層処理部122)の処理手順を示す。

## 【0032】

今、ホスト20のホスト本体21からATAバス23にATA規格に準拠したHDD10宛てのリードコマンドが送出されたものとする。このリードコマンドは、リードデータがDMA転送されるリードDMAコマンドであるものとする。このATAバス23上のリードコマンドはホスト20のSATAインタフェース制御回路22で受信される。SATAインタフェース制御回路22のリンク/トランスポート層処理部222は、受信コマンドをSATA規格に準拠した特定のFIS(Frame Instruction Structure: フレーム命令構造)に変換する。ここでは、ATAバスからのコマンドは、“Register-Host to Device FIS”と呼ばれる特定のFIS31に変換される。このFIS31はシリアルデータの列である。リードコマンドに関する情報は、このFIS31中に設定される。FIS(Register-Host to Device FIS)31は、SATAバス30を介してHDD10に送信される。

## 【0033】

HDD10のSATAインタフェース制御回路12は、SATAバス30を介して送信されたFIS(Register-Host to Device FIS)31を受信する。SATAインタフェース制御回路12のリンク/トランスポート層処理部122は、受信FIS31を解析し、当該FIS31の内容から、ホスト20によりデータリードが指示されていることを判別する(ステップS1, S2)。この場合リンク/トランスポート層処理部122は、受信FIS31をATA規格に準拠したコマンド(ここではリードコマンド)に変換してATAバス13に送出すると共に、HDD10が当該FIS31(に対応するリードコマンド)で要求されたデータを直ちにホスト20に送信できる状態にあるか否かを判定する(ステップS3, S4)。この判定は、対応するデータがバッファRAM120に格納されているかを、リンク/トランスポート層処理部122からHDC119に問い合わせることによって行われる。ここで、HDD10からATAバス13を介してホスト20へデータを転送するには、“Data Payload FIS”と呼ばれる特定のFISが用いられる。“Data Payload FIS”で転送できるデータのサイズは、4バイトの整数倍であり、最小は4バイトである。したがって、少なくとも4バイトのデータがバッファRAM120に格納されているならば、当該データを直ちにホスト20に送信できる。なお、HDC119によって管理される、バッファRAM120に格納されているデータとディスクアドレス(論理アドレス)との対応を示す情報の写しをリンク/トランスポート層処理部122が保持する構成とするならば、上記問い合わせは不要となる。

## 【0034】

さて、HDD10が、受信FIS31に対応するリードコマンドで要求されたデータを直ちにホスト20に送信できる状態にない場合、当該HDD10では、当該リードコマンドで要求されたデータをディスク111から読み出すための動作が必要となる。この動作には、ヘッド112をディスク111上の目標トラックに移動させるシーク動作と、目標トラックへのヘッド112の移動後に、ディスク111上の目標セクタがヘッド112の位置まで回転するのを待つ動作が含まれる。このシーク動作と待つ動作には、通常、数ミリ秒から数10ミリ秒が必要となる。言い換えるならば、これだけの時間を待たないと、送信(転送)すべきデータが準備できないということである。データが準備できるまでは

10

20

30

40

50

、SATAインタフェース制御回路12はSATAバス30を通じてホスト20と通信を行う必要もない。このため、データが準備できるまでの期間も、SATAバス30が、ATAバス23の“BUSY”状態に応じて“IDLE(PHY READY)”モード(非パワーセーブ状態)に設定されるのは、電力消費の点で無駄である。

**【0035】**

そこで、SATAインタフェース制御回路12のリンク/トランスポート層処理部122は、受信FISに対応するリードコマンドで要求されたデータを直ちにホスト20に送信できる状態にない場合、当該データを予め定められた時間T0内に準備できないことが予測されるものとして、SATAバス30を“PARTIAL”モード(パワーセーブ状態)に設定するためのパーシャルリクエスト(PARTIAL REQUEST)32を当該SATAバス30に送出する(ステップS5)。これにより、HDD10側からSATAバス30を“PARTIAL”モードに設定できる。

10

**【0036】**

その後、リンク/トランスポート層処理部122は、受信FISに対応するリードコマンドで要求されたデータの送信準備が整うのを待つ(ステップS6)。そして、要求されたデータの送信準備が整うと、SATAバス30を介して当該データを送信することができるように、SATAバス30を“PARTIAL”モードから“IDLE”モードに戻すために、アイドルリクエスト(IDLE REQUEST)33を当該SATAバス30に送出する(ステップS7)。これにより、HDD10側からSATAバス30を“IDLE”モードに設定できる。ここで、要求されたデータの送信準備が整ったことの判定に、例えば、HDC119からSATAインタフェース制御回路12のリンク/トランスポート層処理部122に対して、データ転送開始を示す割り込みが発生したことを用いることが可能である。この割り込みは、要求されたデータがディスク111から読み出されてバッファRAM120に格納された場合に発生する。要求されたデータがバッファRAM120に既に格納されている場合には、上記割り込みはリードコマンドに応じて直ちに発生する。

20

**【0037】**

リンク/トランスポート層処理部122はアイドルリクエスト33によりSATAバス30を“IDLE”モードに切り替える(戻す)と、HDC119からATAバス13を介して転送されるデータ(リードデータ)を、“Data Payload FIS”と呼ばれる特定のFIS34を用いて、SATAバス30経由でホスト20に送信する(ステップS8)。リンク/トランスポート層処理部122は、このホスト20へのデータ送信が完了すると、HDD10における対応するコマンド(リードコマンド)の実行結果を、“Register-Device to Host FIS”と呼ばれる特定のFIS35を用いて、ホスト20に通知する(ステップS9)。ここでは、HDD10でのコマンドの実行結果はステータスレジスタ119aに保持される。したがって上記ステップS9では、このステータスレジスタ119aの内容をFIS35に設定してホスト20に送信すれば良い。

30

**【0038】**

なお、ヘッド112が既に目標トラック上に位置している場合にはシーク動作は不要なため、要求されたデータを比較的短時間で準備することができる。この場合、“PARTIAL”モードからの復帰に要する時間を考慮すると、SATAバス30を“PARTIAL”モードに設定することが必ずしも有効であるとは限らない。この点を考慮して、図4のフローチャートに示す手順に代えて図5または図6のフローチャートに示す手順を適用しても良い。なお、図5または図6には、主として図4と相異なる部分だけが示されている。したがって、必要があれば図4も参照されたい。

40

**【0039】**

図5のフローチャートの例では、HDD10が要求されたデータを直ちにホスト20に送信できる状態にない場合(ステップS4)、リンク/トランスポート層処理部122は、要求されたデータを準備できるまでの所要時間T1を予測する(ステップS11)。こ

50

の所要時間  $T_1$  は、例えば、現在ヘッド 112 が位置しているトラックと目標トラックとの差からシーク時間を推測することにより、その推測されたシーク時間をもとに予測可能である。リンク/トランスポート層処理部 122 は、時間  $T_1$  を予測すると、当該時間  $T_1$  が上記時間  $T_0$  を超えているか否かを判定する（ステップ S12）。リンク/トランスポート層処理部 122 は、予測された時間  $T_1$  が時間  $T_0$  を超えている場合に限り、SATA バス 30 を“PARTIAL”モードに設定する（ステップ S5）。一方、予測された時間  $T_1$  が時間  $T_0$  を超えていない場合には、リンク/トランスポート層処理部 122 は、要求されたデータの送信準備が整うのを待つ（ステップ S13）。そしてリンク/トランスポート層処理部 122 は、要求されたデータの送信準備が整った段階で、FIS 34 を用いてデータを SATA バス 30 経由でホスト 20 に送信する処理を行う（ステップ S8）。

#### 【0040】

これに対し、図 6 のフローチャートの例では、HDD 10 が要求されたデータを直ちにホスト 20 に送信できる状態にない場合（ステップ S4）、リンク/トランスポート層処理部 122 は、要求されたデータの送信準備が整うのを時間  $T_2$ （但し、 $T_2 < T_0$ ）を上限に監視する（ステップ S21, S22）。リンク/トランスポート層処理部 122 は、時間  $T_2$  を経過しても要求されたデータの送信準備が整わない（データ転送開始を示す割り込みが発生しない）場合に限り、SATA バス 30 を“PARTIAL”モードに設定する（ステップ S5）。一方、時間  $T_2$  を経過する前に要求されたデータの送信準備が整った場合には、リンク/トランスポート層処理部 122 は、FIS 34 を用いてデータを SATA バス 30 経由でホスト 20 に送信する処理を行う（ステップ S8）。

#### 【0041】

(2) データ転送を伴うコマンドの場合で、且つ指示されたデータ転送に先行して当該データ転送のタイプが HDD 10 からホスト 20 に通知される場合

次に、上記(2)の場合について、データ転送を伴うコマンドがリードコマンドである場合を例に、図 7 のシーケンスチャート及び図 8 のフローチャートと、図 9 のシーケンスチャート及び図 10 のフローチャートを参照して説明する。なお、図 7 及び図 9 において、図 3 と同様の部分には同一の参照符号を付してある。また、図 10 及び図 11 において、図 4 と同様の部分には同一の参照符号を付してある。

#### 【0042】

SATA バス 30 を用いてのデータ転送では、転送されたデータに対してデータ受信側でどのような処理をしなければならないかを、データ送信側から当該データ受信側に対して指示することが必要となる場合がある。この指示は、データ送信側がデータを送信する前に、データ転送のタイプを特定の FIS を用いてデータ送信側からデータ受信側に通知することにより実現される。SATA 規格では、このデータ転送のタイプを通知する FIS として、ホスト主導のデータ転送タイプである PIO（プログラムド入出力）プロトコルを通知する“PIO Setup FIS”、DMA（First Party DMA）プロトコルを通知する“DMA Setup FIS”が定義されている。

#### 【0043】

このデータ転送のタイプを通知するための FIS は、“Data Payload FIS”を送信する前に送信すれば良い。このため、データ転送のタイプを通知する必要がある場合、“PARTIAL”モードの制御手法として、図 7 及び図 8 で示される手法と、図 9 及び図 10 で示される手法のいずれの手法も適用可能である。図 7 乃至図 10 では、“DMA Setup FIS”がデータ転送のタイプを通知するための FIS 36 として用いられる場合を想定している。

#### 【0044】

図 7 のシーケンスチャート及び図 8 のフローチャートは、FIS (Data Payload FIS) 35 を送信するステップ S8 の直前に、FIS (DMA Setup FIS) 36 を SATA インタフェース制御回路 12（内のリンク/トランスポート層処理部 122）からホスト 20 に送信するステップ S10 が実行される場合を示している。

ここでは、SATAインタフェース制御回路12は、図3のシーケンスチャート及び図4のフローチャートと同様に、ホスト20からのFIS (Register - Host to Device FIS) 31を受け取った直後に(ステップS1~S4)、パーシャルリクエスト(PARTIAL REQUEST) 32を送信して(ステップS5)、SATAバス30を“PARTIAL”モードにすれば良い(データ送信準備が整っていない場合)。

【0045】

一方、図9のシーケンスチャート及び図10のフローチャートは、FIS (Register - Host to Device FIS) 31の受信に応じ(ステップS1~S3)、FIS (DMA Setup FIS) 36をSATAインタフェース制御回路12(内のリンク/トランスポート層処理部122)からホスト20に送信するステップS10'が実行される場合を示している。ここでは、SATAインタフェース制御回路12は、FIS (DMA Setup FIS) 36を送信するステップS10'の直後に、パーシャルリクエスト(PARTIAL REQUEST) 32を送信して(ステップS5)、SATAバス30を“PARTIAL”モードにすれば良い(データ送信準備が整っていない場合)。

10

【0046】

上述した図7乃至図10に示す動作は、データ転送のタイプの通知に“PIO Setup FIS”を使用する場合にも同様に行われる。

【0047】

(3)データ転送を伴わないコマンドの場合で、コマンド実行結果のみがHDD10からホスト20に通知される場合

20

上記(1)及び(2)では、データ転送を伴うコマンドの実行中における“PARTIAL”モードの制御について述べた。しかし、図1のシステムでは、データ転送を伴わないコマンドも適用される。例えば、HDD10内のSPM113を起動するためのモータ起動コマンドが、このコマンドに該当する。そこで、ホスト20からデータ転送を伴わないコマンドが発行された場合の動作について、図11のシーケンスチャート及び図12のフローチャートを参照して説明する。

【0048】

今、ホスト20のホスト本体21からATAバス23にATA規格に準拠したHDD10宛てのコマンドが送出されたものとする。このコマンドは、モータ起動コマンドに代表される、データ転送を伴わないコマンドであるものとする。このATAバス23上のコマンドはホスト20のSATAインタフェース制御回路22で受信される。SATAインタフェース制御回路22のリンク/トランスポート層処理部222は、受信コマンドを特定のFIS (Register - Host to Device FIS) 91に変換し、そのFIS 91をSATAバス30を介してHDD10に送信する。

30

【0049】

HDD10のSATAインタフェース制御回路12は、SATAバス30を介して送信されたFIS (Register - Host to Device FIS) 91を受信する。SATAインタフェース制御回路12のリンク/トランスポート層処理部122は、受信FIS 91を解析し、当該FIS 91がデータ転送を伴わないコマンドから変換されたものであることを判別する(ステップS31, S32)。この場合リンク/トランスポート層処理部122は、受信FIS 91をATA規格に準拠した上記データ転送を伴わないコマンドに変換してATAバス13に送出する(ステップS33)。このコマンドは、HDD10のHDD本体11で受信されて、当該HDD本体11で実行される。このコマンドの受信時から当該コマンドを実行してその実行結果をホスト20に通知するまでの期間、SATAバス30を“IDLE”モード(非パワーセーブ状態)に保持している必要はない。

40

【0050】

そこでリンク/トランスポート層処理部122は、上記ステップS33を実行すると共

50

に、パーシャルリクエスト(PARTIAL REQUEST)92をSATAバス30に送出する(ステップS34)。これにより、HDD10側からSATAバス30を“PARTIAL”モードに設定できる。

【0051】

その後、ATAバス13に送出されたコマンドの実行結果がHDC119のステータスレジスタ119aに設定されたものとする。この場合、リンク/トランスポート層処理部122は、コマンドの実行が終了し、コマンド実行結果をホスト20に通知できる状態になったものと判断する(ステップS35)。するとリンク/トランスポート層処理部122は、SATAバス30を“PARTIAL”モードから“IDLE”モードに戻すために、アイドルリクエスト(IDLE REQUEST)93を当該SATAバス30に送出する(ステップS36)。リンク/トランスポート層処理部122はアイドルリクエスト93によりSATAバス30を“IDLE”モードに戻すと、ステータスレジスタ119aによって示されるコマンド実行結果を、“Register-Device to Host FIS”と呼ばれる特定のFIS94を用いて、SATAバス30経由でホスト20に送信する(ステップS37)。

【0052】

上記実施形態では、ホスト20からHDD10に対して発行されたコマンドの実行状況に応じてSATAバス30を“PARTIAL”モードに設定する制御を、全てSATAインタフェース制御回路12が行っている。しかし、この“PARTIAL”モードの制御を、HDD本体11内のHDC119またはCPU130がSATAインタフェース制御回路12を制御することで実現するようにしても良い。

【0053】

また、上記実施形態では、本発明をHDD(磁気ディスクドライブ)を備えたシステムに適用した場合について説明した。しかし本発明は、光ディスクドライブ、光磁気ディスクドライブなどHDD以外のディスクドライブを備えたシステムでも、SATAインタフェースを持つディスクドライブを備えたシステムであれば、適用可能である。また本発明は、磁気テープ装置など、ディスクドライブ以外の外部記憶装置を備えたシステムでも、SATAインタフェースを持つ外部記憶装置を備えたシステムであれば、適用可能である。本発明は更に、外部記憶装置以外の電子機器を備えたシステムでも、SATAインタフェースを持つ電子機器を備えたシステムであれば、適用可能である。

【0054】

なお、本発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。

【図面の簡単な説明】

【0055】

【図1】本発明の一実施形態に係る磁気ディスクドライブ(HDD)10を備えたシステムの構成を示すブロック図。

【図2】図1中のHDD本体11の構成を示すブロック図。

【図3】ホスト20からデータ転送を伴うコマンド(リードコマンド)が発行された第1の場合における、SATAバス30上の信号の状態と、SATAバス30及びATAバス13,23のパワーセーブの状態とを示すタイミングチャート。

【図4】上記第1の場合における、SATAインタフェース制御回路12の処理手順を示すフローチャート。

【図5】上記第1の場合における、SATAインタフェース制御回路12の処理手順の第1の変形例を示すフローチャート。

【図6】上記第1の場合における、SATAインタフェース制御回路12の処理手順の第2の変形例を示すフローチャート。

【図7】ホスト20からデータ転送を伴うコマンド(リードコマンド)が発行され、且つ

10

20

30

40

50

指示されたデータ転送に先行して当該データ転送のタイプをHDD 10からホスト 20に通知する必要がある第2の場合における、SATAバス30上の信号の状態と、SATAバス30及びATAバス13, 23のパワーセーブの状態とを示すタイミングチャート。  
 【図8】上記第2の場合における、SATAインタフェース制御回路12の処理手順を示すフローチャート。

【図9】上記第2の場合の変形例における、SATAバス30上の信号の状態と、SATAバス30及びATAバス13, 23のパワーセーブの状態とを示すタイミングチャート。

【図10】上記第2の場合の変形例における、SATAインタフェース制御回路12の処理手順を示すフローチャート。

【図11】ホスト20からデータ転送を伴わないコマンドが発行された第3の場合における、SATAバス30上の信号の状態と、SATAバス30及びATAバス13, 23のパワーセーブの状態とを示すタイミングチャート。

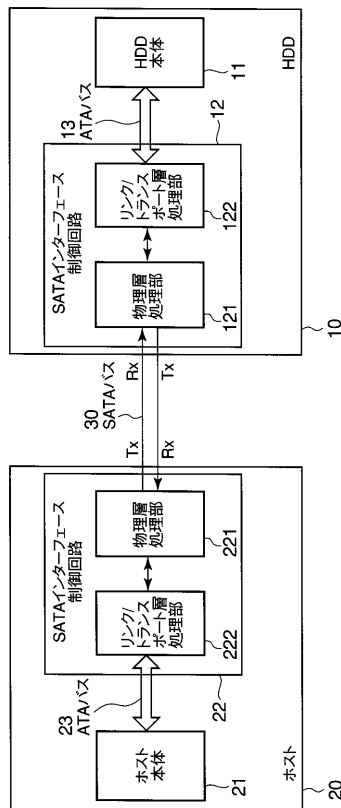
【図12】上記第3の場合における、SATAインタフェース制御回路12の処理手順を示すフローチャート。

【符号の説明】

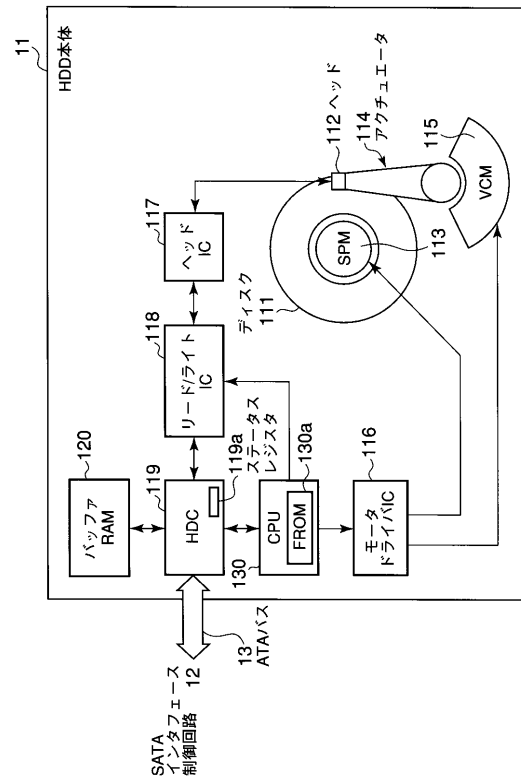
【0056】

10... HDD (磁気ディスクドライブ、外部記憶装置、電子機器)、11... HDD本体、12, 22... SATAインタフェース制御回路 (シリアルATAインタフェース制御回路)、13, 23... ATAバス (パラレルATAバス)、20... ホスト (ホストシステム)、21... ホスト本体、30... SATAバス (シリアルATAバス)、111... ディスク、112... ヘッド、113... SPM (スピンドルモータ)、116... モータドライバ、119... HDC (ディスクコントローラ)、119a... ステータスレジスタ、120... パワーRAM、130... CPU。

【図1】



【図2】

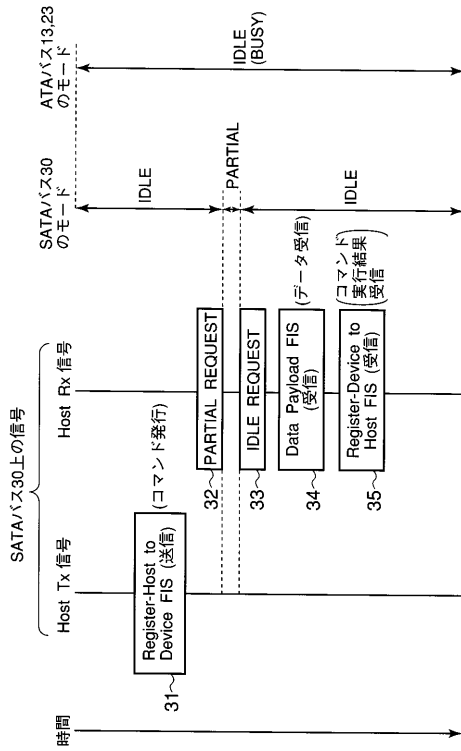


10

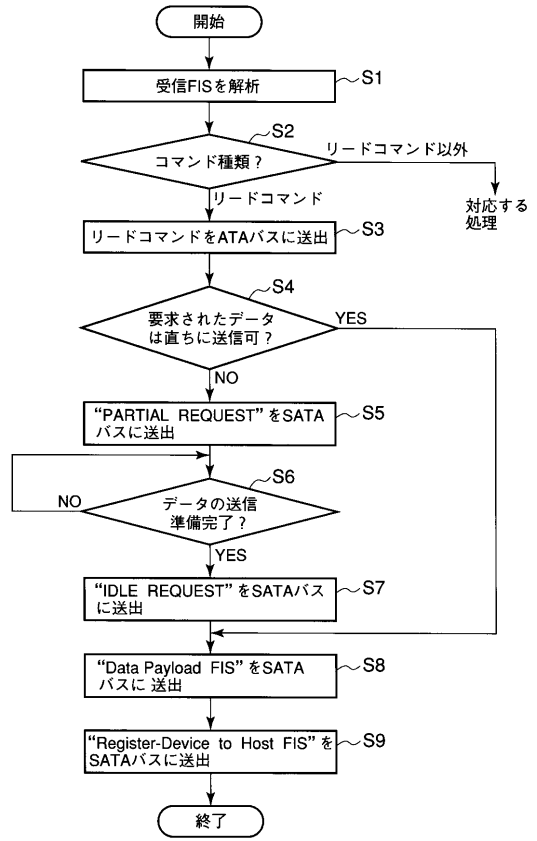
20



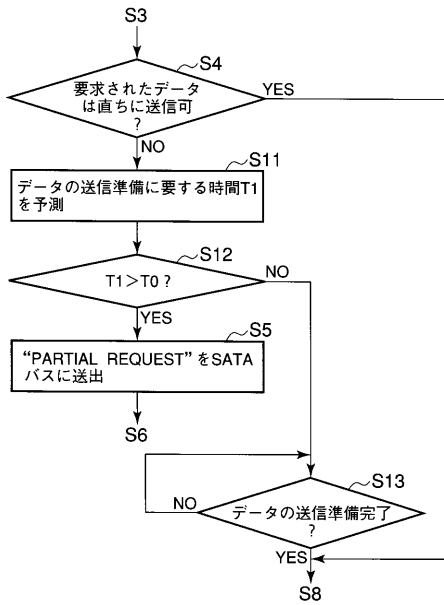
【 図 3 】



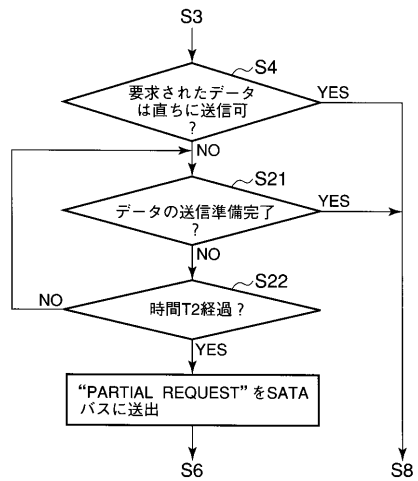
【 図 4 】



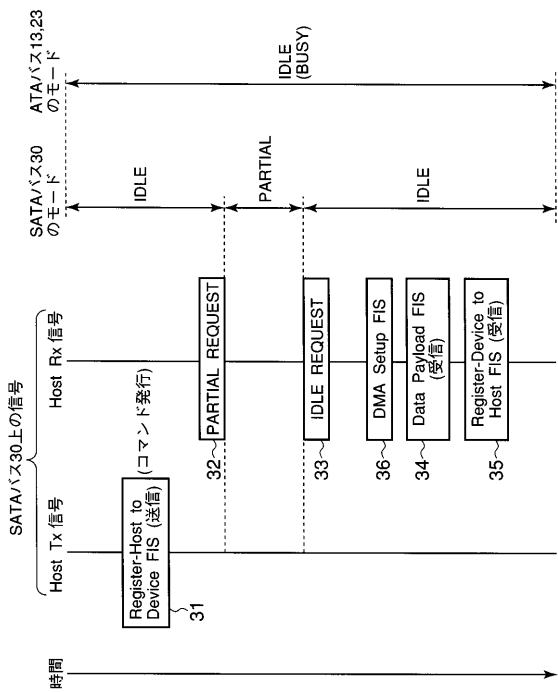
【 図 5 】



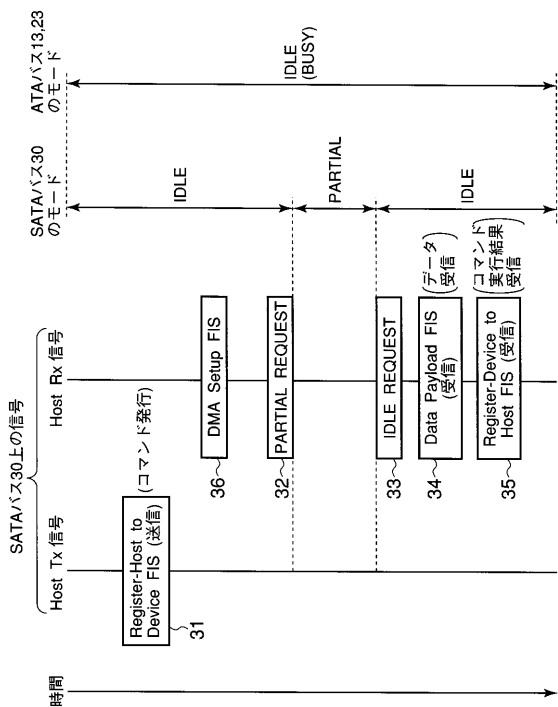
【 図 6 】



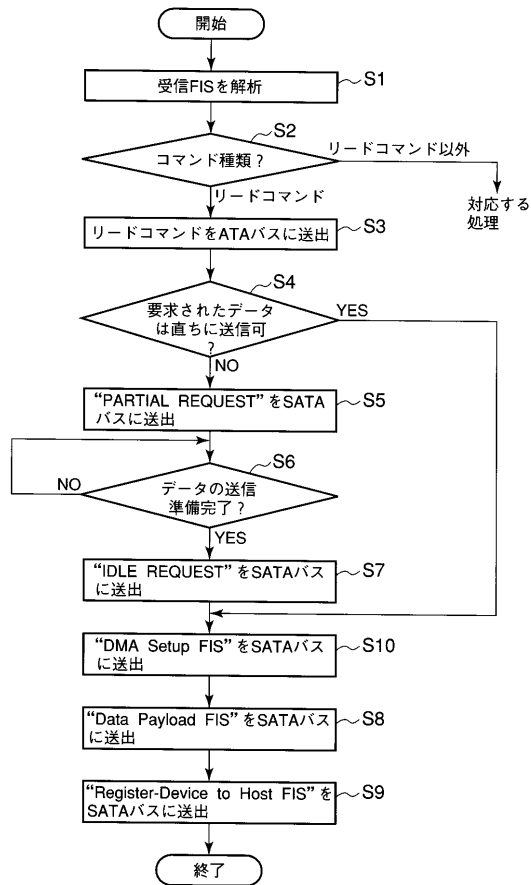
【 図 7 】



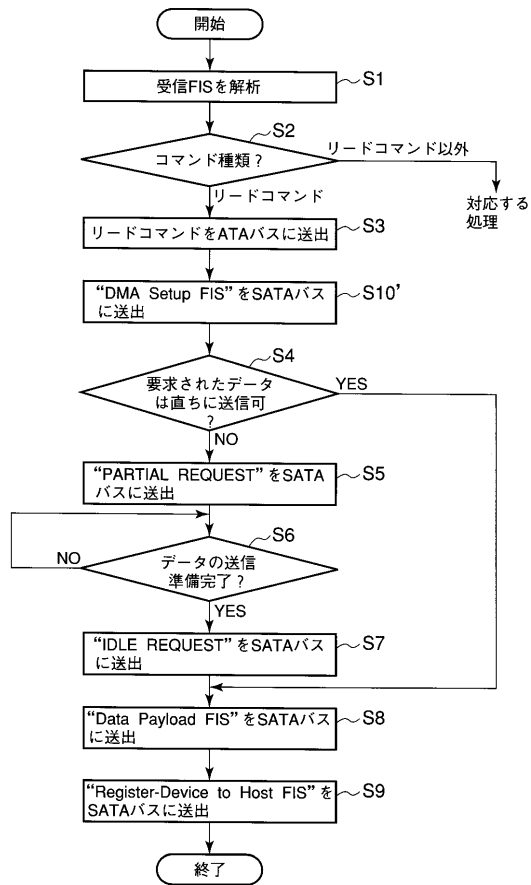
【 図 9 】



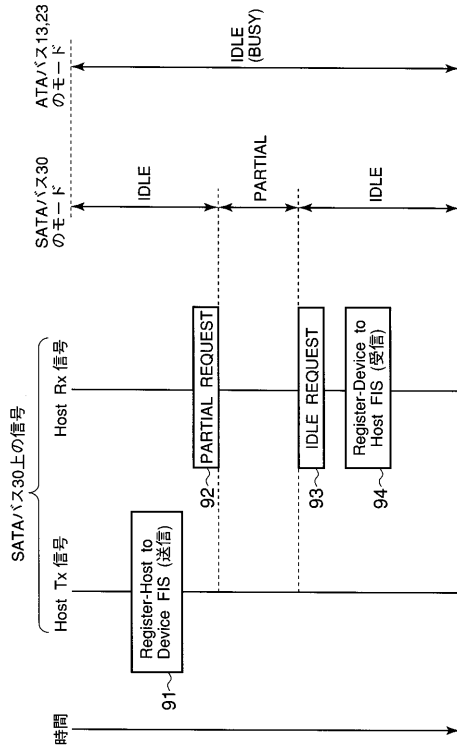
【 図 8 】



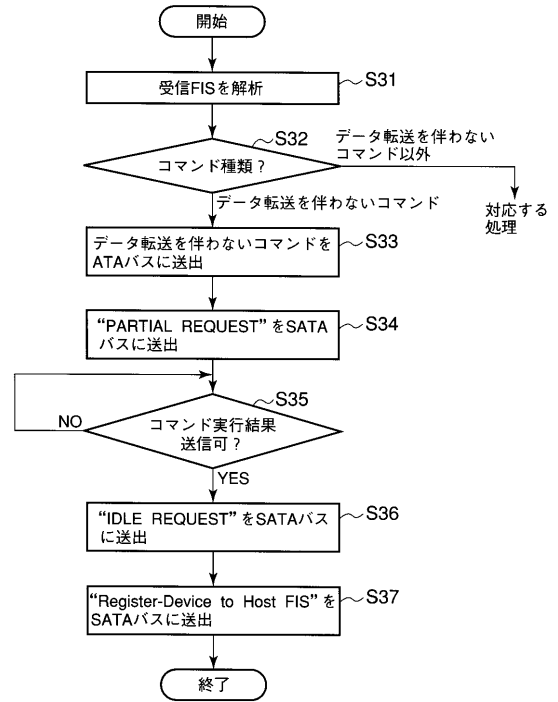
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(72)発明者 猪狩 史

東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

Fターム(参考) 5B011 EA00 EA10 EB00 EB07 LL06

5B061 FF02 SS03