

システム・ドライバ

概要

将来の半導体の生産能力および設計技術は、世界の半導体産業を牽引するドライバ商品からの要求に応じて開発されています。ITRS は、そのビジネスおよび機械設備の改善を行うサイクルが半導体領域をドライブするような製品分野のための技術的要求がどのように発生するか理解する必要があります。1999 年版 ITRS 報告書では、マイクロプロセッサ(MPU)、DRAM(DRAM)および特定用途向け IC(ASIC)の各製品分野に注目し、SoC およびアナログ・ミックスド・シグナル回路にも触れました。暗黙の仮定として、継続的な技術進歩が全ての半導体製品に対して展開するだろうと考えられたため、個々の製品分野(たとえば MPU あるいは ASIC)の詳細に関しては触れませんでした。今日、各商品はそれぞれ異なった技術の組合せを要求するため新しい技術導入はますます商品がドライブする傾向にあります。パソコン用の汎用デジタル・マイクロプロセッサとともに無線通信や組込み型アプリケーションのためのミックスド・シグナル・システムもこのようなドライバとなっています。テクノロジー・ドライバは、今や据え置き型サーバよりは、むしろバッテリー駆動のモバイル・デバイスに移っています。従来組織内だけで行われてきた、技術のシングルソースのチップ設計は、マルチソースからのビルディングブロック方式の設計スタイルによるシステム・オン・チップやシステム・イン・パッケージの設計によって取って代わられています。

2001 年版 ITRS システム・ドライバの章では、1999 年版 ITRS の中で議論したシステム・ドライバを更新し、より明白な定義付けを試みています。全般的なロードマップ技術特性と一緒に、システム・ドライバ章は、それぞれの ITRS 技術領域と ITRS の 15 年のスパンを通じてコンシステントな「特定の技術的要求」のフレームワークおよび動機づけを提供するように努力します。章の主要な目的は、将来の技術へ外挿でき、将来の技術開発にもっと滑らかに適合するシステム・ドライバの、定量的で内部に自己矛盾がないモデルを構築することです。私たちは 3 つのシステム・ドライバに注目します: 汎用マイクロプロセッサ(MPU)、アナログ・ミックスド・シグナル(AMS)およびシステム・オン・チップ(SoC)です。4 番目のシステム・ドライバである汎用メモリ(DRAM)は、その商品の性質が明快なのでここでは特に議論しません。

汎用マイクロプロセッサ(MPU)

汎用カスタム設計では、これらのチップの潜在的な利益を最大にするためには、性能と製造原価の問題が設計あるいは開発費(NRE)コストより重要です。これらの場合、大きな利益を得るためには非常に高い売上高が必用です。汎用製品に必用な条件は、そのような部品にしばしば見られるカスタム設計スタイル、個別のプロセスエンジニアリング、設備の回収ができれば十分というわけではありません、最も重要な条件は、NRE と製造投資の合計に対してプラスのリターンが期待できなければならないということです。現在の汎用カスタム製品の領域において 3 つの支

2 システム・ドライバ

配的な分野は MPU、メモリ¹、そしてリ・プログラマブル・デバイスです(たとえばフィールド・プログラマブル・ゲート・アレイ(FPGA)); MPUは本章の第 1 のセクションで扱われ、後の 2 つは「インプリメンテーション要素」として SoC システム・ドライバの中で議論します。MPU は、それらのゴールを達成するために最も高度な設計スタイルおよび製造技術を用います。このような汎用製品のために製造フローの変更が行われたり、(新しいツール開発費を払うに見合う収益があるため)新しい設計スタイルおよび支援ツールが開発されます、さらにより微妙な(設計者のワークアウトによって全ての課題が完全に解決できない)回路問題も明らかにされます。従って、MPU(また一般に汎用カスタム設計)は非常に労働集約型であり、それらは産業全体によってこ入れされる新技術および(設計および組立ての両方の)自動化手法の開発を進めます。

アナログ・ミックスド・シグナル(AMS)

AMS チップでは、入力信号の少なくとも一部は、その取り扱われる値の正確さが重要です。大まかな分類では、RF、アナログ、AD および DA 変換器、そしてごく最近では、少なくともチップ設計の一部に高精度な信号検出回路を持つ多数のミックスド・シグナル・チップも含まれます。これらのチップは、デジタル回路とは非常に異なっている設計技術的要求およびプロセス技術的要求を持っています。一般に技術の発展の傾向は電力、エリアおよび遅延時間削減の観点からデジタル回路に常に望ましい一方、信号精度要求への対処あるいは電源電圧仕様の変動により信号の電圧レベルを一定にすることが難しいため、それはアナログ回路には必ずしも有用ではありません。従って、新しいプロセス技術へアナログ回路を移植することは困難な挑戦です。一般に、AMS の回路(たとえば RF および組込み受動素子)およびプロセス技術(たとえばシリコンゲルマニウム)は、コスト効率が重要な CMOS への集積化は甚だ難しい問題です。

精度の要求は、アナログ設計においてはツールの要求仕様にも影響します。デジタル回路では、ロジック・ゲートで構成される論理が確実に機能するための一連の規則を決めて設計します。これらの規則に従う限り、正確な信号値の計算は必要ではありません。一方必要な精度を得るため、アナログ・デザイナーは多くの「副次的効果」を考慮しなければなりません。関連する問題は(キャパシタンス、インダクタンスおよび基板)カップリングおよび非対称性(注入、インプラネーション、アライメント、エッチングおよび他の製造工程の面内変化)を含んでいます。これらのほとんどの問題に対する解析ツールはあるにはあるが、高度なスキルが要求されます;合成ツールはせいぜい補助的のスタンスです。AMS の回路に対する製造テストの問題は本質的に未解決です。

システム・オン・チップ(SoC)

SoC は広範囲の高度な複雑さおよび高付加価値の半導体製品へ他のシステム・ドライバ分野

¹ Memory is a special class of high-volume custom design because of the very high replication rate of the basic memory cells and supporting circuits. Since these cells are repeated millions of times on a chip, and millions of chips are sold, the amount of custom design for these parts is extraordinary. This has led to separate fabrication lines for DRAM devices, with some of the most careful circuit engineering needed to ensure correct operation.

(たとえば MPU、メモリ、AMS、そしてリ・プログラマブル・デバイス)からの技術を統合した、今後とも発展の見込める製品分野および設計スタイルです。SoC の生産および設計技術は、一般的に汎用製品のために元々開発されたものです。SoC ドライバはASICに最も似ており、また低設計コストおよび高レベルのシステム・インテグレーションがその主要なゴール² であることから、ASICから最も直接的に発展してきました。ASIC との主要な差は、SoC 設計では、そのゴールが既存ブロックあるいは「コア」の再利用率を最大にすることであるということです。つまり、新規に設計されるチップ上のゲート規模を最小限にするのです。SoC 中の再利用されるブロックは、アナログおよび汎用機能コアだけでなくソフト・マクロ・ブロックも含んでいます。そのキー・チャレンジは、SoC 設計者³ に利用可能な再利用可能なブロックあるいはコアを企画、作成しメンテナンスすることです。SoC の有用性は、再利用に基づいた SoC 設計の検証が同等品の「スクラッチからの設計」よりも容易かどうかにも依存します。

SoC は、いくつかの方法でそれまでの製品分野を統合していています。上に述べたように、SoC は他のシステム・ドライバ分野のコアをビルディングブロック方式で集積し、ASIC 商品カテゴリをも包含しています。フルカスタムおよび ASIC/SoC の間の品質ギャップは低減しています。それは、(i) 2001 年 ITRS では ASIC および MPU ロジック密度を等しいとしてモデル化しています。(ii)そして、「ASIC スケジュールでのカスタム設計並みの性能」はオンザフライ(「リキッド」)あるいは最適化再生成のスタンダード・セル設計手法によって次第に達成されています。最終的には MPU は SoC へ発展していきます。つまり(i) MPUは次第にSoCに使われるコアとして設計されるようになるでしょう。(ii)その再利用性と設計生産性を改善するためにMPUそれ自身もSoCとして設計されてゆきます。(後で議論されるように 2001 年 ITRS の MPU モデルは複数の演算処理コアを持っており、構成⁴は SoC に似ています)。最も基本的な SoC のチャレンジはインプリメンテーション生産性および製造原価です。それはより大規模な再利用とともにプラットフォームに基づいた設計、シリコン・インプリメンテーション規則性あるいは他の斬新な回路およびシステム・アーキテクチャ・パラダイムも要求します。別の挑戦は多数のインプリメンテーション要素(たとえば RF、リ・プログラマブル・デバイス、MEMS、オプトエレクトロニクス、またソフトウェア)からのコンポーネントのヘテロジニアスなインテグレーションです。

マーケット・ドライバ

² Most digital designs today are considered to be ASICs. ASIC connotes both a business model (with particular “handoff” from design team to ASIC foundry) and a design methodology (where the chip designer works predominantly at the functional level, coding the design at Verilog/VHDL or higher level description languages and invoking automatic logic synthesis and place-and-route with a standard-cell methodology). For economic reasons, custom functions are rarely created; reducing design cost and design risk is paramount. ASIC design is characterized by relatively conservative design methods and design goals (cf. differences in clock frequency and layout density between MPU and ASIC in previous ITRS editions) but aggressive use of technology, since moving to a scaled technology is a cheap way of achieving a better (smaller, lower power, and faster) part with little design risk (cf. convergence of MPU and ASIC process geometries in previous ITRS editions). Since the latter half of the 1990s, ASICs have been converging with SOCs in terms of content, process technology, and design methodology.

³ For example, reusable cores might require characterization of specific noise or power attributes (“field of use”, or “assumed design context”) that are not normally specified. Creation of an IC design artifact for reuse by others is substantially more difficult (by factors estimated at between 2X and 5X) than creation for one-time use.

4 システム・ドライバ

表 8 では製造のボリューム、ダイサイズ、複合技術の集積、システム複雑さ、タイムトゥマーケットのような要因によって半導体製品市場を対比しています。システム・ドライバ(汎用製品を含む全体像)の各製品分野に対する影響が示されています。⁵

Table 8 Major Product Market Segments and Impact On System Drivers.

<i>MARKET DRIVERS</i>	<i>ASIC/SOC</i>	<i>ANALOG/MS</i>	<i>HIGH-VOLUME CUSTOM</i>
<i>I. Portable and Wireless</i>			
1. Size/weight ratio: peak in 2002 2. Battery life: peak in 2002 3. Function: 2x / 2 years 4. Time-to-market: ASAP 5. Time-in-market: decreasing	Low power paramount Need SOC integration (DSP, MPU, I/O cores, etc.)	Migrating on-chip for voice processing, RF A/D sampling, etc.	Specialized cores to optimize processing per microwatt.
<i>II. Broadband</i>			
1. Bandwidth: 2x / 9 months 2. Function: 20%/yr increase 3. Deployment/OperCost: flat 4. Reliability: asymptotic 99.999% 5. Time-in-market: long 6. Power: W/m ³ of system	Large gate counts. High reliability. Primarily SOC.	Migrating on-chip for signal recovery, RF A/D sampling, etc.	MPU cores and some specialized functions.
<i>III. Internet Switching</i>			
1. Bandwidth: 4x / 3-4 yrs. 2. Reliability 3. Time-to-market: ASAP 4. Power: W/m ³ of system	Large gate counts. High reliability. Primarily SOC, with more reprogrammability to accommodate custom functions.	Minimal on-chip analog. Migrating on-chip for I/O circuitry. MEMS for optical switching.	MPU cores, FPGA cores and some specialized functions.

⁴ The corresponding ASIC and structured-custom MPU design methodologies are also converging to a common "hierarchical ASIC/SOC" methodology. This is accelerated by customer-owned tooling business models on the ASIC side, and by tool limitations faced by both methodologies.

⁵ Note that the driver classes are most clearly distinguished according to cost, time-to-market, and production volume. System cost is equal to Manufacturing cost + Design cost. Manufacturing cost breaks down further into non-recurring engineering (NRE) cost (masks, tools, etc.) and silicon cost (raw wafers + processing + test). The total system cost is correlated with function, #I/Os, package cost, power and speed. Hence, distinctions made in the 1999 ITRS between SOC-C ("cost-driven") and SOC-P ("performance-driven") simply reflect a cost continuum. Different regions of the (Manufacturing Volume, Time To Market, System Complexity) space are best served by ASIC, FPGA or HVC implementation fabrics, and by SOC or system-in-package (SIP) integration. This partitioning is continually evolving.

Table 8 Major Product Market Segments and Impact On System Drivers (continued)

MARKET DRIVERS	ASIC/SOC	ANALOG/MS	HIGH-VOLUME CUSTOM
<i>IV. Mass Storage</i>			
1. Density: 60% increase / yr 2. Speed: 2× by 2005 3. Form factor: shift toward 2.5"	High-speed front-end for storage systems. Primarily ASSP. Shift toward large FPGA and COT, away from ASIC costs and design flows	Increased requirement for higher precision position measurement, "inertia knowledgeable" actuator / power controllers integrated on-chip. MEMS on R/W head for sensing.	Demand for high-speed hardware for, e.g., "lookahead" in DB search, MPU instruction prefetch, data compression, S/N monitoring, failure prediction.
<i>V. Consumer</i>			
1. Cost: strong downward pressure 2. Time-to-market: <12 mos 3. Function: high novelty 4. Form factor 5. Durability / safety 6. Conservation / ecology	High-end products only. Reprogramability possible. Mainly ASSP; more SOC for high-end digital with cores for 3D graphics, parallel proc, RTOS kernel, MPU-MMU-DSP, voice synthesis and recognition, etc.	Increased integration for voice, visual, tactile, physical measurement (e.g., sensor networks). CCD or CMOS sensing for cameras.	For "long-life" mature products only. Decrease in long design cycles, and in use of high-cost non-prepackaged functions and design flows.
<i>VI. Computer</i>			
1. Speed: 2× / 2 yrs 2. Memory density: 2× / 2 yrs 3. Power: flat to decreasing, driven by cost and W/m ³ 4. Form factor: shrinking size 5. Reliability	Large gate counts. High speed. Drives demand for digital functionality. Primarily SOC integration of custom off-the-shelf MPU and I/O cores.	Minimal on-chip analog. Simple A/D and D/A. Video i/f for automated camera monitoring, video conferencing. Integrated high-speed A/D, D/A for monitoring, instrumentation, range-speed-position resolution.	MPU cores and some specialized functions. Increased industry partnerships on common designs to reduce development costs (requires data sharing and reuse across multiple design systems).
<i>VII. Automotive</i>			
1. Functionality 2. Ruggedness (external environment, noise) 3. Reliability and safety 4. Cost	Mainly entertainment systems. Mainly ASSP, but increasing SOC for high end using standard hardware platforms with RTOS kernel, embedded software.	Cost-driven on-chip ADC for sensor signals. Signal processing shifting to DSP for voice, visual. Physical measurement ("communicating sensors" for proximity, motion, positioning). MEMS for sensors.	

MPU システム・ドライバ

2001 年 ITRS のマイクロプロセッサ(MPU)ドライバは、汎用の命令セットアーキテクチャ(ISA)に基づいて設計され、デスクトップとサーバシステムにおけるスタンド・アロン製品、または SoC アプリケーションのコアとして組込まれたりします。MPU はハイボリューム・カスタム設計品のセグメントであり、集積密度、設計の複雑さ、電力速度性能比、大規模チームでの設計プロセスの効率化、テストおよび検証、パワーマネジメント、パッケージされたシステム・コストに関して半導体産業をドライブしています。MPU システム・ドライバは常に市場のけん引役で、歴史的に以下の特色があります。(i) 標準アーキテクチャ・プラットフォームがまず出現したのち、そ

6 システム・ドライバ

れが複数世代にわたって供給され続ける、(ii)市場からの影響による激しい価格変動、(iii)非常に高い生産ボリュームおよび製造原価意識。MPU ドライバ・モデルの重要な要素は以下のとおりです。(本章の調査内容は GTX ツールで検証できます。MPUに関する内容は、以下の調査項目として提供されています。)

- (1) **2つの MPU タイプ** これまでの歴史をみると、2つのタイプの MPU がありました。「デスクトップ」を反映したコストパフォーマンス(CP)タイプと、「サーバ」向けの高機能(HP)タイプです。CP 対 HP 分類は、2001 年 ITRS でも、それ以前の ITRS MPU モデルとほぼ同じく、テクノロジー・ノードの量産を表す指標モデルとして使われています。将来の MPU モデルは恐らくデスクトップとサーバのマージされたカテゴリ(この区別は今日すでにぼやけている)とモバイルのカテゴリ(低電力、高機能 SoC)になります。
- (2) **ダイサイズ一定** ダイサイズ(CP は 140mm^2 、HP は 310mm^2)はロードマップ上一定であり、ロジック、メモリおよび集積のオーバーヘッドにブレークダウンされます。集積のオーバーヘッドは、内部ブロックチャンネルの空白や、無駄な領域を持つフロアプランや、設計所要時間内に伸ばせるレイアウト密度とのトレードオフによります。以前の ITRS モデルから変わらず言えることは、電力とコストがダイサイズの強いリミッターであるということです。まず始めに言えることは、追加ロジックは、パッケージ・パワーの制限から効果的に利用できないかもしれませんし、また、追加メモリ(たとえばより大きなキャッシュ、より高次のメモリ・ハイアラキ・レベルのオンチップ・メモリ)も、ある点から先はコスト効率が良いことが考えられます。⁶
- (3) **マルチ・コア構成** MPU の内容は、130nm ノードからマルチ・プロセッシング・ユニットのオンチップ化がスタートするでしょう。これは、以下のいくつかの事実を含んでいます。(i)最近および今後計画されている商用 MPU 製品の構成(サーバおよびデスクトップの両方)。(ii)標準の ISA と同様に検証と論理設計を再利用する必要性の増加。(iii)暗号化、グラフィックスおよびマルチ・メディア等々と、世代ごとに(たとえば x86、MMX および EPIC)逐次「増大」して行く ISA。(iv)電力管理の点でそれほど効率的でない汎用のプロセッサ・コアに、効率的な専用「補助エンジン」⁷を SoC のように集積することによってアーキテクチャ、OS およびアプリケーションレベルで電力の柔軟な管理を可能にする必要性。(v)プロセッサ・コアのサイズ制限(近年のトレンドで控えめに見積っても、コアあたり一定で2000~2500万トランジスタ⁸)、(vi)設計生産性の必要性から SoC と MPU 設計手法の収束。チップ上のコアの数はテクノロジー・ノードごとで2倍になることが予測されています。
- (4) **内蔵メモリ規模** MPU の内蔵メモリ規模は 180nm ノードの最初、CP用では

⁶ Multi-core organization (see Footnote **エラー! ブックマークが定義されていません。**) and associated power efficiencies may permit slight growth in die size, but the message is still that die areas are flattening out.

⁷ A “helper engine” is a form of “processing core” for graphics, encryption, signal processing, etc. The trend is toward architectures that contain more special-purpose, and less general-purpose, logic.

512KBytes(512 × 1024 × 9 bit)のSRAM、HP用では2MバイトのSRAMです。メモリ規模はロジック規模と同じく、絶対時間間隔(たとえば18か月ごと)⁹で増加するわけではなく、個々のテクノロジー・ノードごとに2倍になると予測されています。¹⁰

(5) **レイアウト密度** そのシステムの複雑さと生産ボリュームの高さから、MPUはレイアウト密度改善のドライバです。¹¹ 従って、MPUドライバによってレイアウト密度が設定され、それからORTCのトランジスタ数とチップ・サイズが規定されています。2001年ITRSのORTCではロジックとSRAMレイアウト密度は、DRAMの「Aファクター」と類似して、最近のMPU製品で数値合わせをしています。Fがテクノロジー・ノードの最小の特徴サイズである場合、ロジック・レイアウト密度はほぼ $320F^2$ の平均スタンダード・セルゲート・レイアウトを反映している。¹² 上述のように、ロジック・レイアウト密度は斬新なデバイスの到来で著しく改善するかもしれません。SRAMレイアウト密度は、60%の周辺回路のエリア・オーバーヘッドと、MPUの中で6トランジスタ・ビットセル($F^2=223.19F(\mu m)+97.74$ をビットセルあたりの面積単位)の使用を想定しています。

(6) **最大のオンチップ(グローバル)クロック周波数** MPUは、さらにORTCの中で最大のオンチップ・クロック周波数をドライブしています。これらは、次にはInterconnect、PIDS、FEPおよびテストのロードマップの様々な局面をドライブします。MPU最大のオンチップ・クロック周波数は、歴史的には1世代あたり2倍の増加をしています。これは、ほぼ1.4倍のデバイス・スケール則(t_{ox} および他の制約要因)からです。別の1.4倍は、パイプラインステージ(たとえば180nmで32のfanout4のインバーター(FO4 INV)遅延¹³と130nmで26のFO4 INV遅延が相当)のロジック段数の削減です。この歴史的なトレンドは、以下の幾つかの理由で継続しないかもしれません。(i)良質のクロックパルスは6~8段のFO4 INV遅延以下の時間では生成することができない。(ii)パイプライン(1つのフリップ・フロップ

⁸ The CP core has 20 million transistors, and the HP core has 25 million transistors. The difference allows for more aggressive microarchitectural enhancements (trace caching, various prediction mechanisms, etc.) and other performance support.

⁹ The doubling of logic and memory content with each technology node, rather than with each 18- or 24-month time interval, is due to essentially constant layout densities for logic and SRAM, as well as conformance with other parts of the ITRS. Specifically, the ITRS remains planar CMOS-centric, with little or no acknowledgment of dual-gate FET, FinFET, etc. yet incorporated into the roadmap except as “research devices”. Adoption of such novel device architectures would allow improvements of layout densities beyond what is afforded by scaling alone.

¹⁰ Deviation from the given model will likely occur around the 90nm node with adoption of denser embedded memories (eDRAM). Adoption of eDRAM, and integrated on-chip L3 cache, will respectively increase the on-chip memory density and memory transistor count by factors of approximately 3 from the given values. While this will significantly boost transistor counts, it is not projected to significantly affect the chip size or total chip power roadmap. Adoption of eDRAM will also depend strongly on compatibility with logic processes (notably the limited process window that arises from scaling of oxide thickness), the size and partitioning of memory within the individual product architecture, and density-performance-cost sensitivities.

¹¹ ASIC/SOC and MPU system driver products have access to similar processes, as forecast since the 1999 ITRS. This reflects emergence of pure-play foundry models, and means that fabric layout densities (SRAM, logic) are the same for SOC and MPU. However, MPUs drive high density and high performance, while SOCs drive high integration, low cost, and low power.

¹² A 2-input NAND gate is assumed to lay out in an 8x4 standard cell, where the dimensions are in units of contacted local metal pitch ($MP = 3.16 \times F$). In other words, the average gate occupies $32 \times (3.16)^2 = 320F^2$. For both semi-custom (ASIC/SOC) and full-custom (MPU) design methodologies, an overhead of 100% is assumed.

¹³ A FO4 INV delay is defined to be the delay of an inverter driving a load equal to 4 times its own input capacitance (with no local interconnect). This is equivalent to roughly 14 times the CV/I device delay metric that is used in the PIDS Chapter to track device performance. An explanation of the FO4 INV delay model used in the 2001 ITRS is provided in [supplemental material](#).

8 システム・ドライバ

ブあたり 2~3 段の FO4 INV 遅延、パルスモード・ラッチあたり 1~1.5 段の FO4 INV 遅延)でのオーバーヘッド(収穫逓減)が増加する。(iii)おおよそ 14~16 段の FO4 INV の遅延時間はクロック期間として実質的な限界である。即ち、L1 キャッシュアクセス、64 ビットの整数加算などに許容できる時間の限界です。2001 年 ITRS の MPU モデルは、最大のオンチップグローバルクロック周波数のための進歩の歴史的な割合を継続しますが、90nm のノード中に 16 の FO4 INV の遅延時間でクロック時間はフラットになります。(MPU クロック間隔の歴史データのプロットが、参照されています)。ここでのメッセージは 90nm のノードで示すように、クロック周波数は斬新な回路およびアーキテクチャ上のアプローチがない状態ではデバイス性能のみで進むでしょう。¹⁴

MPU の進化

最近の「セントライズド・プロセッシング」は、(i)従来の MPU 群(ここで想定している MPU ドライバ)からなるハイ・パフォーマンスな演算機能を持つ中央演算処理装置(サーバ)、および(ii)たとえばワイヤレス携帯端末マルチ・メディア・プラットフォーム(後述の低電力 SoC PDA モデルを参照)を構成する RF、アナログ・ミックスド・シグナル、および、デジタル回路を集積した SoC からなるパワー効率を狙った演算処理を行う「インターフェース・リメディアル・プロセッサ」を統合したものです。従来型 MPU の将来に向けた進化に対するキーとなる課題は、設計生産性、パワーマネジメント、マルチ・コア化、I/O 帯域幅、回路技術、およびプロセス技術に関するものです。

設計生産性 - MPU 製品の設計、検証に関する複雑さやコストは、1つのデザインあたりのエンジニアが年間数千人単位(設計チームで数百チーム)で急速に増加しているにもかかわらず、いまだに数百のバグをかかえたプロセッサが市場に投入されています。

パワーマネジメント - 比較的安価なパッケージの電力限界値(ITRS の最後に強制空冷時 50W/cm²で見積り)は、高い供給電圧(世代あたりの理想値換算 0.7×に対し経験値換算 0.85×)および周波数(世代あたりの理想値換算 1.4×に対し経験値換算 2×)を継続維持していくことができません。¹⁵ PIDS の章で述べられているように、MPU システム・ドライバにおける過去のクロック周波数トレンドは、次世代 CMOS デバイスの性能(スイッチングスピード)を必要

¹⁴ Unlike previous ITRS clock frequency models (e.g., Fisher/Nesbitt 1999), the 2001 model does not have any local or global interconnect component in its prototypical "critical path". This is because local interconnect delays are negligible, and scale with device performance. Furthermore, buffered global interconnect does not contribute to the minimum clock period since long global interconnects are pipelined (cf. Intel Pentium-4 and Compaq Alpha 21264) i.e., the clock frequency is determined primarily by the time needed to complete local computation loops, not by the time needed for global communication. Pipelining of global interconnects will become standard as the number of clock cycles required to signal cross-chip continues to increase beyond 1. "Marketing" emphases for MPUs necessarily shift from "frequency" to "throughput" or "utility".

¹⁵ To maintain reasonable packaging cost, package pin counts and bump pitches for flip-chip are required to advance at a slower rate than integration densities (cf. the Assembly and Packaging Chapter). This increases pressure on design technology to manage larger wakeup and operational currents and larger supply voltage IR drops; power management problems are also passed to the architecture, OS and application levels of the system design.

条件として、大きなオフ電流や非常に薄いゲート酸化膜によるものと説明されてきました。このようなデバイスにおいては、単に既存の回路やアーキテクチャを継承する MPU 群は ITRS の最後で 20X を超える係数で電力限界値を超過するでしょう。他方、MPU ロジックの規模、および(または)、ロジック動作は、パッケージの制約を満足させるために減らす必要があります。携帯および組み込み仕様のものは、厳密にパワー制限を行われており、このような障害(課題)に早い段階で遭遇するでしょう。最近のパワー効率(たとえば、GOps/mW)は、汎用 MPU に対して専用ハードウェア(組み込み型ハードウェア)の方が4桁向上しており、この傾向がより大きくなっています。結果として、従来型の演算コアは、次世代の SoC ライクな MPU 領域において、特定用途向け、または、リコンフィギュラブルなプロセッサ・エンジンとの競争に直面することになるでしょう。

マルチ・コア化 - 1つダイの中にマルチ・コアを持つ MPU において、コアは(i)グローバル配線長に重点を置くことでより速く、より小さくでき、(ii)複数のアプリケーションやコンフィグレーションに横断的に再利用することにより、最適化できます。マルチ・コア・アーキテクチャは、工場の歩留りを達成するため冗長性を利用するのと同じように、消費電力制御に対しても配慮が必要です。¹⁶ また MPU モデルの構成は、チップ上にメモリ階層の規模を増やすことを可能とします。(メモリ混載プロセッサ、または、90nm ノードからの大規模オンチップ eDRAM L3) 一般的な方法だけを考えるなら、より大きなメモリ容量がある方がリークやトータルの消費電力をうまく制御することが可能になります。マイクロアーキテクチャの進化(スーパーパイプライン、スーパースカラ、予測技術)は、推進する原動力が衰えてきているように見えます。(「ポラックの法則」では、ある一定のプロセス技術において、新しいマイクロアーキテクチャは古い(前の世代の)マイクロアーキテクチャを使用した場合に比べ面積が2~3倍になり、その一方で性能は1.4倍~1.6倍しか改善されないとしています。) そのようなことから、最近では並列処理によるマルチスレッド化の傾向が大きくなっています。同様にネットワークやグラフィックス、セキュリティ等も、より複雑な専用ハード、および(または)専用エンジンが充てられる傾向にあります。柔軟性・効率性のトレード・オフ・ポイントは、汎用プロセッサ側から離れています。

I/O 帯域幅 - MPU システムにおける I/O ピンは、主として、高機能キャッシュメモリやメインシステムメモリに使われています。プロセッサのパフォーマンスが増加するに従い、I/O 帯域幅の要求は強くなってきています。最も高い帯域幅のポートは、伝統的に L2、L3 キャッシュに使われてきましたが、最近の設計は、メモリの「レーテンシ」を減らすために、プロセッサにメモリコントローラを内蔵することから始まります。これらのダイレクトメモリアンターフェイスはキャッシュインターフェイス以上に I/O 帯域幅を要求します。メモリアンターフェイスに加えて、多くの設計がシステムバスを高速なポイント・ツー・ポイント・インターフェイスに置き換えています。これらのインターフェイスは、Gbit/s のレートを実行するのに高速な I/O 設計を必要としています。シリアル・リンクは、このレートに到達しており、その一方で、単独チップ上の I/O の大規模集積化

¹⁶ Replication enables power savings through lowering of frequency and V_{dd} while maintaining throughput (e.g., two cores running at half the frequency and half the supply voltage will save a factor of 4 in CV^2f dynamic capacitive power, versus the “equivalent” single core). (Possibly, this could allow future increases in die size.) More generally, overheads of time-multiplexing of resources can be avoided, and the architecture and design focus can shift to better use of area than memory. Redundancy-based yield improvement occurs if, e.g., a die with $k-1$ instead of k functional cores is still useful.

10 システム・ドライバ

は、いまだ設計(各々の回路が超低消費電力を必要とする)、テスト(この速さを実行できるテスターを必要とする)、および、パッケージ(パッケージがチップとボードの接続を含め、バランスのとれた伝送ラインの配線を必要とする)に関してチャレンジ途上にあります。

回路技術とプロセス技術 - 今後の大きさやデバイスのアーキテクチャのロードマップ(リソグラフィ、PIDS)において、歩留りのパラメータ(ウェーハテスト後のウェーハ価格/枚)は、プロセス変化に追従して進化することにより大きく変動します。このロードマップは、より薄い、実現性の少ないゲート酸化膜、挑戦的なレチクル装置の要求に対するサブウェーブレンクス・オプティカル・リソグラフィ、原子単位のプロセス変動に増加する脆弱性(たとえば、注入プロセス)を含んでいます。このことは、回路やアーキテクチャ設計のレベルでより多く要求されるものでしょう。回路設計は、動的な回路を使用する一方、低い周波数、または、クロックゲート仕様におけるパフォーマンスに対する魅力は、ノイズマージン、および、電力消費の問題による制限があるからです。より少ないパスゲートロジックは、基板効果により使用されるでしょう。歩留りのロスを補償するために冗長性や再構築化を行うのと同じく、ロジック回路において single event upset (SEU) のためのエラー補正は増加していくでしょう。パワーマネージメントの必要性は、いくつかの要素技術の組み合わせを求めるでしょう。それは、(i)並列処理や適応可能な電圧および周波数スケールリングを含めたアプリケーションレベルや OS レベル、アーキテクチャレベルの最適化、(ii)SOI の利用増加によるプロセスイノベーション、(iii)マルチ V_{th} 、マルチ V_{dd} やスリープ制約内での消費電力最小化、マルチドメインクロックゲートおよびスケジューリングといった手法を複合的に使う回路設計技術、といったものです。

MPU のチャレンジ

MPU ドライバは、設計やテスト技術(分散/協調設計プロセス、検証、アットスピード・テスト、ツールの処理能力、パワーマネージメント)に影響を与えます。デバイス(オフ電流)、リソグラフィ/FEP/配線(変動性)やパッケージ(消費電力、電流の分配)も同様です。最も大きなチャレンジは、以下の項目です。

- ・ 設計および検証の生産性(たとえば総設計コスト、バグを大幅に減らすこと)(設計)
- ・ パワーマネージメントおよび電源供給(たとえば GOps/mW)(設計、PIDS、アセンブリ & パッケージ)
- ・ 量産時の歩留りパラメータ(リソグラフィ、PIDS、FEP、設計)

ミックスト・シグナル・システム・ドライバ

アナログ・ミックスト・シグナル(ASM)では、様々な回路およびアーキテクチャがあり、またそのロードマップは、直接エキスパートでない人によっても使用されるかも知れないので、ロードマップをまとめる際には単純化が必要です。私たちは次の 4 つの基本的なアナログ回路に絞って議論をします。

- ・ ロー・ノイズ・アンプ(LNA)
- ・ ボルテージ・コントロール・オシレータ(VCO)

- ・ パワーアンプ(PA)
- ・ AD 変換器(ADC)

これらの 4 つの回路を作るために使用される設計およびプロセス技術は、さらに他の多くのミックスド・シグナルの回路の性能を決定するでしょう。従って、これら特定の回路の性能は、性能指標によって記述されるとともに、ミックスド・シグナルのロードマップのよい根拠となります。

次の議論はこれらの性能指標を詳細に示します。パラメータ(たとえば、利得 G)は、すべてデシベル・スケールの代わりに絶対値として与えることにします。さらに、私たちは、与えられた設計問題の特定の解決策に対する好みを回避します。確かに、予期しない解決策が障壁を克服することは度々あるので、異なるタイプの解決策にできるだけオープンであるように努力しました。(たとえば、代替解決策間の競争は、技術ロードマップと関係するすべてのタイプの進歩のために、よい推進力となります。) さらに私たちは、たとえばある回路において、その目的が異なれば、要求される性能も異なるということを知っています。つまり、ある性能指数は異なる応用には矛盾しているのかもしれませんが。¹⁷ そのような状況を回避するために、私たちは、主流製品に性能指標を適合させます。主流製品の経済体制は通常、高度に競争率が高いものです。それは高い生産ボリュームを持っていて、そしてその技術必要条件が全体としてミックスド・シグナルの技術をドライブすることができる高いレベルの研究開発投資を支えます。この状況での明白な主流製品は携帯電話です。最後に、私たちは、デバイス・パラメータ上の性能指標の依存性を評価します。その結果、回路設計上の必要条件は特定のデバイスおよびプロセス技術仕様に結びつくことができます。アナログ回路性能の重要な進歩に結びつく、また一方では現実的で実現可能な技術進歩へ結びつく外挿法が提案されます。これらのパラメータは、PIDS 章のミックスド・シグナルに関する技術的要求のテーブルから得ることができます。

ロー・ノイズ・アンプ(LNA)

デジタル処理システムは、アナログ界へのインターフェイスを要求します。これらのインターフェイスの顕著な例は有線あるいは無線通信での送信メディアです。LNA は、信号処理において雑音が無視できる程度にまで入力信号を増幅します。LNA のための重要な性能問題は下流の信号処理ユニットに一層の雑音を加えずに、ひずみがなく増幅された信号を伝えることです。

LNA の応用(GSM、CDMA、W-LAN、GPS、Bluetooth など)は、多くの周波数帯の中で動作します。動作周波数、および、ある場合には LNA の周波数帯域幅は、最大の達成可能な性能にインパクトを与えます;非線形性も多くの応用の仕様で考える必要があります。これらのパラメータは性能指標に含まれている必要があります。他方では、異なるシステムは多くの場合直接に比較可能でなく、異なる必要条件を持ちます。たとえば、非常に広い帯域幅は高性能有線応用のために必要です。しかし、これは消費電力を増加させます。低消費電力は、低い帯域幅

¹⁷ Certain cases of application are omitted for the sake of simplicity, and arguments are given for the cases selected. In many cases, we have limited our considerations to CMOS since it is the prime technological driving force and in most cases the most important technology. Alternative solutions (especially other device families) and their relevance will be discussed for some cases, as well as at the end of this section.

12 システム・ドライバ

の無線通信応用の重要な設計属性です。広い帯域幅のシステムについては、帯域幅が LNA の性能について記述する線形性より重要かもしれません。しかしながら、矛盾している設計制約を回避するために、私たちは無線通信に焦点を合わせます。

低雑音アンプの線形性は、参照される第 3 次インターセプトポイントの出力によって記述することができます。($OIP3 = G \times IIP3$ 、ここで G は利得、 $IIP3$ は第 3 次インターセプトポイントの入力) LNA によって正確に増幅される最小の信号を決定するパラメータは、アンプの雑音指数 NF によって直接与えられます。しかしながら、雑音の合計へのアンプの貢献度を考察するためには、 $(NF-1)$ がアンプ $N_{amplifier}$ の雑音と直接評価される入力 N_{input} 雑音の間の比率を示すので、よりよい手段となります。これらの 2 つの性能指標は消費電力 P の合計と結合することができます。その結果の性能指標は、アンプのダイナミック・レンジと必要な DC 電力の関係を捕らえます。ロードマップのためには、周波数に、従って特定の応用と無関係に依存しない性能指標を持つことが望ましい。これは、LNA が単一の増幅段階によって形成されると仮定することにより達成することができます。その結果、性能指標は動作周波数 f で直線的に計ります。これらの近似および仮定で、LNA のための性能指標 (FoM_{LNA}) は定義されます。

$$FoM_{LNA} = \frac{G \cdot IIP3 \cdot f}{(NF-1) \cdot P} \quad (1)$$

さらに単純化する仮定を作り、かつ「設計インテリジェンス」を無視して、技術スケーリングを備えた性能指標を展開することができます [1]¹⁸。最大の発振周波数 f_{max} を含む LNA 設計用の適切なデバイス・パラメータの将来トレンド、インダクタの品質、MOSFET ($g_m/g_{ds}|_{L_{min}}$) の内部の利得および RF 供給電圧は、PIDS 章のミックスド・シグナルに関する技術的要求のテーブルから得ることができます。CMOS LNA のための最近公表された報告からの性能指標の発展は、小型デバイスディメンションのよりよいパフォーマンスへの明瞭な傾向を示します。これは、LNA 設計のために必要とされるデバイスの品質の増加に対して良く一致します。将来へこれらのデータを推定して、テーブル 9 の中で示されるように、LNA 設計における将来の進歩の評価は得られます。

ボルテージ・コントロール・オシレータ(VCO)

RF 信号処理システムの別の重要なコンポーネントは VCO です。VCO は、フェーズ・ロック・ループ(PLL)(それは高い帯域幅の応用および / または高周波数の応用での集積回路と外部の世界の間のコミュニケーションを同期させる。)の主要部分です。VCO のための重要な設計目標は、生成された波形(あるいは等しく位相雑音)のタイミング・ジッタを最小限にし、消費電力を最小限にすることです。これらのパラメータで、性能指標 (FoM_{VCO}) は定義されます:

$$FoM_{VCO} = \left(\frac{f_0}{\Delta f} \right)^2 \frac{1}{L\{\Delta f\} \cdot P} \quad (2)$$

¹⁸ Reference [1] is the recent paper, R. Brederlow, S. Donnay, J. Sauerer, M. Vertregt, P. Wambacq, and W. Weber 'A mixed signal design roadmap for the International Technology Roadmap for Semiconductors (ITRS)', IEEE Design and Test, December 2001.

ここで、 f_0 は発振周波数です。 $L\{f\}$ は f_0 からの周波数オフセット f で測定した位相雑音スペクトル密度です。また、 P は消費電力の合計です。

動作周波数と性能指標の間に明瞭な相関性はありません。しかしながら、性能指標の良い値は、より高い周波数で達成することが通常困難です。従って、性能指標は、動作周波数に完全に依存しないわけではありません。必要なチューニング範囲が応用に強く依存するので、ここでの定義では、VCO のチューニング範囲は定義しません。しかしながら、典型的には、より大きなチューニング範囲が要求される場合、VCO の位相雑音あるいは消費電力は悪化します。

オンチップロード(LC タンク)を備えた完全集積 CMOS 型 VCO に制限し、さらなる単純化をすることによって、性能指標はテクノロジー開発にリンクすることができます[1]。位相雑音は、熱雑音および LC タンクの品質要因によって主として決定されます。熱雑音対消費電力は、技術ノード上でほぼ一定です。最後に、性能指標対技術ノードの発展は、主として利用可能なインダクタの品質に依存します[1]。最近発表の高性能 VCO では、性能指標の発展は CMOS 加工サイズの減少につれて性能が増加する明瞭な傾向を示します。性能指標は、これらの技術での VCO 設計のために必要とされる最良の利用可能なデバイス・データとよく整合しています。将来の技術ノードの適切なデバイス・パラメータの予測に基づいて(PIDS 章のミックスド・シグナルに関する技術的要求のテーブル参照)、将来の技術ノード用の VCO 性能指標の外挿はテーブル 9 の中で与えられます。

パワーアンプ(PA)

パワーアンプは有線あるいは無線のコミュニケーション・システムの伝送パス中の重要なコンポーネントです。それらは、隣接したチャンネルパワーを最小限にするために高い線形性を備えて情報をオフチップで送信するために必要な送信パワーを運びます。特にバッテリー動作の応用については、与えられた出力パワーで最小の DC パワーが要求されます。

性能指標を確立するために、出力パワー P_{out} 、パワー利得 G 、キャリア周波数 f 、線形性($IIP3$ での)およびパワー付加効率(PAE)などのキーパラメータを考慮に入れる必要があります。不運にも、線形性は、強くアンプの動作クラスに依存し、そのためそれらは異なるクラスのアンプを比較することを困難にしています。設計アプローチおよび異なる応用と無関係にするために、私たちは、性能指標の中のこのパラメータを省略します。PA の RF 利得の 20dB/デケードのロールオフ¹⁹を補うために、 f^2 の要因は性能指標に含まれています。これは次のものに帰着します。

$$FoM_{PA} = P_{out} \cdot G \cdot PAE \cdot f^2 \quad (3)$$

最後に、最も単純な PA アーキテクチャに限定して(クラス A オペレーション)、さらに単純化を進めることで、性能指標とデバイス・パラメータ間の相関性を可能にします[1]。重要なデバイス・パラメータは利用可能なインダクタおよび f_{max} の品質要因であると見られます。これらのパラメー

¹⁹ Most CMOS PAs are currently operated in this regime; using DC-gain for applications far below f_t would result in a slightly increased slope.

14 システム・ドライバ

タに対する値は PIDS 章のミックスド・シグナルに関する技術的要求のテーブルの中で示されません。クラス最高の CMOS PA の性能指標は能動および受動デバイス・パラメータにおける進歩と強く関連させられて、近年、ほぼ技術ノードあたり 2 の因数だけ増加しました。将来の技術ノード (PIDS 章のミックスド・シグナルに関する技術的要求のテーブル) 用の要求されたデバイス・パラメータから、テーブル 9 の中で示されるように、私たちは将来の PA 性能指標値の必要条件を推定することができます。

アナログ・デジタル変換器(ADC)

デジタル処理システムは、アナログインターフェイスを持っています。それは、オーディオおよびビデオインターフェイス(磁気と光学の記録メディア、および有線通信メディアあるいは無線の通信メディアへのインターフェイス)といったものです。連続時間および連続的な振幅のアナログ信号が個々の時間(サンプリングされた)および個々の振幅(デジタル化された)に変換される場合、アナログ信号は AD 変換器(ADC)のデジタル処理を行います。ADC は、従ってシステム・インテグレーションにおいて、将来の技術メリットおよび、その限界に対する有効な性能指標になります。同時に ADC は、今日のミックスド・シグナル回路設計において最も多用されているミックスド・シグナル回路です。

ADC の主要なパラメータはサンプリングと量子化に関係があります。n が変換器の「ビットの数」である場合、変換器(つまり量子化レベルの数)の出力は、 2^n です。このパラメータはさらに最大信号対雑音レベルを定義します、 $SNR = n \cdot 6.02 + 1.76 [dB]$ 。変換器(つまりユニット時間で量子化された n 幅のサンプル数)のサンプリング・レートは、変換される信号の帯域幅、およびその性能に達するために必要な消費電力と関係があります。シャノン/ナイキスト基準によれば、サンプルレートが変換された帯域幅の 2 倍を超過する場合は、常に信号を復元することができます、 $f_{sample} > 2 \times BW$ 。

将来の技術ノードの可能性のために、ADC FoM はダイナミック・レンジ、サンプルレート f_{sample} および消費電力 P を組み合わせるべきです。しかしながら、これらの名目上のパラメータは、変換器の有効な動作に対する、正確な洞察力を与えていません。言い換えると、より正しい基準は正確なデータから抽出された実行性能です。ダイナミック・レンジは、量子化エラー (dB で両方の値) を引いた低周波信号対雑音およびひずみ ($SINAD_o$) の測定から抽出されます。 $SINAD_o$ から、「ビットの有効な数」を引き出すことができます。 $ENOB_o = (SINAD_o - 1.76) / 6.02$ その後、それがより低い値を持っている場合、サンプル割合はナイキスト基準とのリンクを確立するために、有効な帯域幅 ($2 \times ERBW$) の 2 倍と取り替えられるかもしれません。

$$FoM_{ADC} = \frac{(2^{ENOB_o}) \times \min(\{f_{sample}\}, \{2 \times ERBW\})}{P} \quad (5)$$

ADC については、性能指標と技術パラメータの関係が、変換器のアーキテクチャと回路に強く依存します。ADC の複雑さおよび多様性は設計する場合、基礎的な RF 回路にとっては可能だったものでもほとんど不可能になります。しかしながら、FoM の中のパラメータに関するいくつ

かの一般的な考察は[1]に提案されています。また、ある場合には、重大なサブ回路の実行必要条件から、設計必要条件を決定することが可能です。異なる ADC 設計には適切な装置パラメータが PIDS 章のミックスド・シグナルに関する技術的要求のテーブルから得られます。近年の傾向は、3 年ごとにほぼ 2 の因数だけ ADC FoM が改善されることを示します。高度化する設計力を考慮に入れて、これら、過去の改良は、アナログ装置パラメータにおいて、改善の方向にあります。最高クラスの電流は、自立型 CMOS/BiCMOS 用では、約 800G[変換ステップ/ジュール]です。埋め込み CMOS 用では約 400G[変換ステップ/ジュール]です。ADC FoM のための予想される将来価値は、テーブル 2 中で示されます。設計において、減少する信号振幅や電源電圧の低下にも関わらず、ADC の実行性能が維持できるかということに主な技術進歩が要求されます。結局、基本的素子特性限界(熱雑音)は、ADC FoM の一層の改良を阻むかもしれません。

Table 9 Projected Mixed-signal Figures of Merit for Four Circuit Types

YEAR OF PRODUCTION	2001	2004	2007	2010	2013	2016	DRIVER
MPU ½ PITCH	130	90	65	65	45	22	
F_oM_{LNA} [GHz]	10	15	25	30-40	40-50	50-70	PIDS*
F_oM_{VCO} [1/J] 10^{22}	5	6	7	8-9	10-11	12-14	PIDS
F_oM_{PA} [W•GHz ²] 10^4	6	12	24	40-50	80-90	100-130	PIDS
F_oM_{ADC} [1/J] 10^{12}	0.4	0.8	1-1.2	1.6-2.5	2.5-5	4-10	PIDS

*refer to the [Process Integration](#) chapter, table for Mixed-signal Technology Requirements

ミックスド・シグナルの発展

ミックスド・シグナルのドライバの発展は、コストと性能の相互作用によって、完全に決定されません。上記長所の図はミックスド・シグナルの実力を測定します。しかしながら、生産原価はさらに AMS 回路の実設計のための重大な問題です。ともに、コストと性能は、完全に新しい適用を可能にし、取り組むこの技術の可能性と同様に、既存の適用に関連した技術傾向の大部分を決定します。

コスト見積り - 汎用のデジタル製品のコストがチップ面積によってほとんど決定されるのと異なり、ミックスド・シグナル設計ではチップ面積は、いくつかのコスト要因のほんの一部でしかありません。SoC の中のアナログ回路のエリアは、5-30%の範囲の中にあります;ロジックまたはメモリに関しては意味があっても、ミックスド・シグナルのエリアを縮小する価値は従って、ありません。関連する考察は次のものを含んでいます:

- アナログ部とデジタル部の切り分けにより、アナログ領域の面積を減らす場合が時とあります。(たとえば A/D 変換器の自動補正);
- プロセスの複雑さは高機能アナログ回路の導入により増加します。その結果、これによりたとえ小さなエリアでも、より大きなコストを占めたりします。
- 技術選択は、多数の試作(テープアウト回数)による設計コストの増加というリスクに影響します。

16 システム・ドライバ

- ・ 選択した技術のパラメータの歩留りが安定しない場合、製造コストに影響する。
- ・ そして複数のダイからなる SiP(たとえば大規模で廉価なデジタル、および小さな高機能アナログ)の方がシングルチップの SoC より安くできる場合もあります。

このような考察はミックスド・シグナル設計のコスト見積りを非常に難しくします。これらがさらに技術的要求を駆り立てるので、まず始めに高機能なミックスド・シグナル回路を適用する上で、注意深くそのコスト試算を試みてもよいでしょう。そうすれば、高機能能動素子あるいはアナログ・トランジスタが組込まれた回路ブロックの面積によって主なコスト試算ができることが分かるはずで²⁰。トランジスタのスケールリングは、システムの内、デジタル部分の集積度向上に対して進められるため、アナログ・トランジスタは単純にそれを追従するだけで、そのため言い換えればレイアウトの集積度はあまり問題にする必要はありません。同時に、現状のアナログ・ミックスド・シグナル設計ではエリアの合計は埋め込まれた能動素子によって決定されます。つまり、これらのエリアが、システムのミックスド・シグナル部分のコストを支配します。従って、PIDS 章のミックスド・シグナル技術的要求テーブルは、高性能ミックスド・シグナル設計のコスト/性能比率を改善するために必要な、オンチップ受動素子のレイアウト密度のロードマップを設定しています。

技術の充足度の見積り - 図 9 は、最近の商品要求による、電力/性能の関係です。性能を一定(分解能×バンド幅)とすると同等の電力消費のものは、傾き - 1 の直線上に乗ります。そして性能向上が、より高度な技術あるいは回路設計で達成されるということは、すぐ右上の消費電力ライン上にシフトすることを意味します。このデータから、ADC の技術的な「障壁ライン」が、1W を実現するサンプリング・レートや消費電力に存在して、技術進展が停滞しているのが分かります。(図9) 今日のほとんどの ADC 技術(シリコン、SiGe および III-V 化合物半導体およびそれらのハイブリッド)は、この1W障壁ラインのもとにあります。また、ここしばらくの間に予測される技術で、この障壁ライン上に引き上げるための解決策はまだ見つかっていません。

²⁰ *In analog designs, power consumption is often proportional to area, and since power is included in all four figures of merit, we have already implicitly considered area and cost criteria. Nonetheless, area requirements should be stated explicitly in a roadmap.*

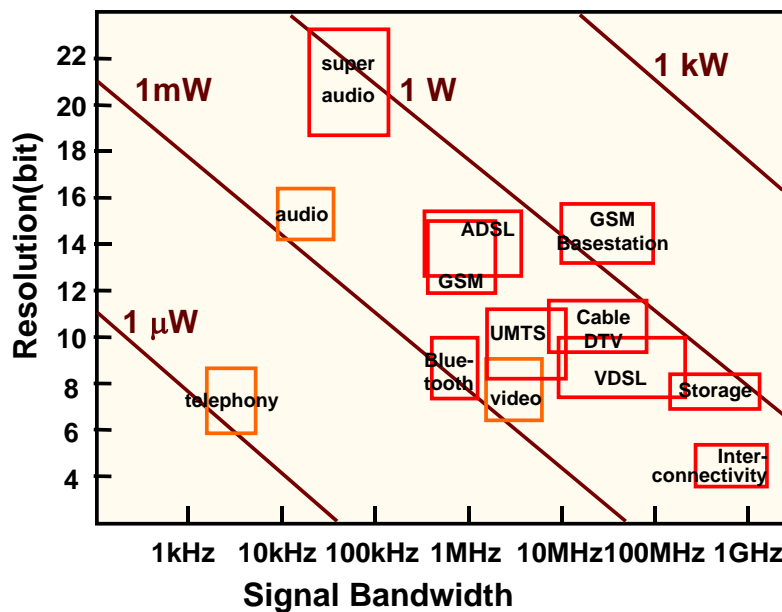


Figure 9 Recent ADC Performance Needs for Important Product Classes

これまでの ADC の性能改善は通信機用途に向けたものが主だった一方、GSM 基地局のデジタル線形化、および携帯型移動個人端末の高速デジタル・ビデオ用途向けではありませんでした。たとえば、32 キャリアの典型的なセット・アップを扱う多重キャリア GSM 基地局は、ダイナミック・レンジが 80dB 以上必要とし、そのような基地局のデジタル線形化のインプリメントには、25MHz の発信バンド帯域と 300MHz のサンプリング・レートおよび 14 ビット分解能の ADC を必要とします。表 9 と最近の進歩の速さから予測すると、恐らくその様な特性をもった ADC が大量生産されるのは 2010 年以降になるでしょう。システム設計者は今そのような ADC を求めているのですが、シリコンと SiGe の技術では十分なビット長は（複数のデバイスを同一チップ内に集積できるという点で）提供できますが、十分なスピード性能は実現できません。他方、III-V 化合物半導体技術は、ビット長の性能は十分ではありませんが、スピード性能では要求に合います。これは、合理的なコストで ADC 改良の度合を向上させる可能性を含んでいます。たとえば、それらの化合物半導体(恐らく HBT、HEMT および共振トンネリング・ダイオードのコンビネーション)のスピード性能をうまく利用して、化合物半導体技術と CMOS のハイブリッド技術への展開といったものです。化合物半導体のチャレンジは、単位面積あたりのデバイス密度の増加と、CMOS との混載技術開発です。

新規製品分野の実現性 - 通常、製品の出荷量を増やす戦略は、商品性能の向上とコスト削減です。しかしながら、これは、特にミックスド・シグナル部を含んでいる製品にとっては、半導体ビジネスの上で唯一の方法ではありません。それよりはむしろ、技術および設計上の革新により

新しい商品(近年の携帯電話のような)を実現し、それにより新販路に半導体産業の活路を見出す方法もあります。図 9 のミックスド・シグナル設計の分析は、将来の適用および、新販路のための設計ニーズおよび、設計の実現可能性を評価するためにも利用することができます。そこでは、ミックスド・シグナルの性能の向上とは、今日の技術で実現の難しい高性能で低消費電力な新製品を開発する能力と同等だということが見て取れます。あるいは、新製品の仕様が分かっている場合、我々は、これらの仕様をみたく技術を推測できます。そしてまた、半導体業界が受け入れられる価格と、性能をもち備えた製品を作れるであろうタイムフレームを推測できます。このように、FoM 概念は実現可能性および潜在的な新しいミックスド・シグナル製品の市場を評価するために使用することができます。低コストで高機能ミックスド・シグナル回路の開発は、今後も半導体産業をそのような新製品および新市場に向ける原動力になるでしょう。

ミックスド・シグナルにおけるチャレンジ

今日のミックスド・シグナル設計(特に古典的なアナログ設計の中では)のほとんどは、処理信号が電圧差によって表わされます。その結果、最大信号は供給電圧によって決定されます。供給電圧の減少は(一定のフィールド・スケーリングの結果)、最大達成可能信号レベルを減少させることを意味します。これは、SoCソリューションのミックスド・シグナル製品開発に強い影響を及ぼします。新しいミックスド・シグナル部分のための典型的開発期間はデジタルとメモリ部分よりはるかに長く、設計資源の全くの不足はこのように別の重要な挑戦になります。理想的な設計プロセスは、既存のミックスド・シグナル設計資産を再利用して、組込まれた SoC の外部インターフェイス仕様に合わせてパラメータ調節をすることですが、そのような再利用のためには最大動作電圧が標準のロードマップとは別タイプの MOSFET が必需になります。これは、PIDS の章でも取り上げられるミックスド・シグナル CMOS トランジスタで、より高いアナログ供給電圧を使用し、幾つかのデジタル・プロセス世代に渡ってその電圧仕様は一定なものになります。このようなデバイスでさえも、アナログ回路ブロックの電圧低下および開発期間がミックスド・シグナル機能の低価格化と効率的スケーリングのための主な障害となります。要約すると、最も困難なミックスド・シグナルにおけるチャレンジは以下の通りです。

- ・ **供給電圧の低下**: 電流モード回路とチャージポンプの電圧を高めること、そして、スタンダード・セル回路の電圧レベルの完全最適化が必要(PIDS、設計)。
- ・ **相対的パラメータ変化の増大**: 能動的ミスマッチ補償、そして、速度とソリューションのトレード・オフが必要(PIDS、FEP、リソグラフィ、設計)。
- ・ **アナログ・トランジスタ数(チップあたり)の増加**: 更なる高速化処理、そして、ミックスド・シグナル シミュレーション ツールの収束性の改善が必要(モデリング、シミュレーション、設計)。
- ・ **処理速度(クロック周波数)の増加**: デバイスおよび相互配線のより正確なモデリング、そして、テスト能力、パッケージとシステム・レベル統合が必要(テスト、アセンブリとパッケージング、モデリングとシミュレーション)。
- ・ **リークとクロストークの増加**(SoC集積に起因する): より正確なクロストークと遅延のモデリング、RF回路のための完全差動設計、そして、PIDS章に概説されている技術手段が必要

(PIDS、モデリングとシミュレーション、設計)。

・**設計スキルと生産性の不足**(トレーニングの欠如と自動化遅れに起因する) : 教育と基本設計ツール研究が必要(設計)。

SoC システム・ドライバ

システム・オン・チップ(SoC)ドライバクラスは、設計生産性を改善する知的資産(IP)の多くの再利用と、そして、異種技術を潜在的に包含するシステム・インテグレーションによって特徴づけられます。SoC は低コストおよび高密度統合を提供するために存在します。コストの考察は、早いターンアラウンド期間の設計方法論に加えて、低消費電力プロセスおよび安価なパッケージング・ソリューションの準備をドライブします。後者は、順番に、IP 記述、IP テスト(内蔵の自己テストおよび自己修復を含んで)、ブロック・インターフェイス合成などのための新しい基準および方法論が必要です。統合の考察は、チップ・パッケージ共通最適化の必要と同様に特別のシステム・コンポーネント(メモリ、センサーなど)がインプリメントされる異種混合の技術(フラッシュ、DRAM、MEMS、強誘電性メモリ(FRAM、MRAM)、化学センサーなど)の必要性をドライブします。このように、SoC は同一システム・パッケージだけでなく、同一製造プロセスの中で多重技術の集積可能性を秘めたドライバです。私たちは、多重技術統合(MT)、高機能(HP)および低消費電力と低コスト(LP)によって各々ドライブされる 3 つの形態に関して、SoC の性質および発展について議論します。この分割は、解体の意味でなく、むしろ主要な考えの各々を分けること意味します。(たとえば、低消費電力設計は高性能設計と同時にパッケージおよびシステム・コストを減少します)

SoC 複合技術

単一チップ上に異種システムを構築する必要性は、コスト、構造要因および信頼性のような考察によってドライブされます。従って、プロセス技術者は、MEMS、オプトエレクトロニクス等と CMOS の混合を追求します。プロセス複雑さは SoC-MT 適用のコストの主な要因です。何故なら、単一チップ上により多くの技術を集積することはより複雑なプロセスを必要とします。処理の全コストは、将来の新材料および処理ステップの組み合わせに対して予言することが困難です。しかしながら、与えられた SoC 上の技術数の制限下での現在のコスト考察では、プロセスはますますモジュール化が進みます(たとえば、標準の低消費電力ロジックプロセスにフラッシュ技術の追加を可能にすること)、しかし、モジュールは一般に「積み重ね」ができません。図 10 は、標準 CMOS プロセスにおける各技術の最初の統合の発展可能性を示します(他技術との同時統合と大量生産の必然性はありません)。後期の技術(化学センサー、電気光学、電気生物学)の CMOS 統合は、それほど確かではありません。なぜなら、これらは基礎的な技術進歩だけでなく、マルチ・チップのシステム・イン・パッケージ代案よりコスト効率の良い SoC-MT にも依存します。今日、多くの技術(フラッシュ、DRAM、GaAs)は、同一モジュール内でよりコスト効率良くシリコン上に積み重ねるか(flipped onto)、あるいはシリコンに並んで統合されます。また、システム応用での物理的規模(たとえば、耳と口=スピーカーとマイクロホンの分離、あるいは自動車内の距離)は、単一チップ化の必要(特にセンサー)に影響します。

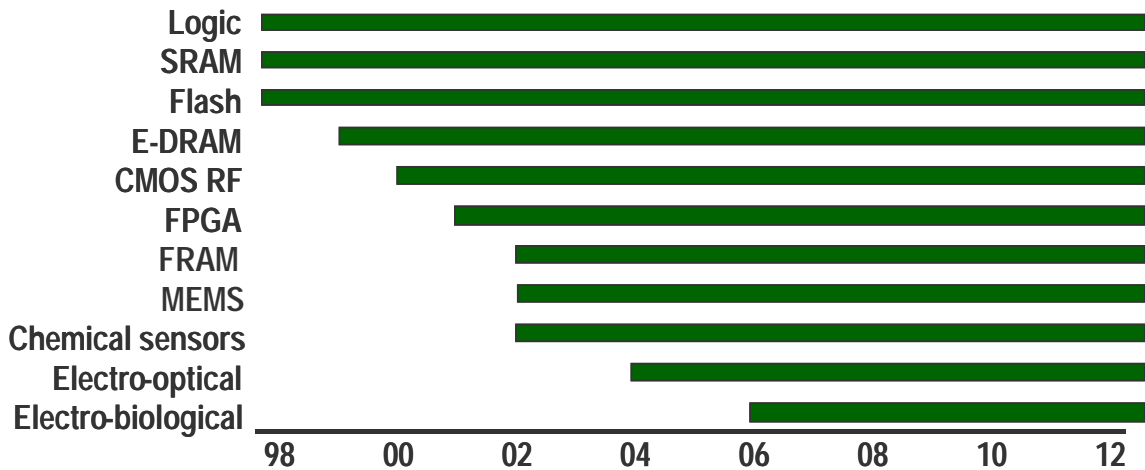


Figure 10 First Integration of Technologies on SOC with Standard CMOS Process

SoC - ハイ・パフォーマンス (SoC - HP)

SoC-HP の例はネットワーク・プロセサおよびハイエンド・ゲーム・アプリケーションを含んでいます。それは、MPU-SoC 集結されたものなので、SoC-HP は MPU と同様の傾向になり、単独でモデル化されません。しかしながら、SoC-HP のメリットを議論する局面において、即ち、高速ネットワーク領域の事例が、オフチップ I/O シグナリング(それは、テスト、アセンブリ、パッケージング設計に対する著しい技術チャレンジを創出することを折込む)に対する要求をドライブします。歴史上、チップ I/O 速度(ピンごとのバンド幅)は、内部クロック周波数より非常にゆっくりスケールアップされてきました。これは部分的には既存の遅い標準 I/O との互換性によります。しかし、主要な制限は、プリント基板上の終端されない CMOS 信号が、遅いセトリング・タイムによって、100MHz を著しく超えての信号伝送が困難であることからくるものです。過去十年間に、ロングホール・コミュニケーション・ネットワーク用に最初に開発されていた技術の高速リンクは、他のアプリケーションでの適用が増加しています。高速の I/O は、ポイント・ツー・ポイント接続すること(伝送路としてワイヤーを扱うこと)により、遅いセトリング時間の問題を解決します。今日、これらのシリアル接続の最も速いものでは 10Gbit/s で信号伝達することができます。

ハイスピード・リンクは、以下の 4 つのメイン部分を持っています。電気的信号へのビット変換するトランスミッター、それはボードレベルワイヤーに信号を乗せます。ワイヤー自体。ワイヤーの端で信号をビットに変換するレシーバー。ワイヤーの遅延を補い、正確なデータを得るために、正しい場所で信号をサンプリングするタイミング・リカバリー回路。レシーバー、トランスミッターおよびタイミング・リカバリー回路が、すべてアナログ・ブロック(たとえば、ミックスド・シグナル・ドライバの一部で議論した VCO は、タイミング・リカバリー回路の重要なコンポーネントです)を要求するので、そのようなリンクは本質的にミックスド・シグナルの設計になります。広く、言われているハイスピード・リンクは、チップ・ツー・チップ接続およびバックプレーン接続、オプティカル・システムの中で使用されます。これらの各々のアプリケーションを、もう少し詳細に議論してみましょう。

オプティカル・リンクは、一般に少数のオプティカル信号であり、これらのリンクは比較的複雑で、また、大容量インターフェイス回路を許容することができるため、一般に最も激しいリンク・パフォーマンスを推進します。今日、オプティカル・リンクは 1 ピンあたり 10Gbit/s に達し、テスト章(高速シリアル・リンクの議論)の中で計画されるような周波数の中で、率に応じて拡大し続けると予想されます。最初に、これらのリンク用エレクトロニクスは、CMOS が高速の必要条件を満たすことができないと思われたので、非 CMOS テクノロジーで作成されました。しかしながら過去 5 年に渡って、多くの研究者が 10Gbit/s に達することができる回路を開発しました。いくつかの論文が、1 ビットあたり 1FO4 デイレイと同じくらい高速動作するリンクを実証していた一方、ほとんどのリンクは、1 ビットあたり 2-4FO4 デイレイで動作します。(それは 180nm ノードで 10Gbit/s を導出します) 技術によってリンク・スピードを上げ続けることは回路的見地から可能に違いありませんが、寄生容量とパッケージングにより、困難になるでしょう。この速度の信号は、それらの信号パス中の、任意の不連続性に対し非常に敏感です。コントロールされたインピーダンス・パッケージングが使用されても、パッケージかボードでのバイアスは、信号品質を下げるインピーダンス変更を引き起こします。ESD 装置からの 1 - 2pF の寄生容量は、さらに著しく信号品質を下げるでしょう。従って、継続的なパフォーマンス・スケーリングは、ESD、パッケージおよびボード設計における重要な改善を要求するでしょう。

チップ・ツー・チップ・インターコネクションは、同じボード(互いに通常接近している)に置かれた 2 つのチップ間の情報を通信します。そのリンクで設計性能をはかる指標は、一般にそれらのチップをパラレル接続するリンク数であり Gbit/s ではありません。たとえば、2 倍の速さを得るために 10 倍の面積と 10 倍のパワーを要するならば、パラレルに 2 つのリンクを使用する方が良いことになります。従って、これらのリンクは単にパフォーマンスだけではなく、パフォーマンスおよびコストを踏まえて最適化されます。一般に、最も高速なチップ・ツー・チップ・リンク・スピードは、最も速いオプティカル・リンク・スピードより 2 ~ 4 倍遅いです。これらのリンクのためのビット時間は、劇的に変化します。たとえば、ポイント・ツー・ポイント・リンクは、今日 2.5ns(400Mbit/s) から 0.4ns(2.5Gbit/s) のビット時間範囲で利用可能です。このパフォーマンスの広い範囲は、必要とされる IO 数 (IO 数が増えれば、より遅いスピードで対応できる) や、設計者が好んで採用しようとするリスクの程度や、時には既存の標準 IO などに依存します。信頼性高い(堅牢な)高速 I/O の設計は、現状ツールでは、まだ自動化できず、チェックすることができないというミックスド・シグナルの課題を持ちます。従って、多くの設計チームは I/O レートを選ぶ時、未だ、保守的になります。テクノロジー・スケールやデザイン・ツールが、より信頼性が高くなるにつれて、4-8FO4 デイレイに近づくべきであろう、しかし、それには、パッケージや他の寄生効果を補うための付加回路が必要となります。

高速リンクのための最後の主要な応用は、ネットワーキング(ここでは、異なるボード上の 2 チップが通信しなければなりません)にあります。シグナル・パスは、依然としてポイント・ツー・ポイントではありますが、それは、あるチップからパッケージ経由でローカル・ボードへ、コネクタ経由で別のボードへ、そして、別のコネクタを通過して目的のボードへ、そして、そのボードや受信パッケージを通過して、レシーバー・チップへと信号伝達します。ハイバンド幅については各チップ

22 システム・ドライバ

が、一般に多くのリンクを持っています。従って、単位コストあたりのパフォーマンスが重要です。チップ・ツー・チップ・リンクとの基本的な違いは、2 つのチップ間の「ワイヤー」がより悪い電気的な特性を持っているということです。ワイヤー問題は、ちょうど 2.5Gbit/s に到達する現在のシステムで明らかになっています。速度が、5Gbit/s そして 10Gbit/s(それは 130nm ノードの目標とされる)に増加するとともに、それらは重大な懸念事項になるでしょう。

SoC - ローコスト、ローパワー

SoC-LP の例はポータブル、および PDA あるいはデジタル・カメラ・チップのような無線応用を含んでいます。テーブル 10 はマルチ・メディア処理能力で、ローパワー、消費者ニーズ、ハンドヘルド・ワイヤレス・デバイス(“PDA”)の様々な、特性に対する要求を示すものです。それは、部分的に日本半導体技術ロードマップ・ワーキング・グループ (STRJ-WG) により作成されたモデルに基づくもので、オリジナルは 2000 年の ITRS の最新版(デザイン・チャプター)に紹介されたものです。モデルの重要な様相は以下のとおりです。²¹

- ・ システムデザインは、CPU、DSP、他の処理エンジンの組込みブロック、および SRAM、組込み DRAM 回路からなります。プロセッサ・コア・ロジックは、1 ノードあたり4倍増加し、メモリ容量は 1 ノードあたり2 ~ 4倍増加します。²²
- ・ ダイサイズは増加した機能を提供するために 2016 年まで平均して 1 ノードあたり 20%増加します。これは、アプリケーション領域のヒストリカル・トレンドと一致します。
- ・ メモリとロジックによる構成のレイアウト密度は、組込み eDRAM の密度が、3倍の SRAM 密度であると仮定した場合の MPU ドライバと同じです。
- ・ 最大のオンチップ・クロック周波数は、各ノードの MPU クロック周波数のおよそ 5-10%です。
- ・ バッテリー寿命により、最大消費電力は「100 で 0.1W」、スタンバイ・パワーは 2.1mW までに制限されています。²³

²¹ Other aspects of the model, which are not essential to the following analyses, address external communication speed (increasing by 6× per node in the near term, starting from 384 Kbps in 2001) and addressable system memory (increasing by 10× per node, starting from 0.1Gb in 2001).

²² The PDA contains approximately 20 million transistors in 2001. The model assumes that increasing parallel computation will be required in each generation of the device, to support video, audio and voice recognition functionality. This is reflected in CPU and DSP content (e.g., number of cores), which increases four-fold (4×) per technology node to match the processing demands of the corresponding applications. (By comparison, MPU logic content is projected to double with each node.) Overhead area (I/O buffer cells, pad ring, whitespace due to block packing, analog blocks, etc.) is fixed at 28% of the die. The 20M transistor count is broken down as follows. A typical CPU/DSP core (e.g., ARM) today is approximately 30-40K gates, or 125K transistors. We assume four such cores on chip in 2001, i.e., 500K CPU/DSP core transistors. In 2001, the “peripheral” logic transistor count is 11.5M transistors, and this count grows at 2X/node thereafter. SRAM transistor count is 8M in 2001, and grows at 2×/node thereafter. The composition of SRAM versus DRAM depends on the ratio of memory to logic. We assume that embedded DRAM (eDRAM) is cost effective when at least 30% of the chip area is memory. Its use is not invoked until the 30% trigger point, and begins at 16Mb in 2004. Once triggered, the eDRAM content quadruples every technology node. (While the SOC-LP PDA is a “single-chip design”, we do not imply any judgement as to whether multi-die or single-die implementation will be more cost-effective.)

²³ At 120Wh/kg in 2001, a 140g battery allows 0.1W operation for 7 days, 24 hours per day.

SoC トレンド

SoC は低価格で迅速なシステム・インプリメンテーションに主眼が向けられるため SoC 設計の達成目標にパワーマネジメントと設計生産性がまずは盛り込まれるべきでしょう。以下の議論は、これらの問題に関する SoC-LP ドライバの傾向分析です。

消費電力 SoC-LP モデルのための消費電力を決定するためには、2つのアプローチがあります。第1のアプローチは「トップダウン」的にシステム使用(0.1Wの最大消費電力、また 2.1mWのスタンバイ電力を受け入れることです。第2のアプローチは、プロセスと回路パラメータや集積されるロジックおよびメモリサイズから「ボトム・アップ」的に要求仕様を決める方法です。ロジック部分の消費電力は $CV_{dd}^2f + I_{off}V_{dd}$ のモデル式で見積れます。これは、MPU のパワー分析で使用される面積ベースの計算方法です。メモリの消費電力モデルも $CV_{dd}^2f + I_{off}V_{dd}$ を使用します。この場合の I_{off} は上記モデルの係数とは違います。²⁴ PIDS 章に記述されたローパワーデバイスロードマップを参照してください。テーブル 11 で使用した数値に関しては、低スタンバイ電力 (LSTP) および低動作電力 (LOP) デバイスのための主要な数値をリストし、これらを MPU の消費電力および動作周波数分析に使用したハイ・パフォーマンスモデルと対比しています。将来の消費電力 SoC は動作電力、スタンバイ電力と性能を最大限に制御するために同一のコアに複数のテクノロジー (LOP, LSTP, HP) を混載することは間違いありません。

図 11 に「ボトム・アップ」のうち動作温度 100 °C で最も低消費電力のモデルを示しました。前提にしたのは、全てのロジック回路が LOP あるいは LSTP デバイスで構成され動作条件仕様は前項の脚注に記載のものです。ただし、これは最下限モデルです。現実には、一部ロジック部はより高速なデバイスでインプリメントされないと商品の要求仕様は満たさないでしょう。この図では SoC-LP の消費電力が PDA アプリケーションの低消費電力の要求仕様を満たさないことを示し、さらに各モデルの消費電力との関係をブレイクダウンしています。モデルごとから察するように LSTP は動作時の消費電力が目立ち、LOP はスタンバイ時の消費電力の大きさが目立ちます。²⁵ LOP デバイスだけを使用するチップの消費電力は 2016 年に 2.45W に達し、それは主には、2010 年以降のスタティック消費電力の急激な増加によります。LSTP デバイスだけのチップの消費電力は 2016 年に 1.5W に達します。また、そのほとんどは動作時の消費電力です。

Table 10 System Functional Requirements for the PDA SOC-LP Driver

YEAR OF PRODUCTION	2001	2004	2007	2010	2013	2016
Process Technology (nm)	130	90	65	45	32	22
Supply Voltage (V)	1.2	1	0.8	0.6	0.5	0.4
Clock Frequency (MHz)	150	300	450	600	900	1200
Application (maximum required performance)	Still Image Processing Web Browser	Real Time Video Codec (MPEG4/CIF)		Real Time Interpretation		
Application (other)		TV Telephone (1:1)		TV Telephone (>3:1)		

²⁴ I_{off} denotes the NMOSFET drain current at room temperature, and is the sum of the NMOS sub-threshold, gate, and junction leakage current components, as described in the [PIDS](#) chapter. Details of active capacitance density calculations, dependences on temperature and threshold, etc. may be found in the PIDS Chapter documentation and in the following [supplemental file](#). The activity of logic blocks is fixed at 10%. The activity of memory blocks is estimated to be 0.4% based on the following analysis of large memory designs. We first assume that a memory cell contributes 2 gate capacitances of minimum size transistors for switching purposes, accounting for source/drain capacitances, contact capacitances and wiring capacitance along the bit lines. A write access requires power in the row/column decoders, word line and M bit lines, sense amplifiers and output buffers. We consider memory to be addressed with 2N bits and assume that memory power is due primarily to the column capacitances, and that Mx2^N bits are accessed simultaneously out of 2^Nx2^N possible bits. Then $\alpha = M/2^N$ which is the ratio of accessed bit to total bits in the memory. For example, for a 16Mbit memory, M=16 and N=12; hence $\alpha = 0.4\%$.

²⁵ At 25°C, dynamic power dissipation dominates the total power in both the LOP and LSTP cases.

24 システム・ドライバ

	Electric Mailer Scheduler	Voice Recognition (Input Authentication (Crypto Engine))		Voice Recognition (Operation)		
Processing Performance (GOPS)	0.3	2	15	103	720	5042
Required Average Power (W)	0.1	0.1	0.1	0.1	0.1	0.1
Required Standby Power (mW)	2.1	2.1	2.1	2.1	2.1	2.1
Battery Capacity (Wh/Kg)	120	200		400		

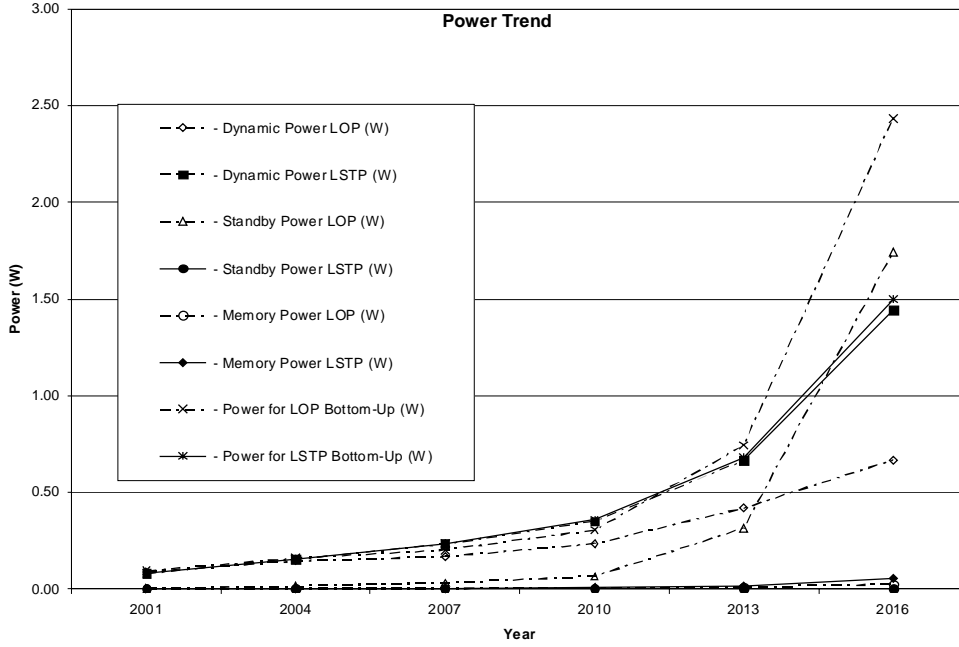


Figure 11 Total Chip Power Trend for PDA Application

Table 11 Low Operating Power (LOP) and Low Standby Power (LSTP) Device and Process Attributes

		99	00	01	02	03	04	05	06	07	10	13	16
Parameter	Type												
Tox (nm)	MPU	3.00	2.30	2.2 0	2.2 0	2.0 0	1.80	1.70	1.7 0	1.30	1.10	1.00	0.90
	LOP	3.20	3.00	2.2	2.0	1.8	1.6	1.4	1.3	1.2	1.0	0.9	0.8
	LSTP	3.20	3.00	2.6	2.4	2.2	2.0	1.8	1.6	1.4	1.1	1.0	0.9
Vdd	MPU	1.5	1.3	1.2	1.1	1.0	1.0	0.9	0.9	0.7	0.6	0.5	0.4
	LOP	1.3	1.2	1.2	1.2	1.1	1.1	1.0	1.0	0.9	0.8	0.7	0.6
	LSTP	1.3	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.1	1.0	0.9	0.9
Vth (V)	MPU	0.21	0.19	0.1 9	0.1 5	0.1 3	0.12	0.09	0.0 6	0.05	0.021	0.003	0.003
	LOP	0.34	0.34	0.3 4	0.3 5	0.3 6	0.32	0.33	0.3 4	0.29	0.29	0.25	0.22
	LSTP	0.51	0.51	0.5 1	0.5 2	0.5 3	0.53	0.54	0.5 5	0.52	0.49	0.45	0.45
Ion (uA/um)	MPU	1041	1022	926	959	967	954	924	960	1091	1250	1492	1507
	LOP	636	591	600	600	600	600	600	600	700	700	800	900
	LSTP	300	300	300	300	400	400	400	400	500	500	600	800
CV/I (ps)	MPU	2.00	1.64	1.6 3	1.3 4	1.1 6	0.99	0.86	0.7 9	0.66	0.39	0.23	0.16
	LOP	3.50	2.87	2.5 5	2.4 5	2.0 2	1.84	1.58	1.4 1	1.14	0.85	0.56	0.35
	LSTP	4.21	3.46	4.6 1	4.4 1	2.9 6	2.68	2.51	2.3 2	1.81	1.43	0.91	0.57
Ig (uA/um)	MPU	2e-5	1e-2	2e- 2	2e- 2	1e- 1	2e-1	3e-1	3e- 1	3e-4	1e-5	4e-9	2e-16
Ioff (uA/um)	MPU	0.00	0.01	0.0 1	0.0 3	0.0 7	0.10	0.30	0.7 0	1.00	3	7	10
	LOP	1e-4	1e-4	1e- 4	1e- 4	1e- 4	3e-4	3e-4	3e- 4	7e-4	1e-3	3e-3	1e-2
	LSTP	1e-6	1e-6	1e- 6	1e- 6	1e- 6	1e-6	1-6	1e- 6	1-6	3e-6	7e-6	1e-5
Gate L (nm)	MPU	100	70	65	53	45	37	32	30	25	18	13	9
	L(*P)	110	100	90	80	65	53	45	37	32	22	16	11
Gate cap	MPU	1.39	1.29	1.2 6	1.0 7	1.0 2	0.95	0.87	0.8 5	0.90	0.81	0.69	0.59
(fF/um)	LOP	1.43	1.39	1.2 8	1.2 3	1.1 0	1.00	0.95	0.8 5	0.89	0.75	0.63	0.53
	LSTP	1.43	1.39	1.1 5	1.1 0	0.9 9	0.89	0.84	0.7 7	0.82	0.71	0.61	0.51

Table 12 Power Management Gap

	2001	2004	2007	2010	2013	2016
Total LOP Dynamic Power Gap (X)	-0.06	0.59	1.03	2.04	6.43	23.34
Total LSTP Dynamic Power Gap (X)	-0.19	0.55	1.35	2.57	5.81	14.00
Total LOP Standby Power Gap (X)	0.85	5.25	14.55	30.18	148.76	828.71
Total LSTP Standby Power Gap (X)	-0.98	-0.98	-0.97	-0.88	-0.55	0.24

テーブル 12 にこれらのモデルから導出したパワーマネジメント・ギャップを示します。これらは、組み込みソフトウェアや OS、アーキテクチャ回路設計の組み合わせによって達成されなければならない電力制御の改善度の大きさです。²⁶ 要求される消費電力の改善度は動作時で 20

²⁶ For HP MPUs implemented using high-performance devices, the ITRS model implies a nearly 30X power management gap by the end of the roadmap with respect to package power limits (this can be seen from the following [GTX study](#)). An alternative portrayal of the power management gap is that the maximum chip area that can contain logic decreases substantially if the chip is to remain within power constraints, and if we simply

26 システム・ドライバ

倍、スタンバイ時で 800 倍にもなります。ここに、パワー・ギャップの合計は(消費電力の合計 - 0.1W)/0.1W(PDA 消費電力の商品仕様)として定義され、また同様にスタンバイ時消費電力のパワー・ギャップは(スタンバイ時消費電力の合計 - 2.1mW)/2.1mW(PDA スタンバイ時消費電力の商品要求仕様)として定義されます。マイナスの値は、パワー・マネジメント・ギャップが無いことを意味します。(つまり既存の技術で十分要求を満足できます。)

図 12 では、SoC-LP 設計ロジック/メモリ構成比に関する考察を行います。ここではチップの消費電力は 0.1W 以下で、チップ・サイズは 100mm² と仮定します。LSTP デバイスの動作時消費電力は、LOP デバイスのものよりはるかに大きいので、LSTP デバイスのメモリ構成比はロジックを遥かにしのぐ勢いで増大します。この2つのモデルは、パワー・マネジメント技術に本質的な改善がなければ、2016 年までにチップのほとんどはメモリのみになってゆくことを示します。たとえ消費電力を 0.1W 一定に抑えられたとしても、PDA のチップ・サイズはノードごとに約 20% 増加して行くことを考えてください。これだけでも、長期的にメモリ、ロジック構成比の極端なアンバランスを生じる原因になるでしょう。

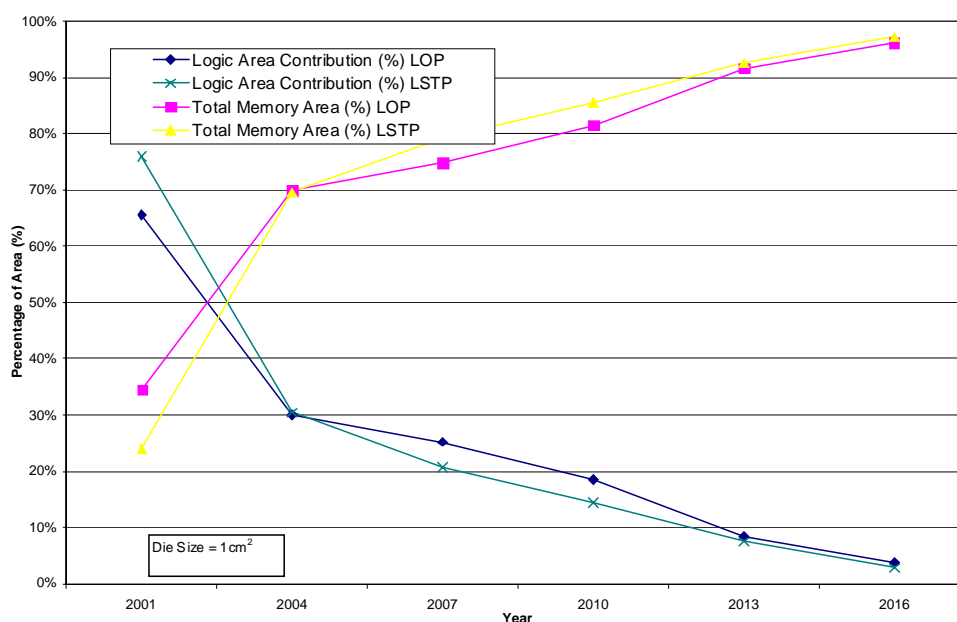


Figure 12 Power Gap Effect on Chip Composition

extrapolate current designs (without any improvement in application-level, OS-level, VLSI architecture, and IC design technology for power management).

設計生産性 標準的な設計ゲート数/人・日の概念は、集積回路の設計者の設計生産性を計る単位としてよく使用されます。この性能指標は、もっとIP再利用やSoC設計ツールを改良するなどして設計生産性を改善しなければならない要求改善度を表すのに使われます。設計ゲート数/人・日の標準値はプロジェクトごとに測定されて設計プロセス全体の設計生産性を計る指標にできます。設計生産性の重要性を計る別の指標として、SoCに集積可能なメモリとロジックの構成比率を使うこともできます。ロジック部分の新規開発には多大の設計工数が必用であり、また再利用可能な設計ブロックが仮にあったとしても、それを再利用するためにもある程度の（内容の理解、検証、組込み等の）設計オーバーヘッドが必要になるからです。その点メモリ設計は、コンパイラで生成するとすれば最低限の工数ですみます。これらの仮定から、以下のようなモデルが導き出せる。このモデルの初期のものは2000ITRS Design updateで議論され、GTX研究の補足資料の中で述べられています。

- ・新規ロジックの設計生産性は1999年には360Kゲート/人・年（総計1000ゲート/人・日）で、その後特定の割合でノードごとに増加している。
- ・再利用ロジックの設計生産性は1999年には720Kゲート/人・年で、その後特定の割合でノードごとに増加している。
- ・メモリ設計のコストは、メモリコンパイラを使うことで無視できる程度に収まっている。
- ・通常規模のSoC設計に費やせる工数は、10人・年程度で固定。
- ・ロジックとメモリの回路集積度はMPUのロードマップに追随する。

図13は、ある決められた面積のチップに最大限集積できるロジック部（y軸）と、メモリが占める面積比（x軸）の関係をプロットしたものです。新規ロジックは常に最大規模に成るようにして²⁷、再利用ロジックと新規ロジックの実現可能な回路規模をy軸に取りました。ダイサイズは1cm²一定にして、ノードごとに42%設計生産性が向上するものと仮定しています。この図には4つのITRSノードについて、10人・年以下の工数で実現できるSoC設計のモデルを、順番に右側へプロットしています。²⁸ 2001年には、要求工数が10人・年以内に収まっているので、設計者の意図でメモリ/ロジックや新規設計/再利用設計の比率が決められる状況にあります。ところが、2016年にはチップ面積の約95%はメモリで埋めざるを得ない状況にあり、残りの5%に新規ロジックや再利用ロジックブロックが組込まれます。このことから図13に示されるように、適切な設計生産性の向上が無ければ、一定の設計者リソースで一定のダイサイズを想定した場合、その中身は殆どがメモリのみで占められ、若干の再利用ブロックがあるだけのSoCになってしまうことが分かります。

このことから要求される設計生産性も、SoCのロジック規模の増加、あるいは単純に集積されるTr規模の増加に合わせて向上しなければなりません。もし集積可能なトランジスタ数が各ノードごとに2倍になるとするなら、同様の設計内容を維持するためにはノードごとに100%の設計生産性の向上が求められます。図14aに幾つかの設計生産性の向上率の違いによってロジック/メモリの比率がどのように変化するかを示しました。図14bではノードごとの設計生産性向上率を100%にした場合、2001年に見られる設計自由度が2016年まで維持され

²⁷ Chip area consists of memory plus new logic plus reused logic. A vertical line in the plot defines a possible combination of the three components. Only those solutions that require 10 person-years or less (right hand scale on y-axis) are considered to be valid.

²⁸ For example, in the year 2001 graph, if a chip has 20% memory area, then up to 18% new logic (and 62% reused logic) may be designed with a design resource of 10 person-years. However, if a chip has 80% memory in year 2001, then we can design all the way up to 20% new logic (and 0% reused logic) with only a 5 person-year design resource.

ることを示しました。このようなレベルの設計生産性の向上がSoCに対するキーチャレンジです。これは Design Chapter でもふれていますが、上位レベルでの設計再利用は、特定の応用分野でプラットフォーム・ベース設計手法により実現可能です。これにより同一のプラットフォームと個別設計用に用意された追加部分を加えて短期間での設計完了が可能です。このプラットフォームに生産でのプログラマビリティが加われば、さらに設計生産性を向上することができます。

SoC チャレンジ

SoC 実現のためには、たとえば再利用可能なアナログIPの開発といったような、Design, Test,PIDS やその他の分野と関わる多くの技術課題が考えられます。特に困難な SoC チャレンジとしては、

- ・ 各ノードごと100%以上の設計生産性の向上、これはプラットフォーム・ベース設計²⁹ や製造(設計³⁰) 時の論理回路のプログラマビリティなどの要求も含む。
- ・ 消費電力の制御性能の向上、特に低消費電力、無線通信、マルチ・メディアでの応用分野で重要。(Design,PIDS)
- ・ MEMS やオプトエレクトロニクスといった異種技術を集積するためのシステムレベル設計技術。(PIDS,FEP,Design)
- ・ テストの再利用性の実現やアナログ/デジタルBIST技術等の要求を含む、統合的なSoCテストメソッドロジの開発。

²⁹ Platform-based design is focused on a specific application domain. The platform embodies the hardware architecture, embedded software architecture, design methodologies for IP authoring and integration, design guidelines and modeling standards, IP characterization and support, and hardware/software verification and prototyping. Derivative designs may be rapidly implemented from a single platform that has a fixed portion and a variable portion that permits proprietary or differentiated designs (See: H. Chang et al., Surviving the SOC Revolution: A Guide to Platform-based Design, Boston, Kluwer Academic, 1999.)

³⁰ A programmable logic core is a flexible logic fabric that can be customized to implement any digital logic function after fabrication. The structure of a programmable logic fabric may be similar to an FPGA capability within specific blocks of the SOC. They allow reprogrammability, adaptability and reconfigurability which greatly improves chip productivity. Applications include blocks that implement standards and protocols that continue to evolve, changing design specifications, and customization of logic for different, but related, applications and customers.

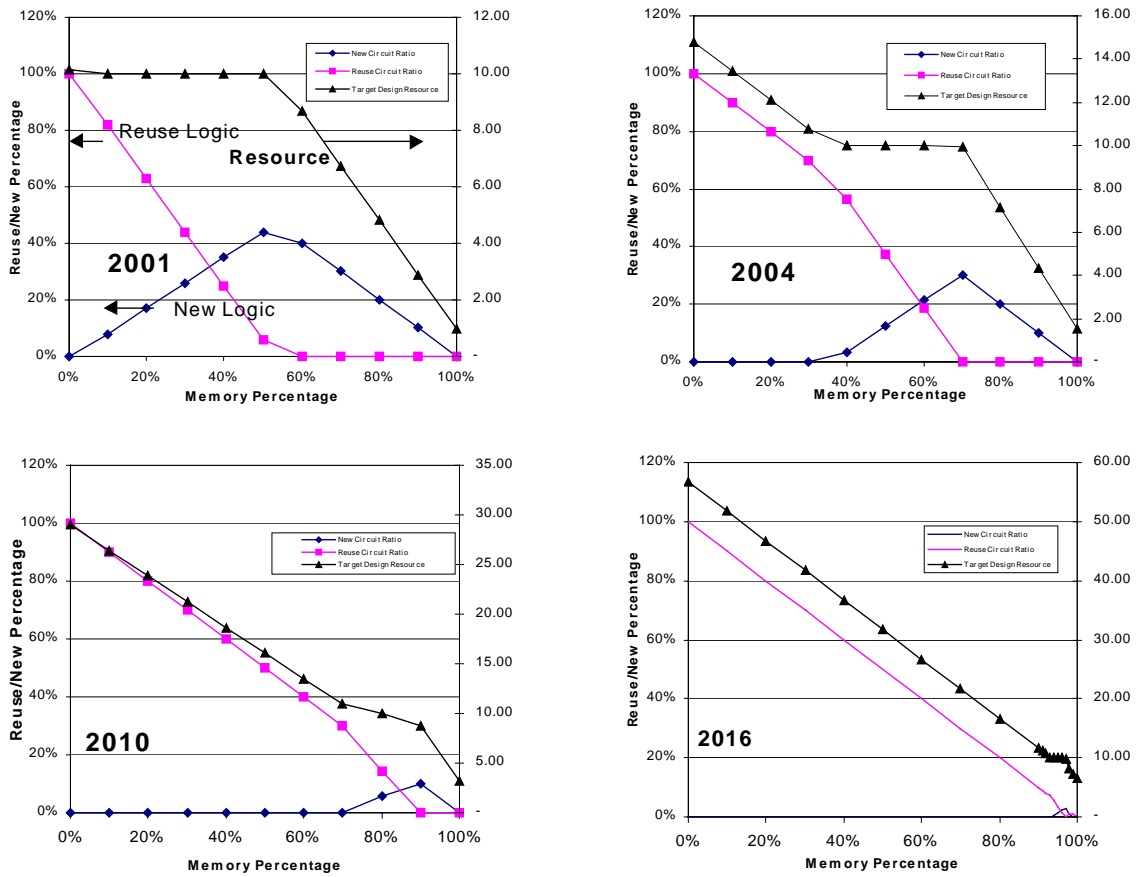


Figure 13 New and Reused Logic Content versus Memory Content with Constant Die Size and Insufficient (42% Per Node) Design Productivity Growth

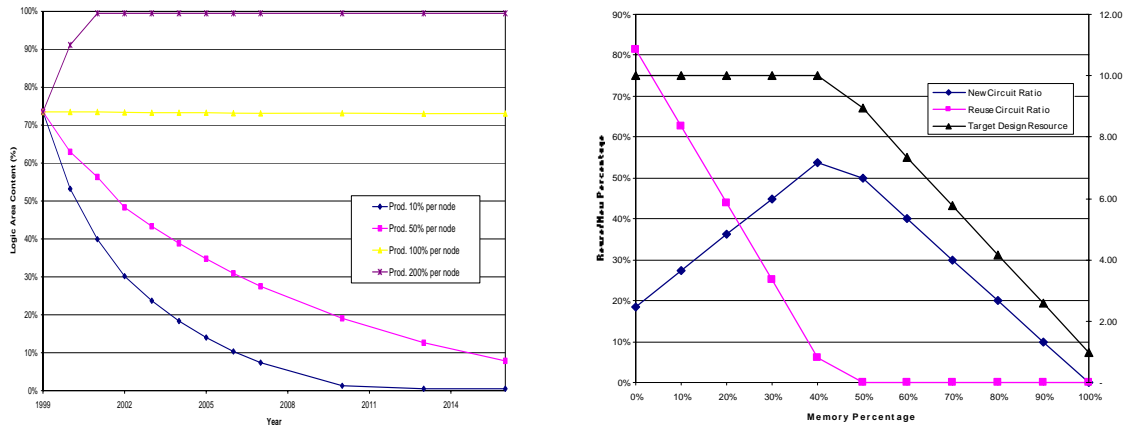


Figure 14a Evolution of Maximum Logic Content with Different Rates of Design Productivity Improvement

Figure 14b 100% Productivity Improvement per Node Will Preserve Designer Freedom at the End of the ITRS Forecast Period

