

特長

- 低位相ノイズの位相ロック・ループ (PLL) コア
 - 250MHzまでのリファレンス入力周波数
 - プログラマブルなデュアル・モジュラス・プリスケアラ
 - プログラマブルなチャージ・ポンプ (CP) 電流
 - チューニング範囲を拡張する分離されたCP電源 (VCP_S)
- 1.6GHzの差動クロック入力×2本
 - プログラマブルなデバイダ×8個、1~32、すべての整数
- 出力間遅延粗調整用の位相選択
 - 独立した1.2GHz LVPECL出力×4本
 - 出力増加ジッタ: 225 fs rms
 - 独立した800/250MHz LVDS/CMOS出力×4本
 - 出力増加ジッタ: 275 fs rms
 - 2本のLVDS/CMOS出力に遅延微調整機能
- シリアル・コントロール・ポート
 - 省スペースの64ピンLFCSPを採用

アプリケーション

- 低ジッタ低位相ノイズのクロック分配
- 高速なADC、DAC、DDS、DDC、DUC、MxFEのクロック駆動
- 高性能ワイヤレス・トランシーバ
- 高性能計測機器
- ブロードバンドのインフラストラクチャ

機能ブロック図

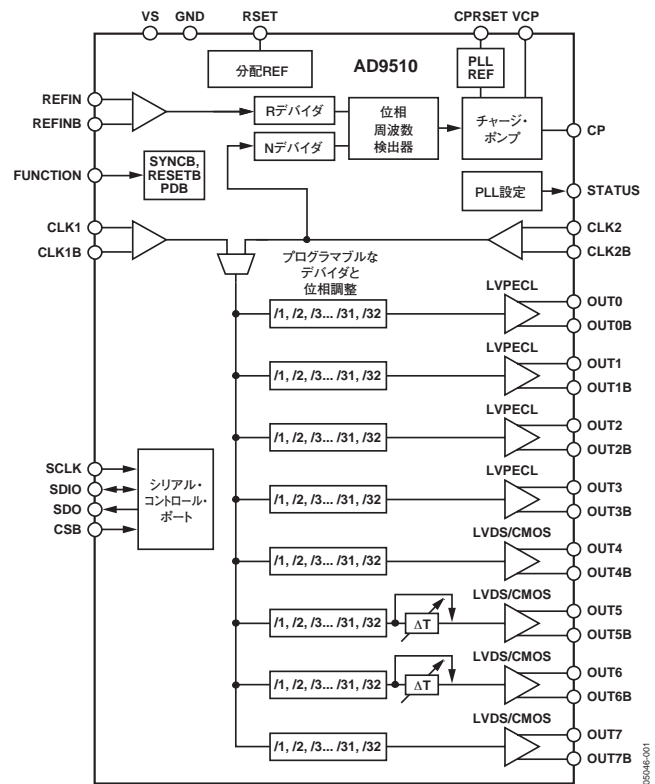


図1

概要

AD9510は、マルチ出力クロック分配機能とPLLコアを内蔵しています。データ・コンバータの性能を最大化するために、設計により低ジッタと位相ノイズの性能を強化しています。この製品は、位相ノイズとジッタの条件が厳しいその他のアプリケーションにも利用できます。

PLL部は、プログラマブルなリファレンス・デバイダ(R)、低ノイズ位相周波数検出器(PFD)、高精度チャージ・ポンプ(CP)、プログラマブルな帰還デバイダ(N)から構成されています。外付けのVCOまたはVCOをCLK2/CLK2Bピンに接続することで、1.6GHzまでの周波数を入力リファレンスに同期化することができます。

独立したクロック出力が8本あります。4本がLVPECL (1.2GHz)で、残りの4本はLVDS (800MHz)レベルまたはCMOS (250MHz)レベルとして選択可能です。

各出力にはプログラマブルなデバイダが付いており、このデバイダはバイパスするか、または32までの任意の整数で分周するように設定できます。クロック出力間の位相はデバイダの位相選択機能を使って変更できます。この位相選択機能は、タイミングの粗調整として機能します。2本のLVDS/CMOS出力には、遅延が最大10nsのフルスケールを持つプログラマブルな遅延回路が付いています。この微調整チューニング遅延ブロックは5ビットの分解能を持ち、設定された各遅延フルスケールから32通りの遅延時間を選択できます。

AD9510は、ピコ秒未満のジッタを持つエンコード信号を使うことによりコンバータの性能を最大化できるようなデータ・コンバータ・クロック駆動アプリケーションに最適です。64ピンLFCSPパッケージを採用し、3.3Vの単電源で動作します。チャージ・ポンプ電源(VCP)に5.5Vを接続すると、広い電圧範囲を必要とする外付けVCOをサポートできます。温度範囲は-40~+85℃です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは、REVISIONが古い場合があります。最新の内容については、英語版をご参照ください。©2005 Analog Devices, Inc. All rights reserved.

AD9510

目次

仕様	4	AカウンタおよびBカウンタ	30
PLL特性	4	P、A、B、Rの値の決定	30
クロック入力	5	位相周波数検出器 (PFD) およびチャージ・ポンプ	31
クロック出力	6	アンチバックラッシュ・パルス	31
タイミング特性	7	STATUSピン	31
クロック出力位相ノイズ	9	PLLデジタル・ロック検出	31
クロック出力増加時間ジッタ	12	PLLアナログ・ロック検出	32
PLL、分配位相ノイズ、スプリアス	14	リファレンスの喪失	32
シリアル・コントロール・ポート	15	FUNCTIONピン	33
FUNCTIONピン	15	RESETB: 58h<6:5>=00b (デフォルト)	33
STATUSピン	16	SYNCB: 58h<6:5>=01b	33
電源	16	PDB: 58h<6:5>=11b	33
タイミング図	17	分配部	33
絶対最大定格	18	CLK1およびCLK2クロック入力	33
熱特性	18	デバイダ	33
ESDに関する注意	18	分周比の設定	34
ピン配置および機能の説明	19	デューティサイクルの設定	34
用語の説明	21	デバイダの位相オフセット	38
代表的な性能特性	22	遅延ブロック	39
代表的な動作モード	26	遅延の計算	39
外付けVCXO/VCOによるPLLとそれに続くクロック分配	26	出力	39
クロック分配専用	26	パワーダウン・モード	40
外付けVCOとバンドパス・フィルタによるPLLとそれに続くクロック分配	27	チップ・パワーダウンまたはスリープ・モード—PDB	40
機能説明	29	PLLのパワーダウン	40
概要	29	分配部のパワーダウン	40
PLL部	29	個別クロック出力のパワーダウン	40
PLLリファレンス入力—REFIN	29	個別回路ブロックのパワーダウン	40
VCO/VCXOクロック入力—CLK2	29	リセット・モード	41
PLLリファレンス・デバイダ—R	29	パワーオン・リセット—VSを加えたときのスタートアップ状態	41
VCO/VCXO帰還デバイダ—N (P、A、B)	29	FUNCTIONピンによる非同期リセット	41
		シリアル・ポートからのソフト・リセット	41

シングルチップの同期	41	レジスタ・マップの説明	49
SYNCB—ハードウェア同期	41	電源	56
ソフト同期—レジスタ 58h<2>	41	電源管理	56
複数チップの同期化	41	アプリケーション	57
シリアル・コントロール・ポート	42	ADCクロック・アプリケーションへのAD9510出力の使用	57
シリアル・コントロール・ポート・ピンの説明	42	CMOSクロックの分配	57
シリアル・コントロール・ポートの全体的な動作	42	LVPECLクロックの分配	58
CSBによる通信サイクルのフレーミング	42	LVDSクロックの分配	58
通信サイクル—命令+データ	42	電源とグラウンドについての考慮事項、 および電源電圧変動除去比	58
書込み	42	外形寸法	59
読出し	43	オーダー・ガイド	59
命令ワード (16ビット)	43		
MSB/LSBファーストの転送	43		
レジスタ・マップおよび説明	46		
一覧表	46		

改訂履歴

5/05—Rev. 0 to Rev. A

Changes to Features	1	Changes to Calculating the Delay Section	38
Changes to Table 1 and Table 2	5	Changes to Soft Reset via the Serial Port Section	41
Changes to Table 4	8	Changes to Multichip Synchronization Section	41
Changes to Table 5	9	Changes to Serial Control Port Section	42
Changes to Table 6	14	Changes to Serial Control Port Pin Descriptions Section	42
Changes to Table 8 and Table 9	15	Changes to General Operation of Serial Control Port Section	42
Changes to Table 11	16	Added Framing a Communication Cycle with CSB Section	42
Changes to Table 13	20	Added Communication Cycle—Instruction Plus Data Section	42
Changes to Figure 7 and Figure 10	22	Changes to Write Section	42
Changes to Figure 19 to Figure 23	24	Changes to Read Section	42
Changes to Figure 30 and Figure 31	26	Changes to The Instruction Word (16 Bits) Section	43
Changes to Figure 32	27	Changes to Table 20	43
Changes to Figure 33	28	Changes to MSB/LSB First Transfers Section	43
Changes to VCO/VCXO Clock Input—CLK2 Section	29	Changes to Table 21	44
Changes to A and B Counters Section	30	Added Figure 52; Renumbered Sequentially	45
Changes to PLL Digital Lock Detect Section	31	Changes to Table 23	46
Changes to PLL Analog Lock Detect Section	32	Changes to Table 24	49
Changes to Loss of Reference Section	32	Changes to Using the AD9510 Outputs for ADC Clock Applications	57
Changes to FUNCTION Pin Section	33		
Changes to RESETB: 58h<6:5> = 00b (Default) Section	33		
Changes to SYNCB: 58h<6:5> = 01b Section	33		
Changes to CLK1 and CLK2 Clock Inputs Section	33		

4/05—Revision 0: Initial Version

AD9510

仕様

特に指定のない限りTyp値は、 $V_S=3.3V\pm 5\%$ 、 $V_S\leq V_{CP_S}\leq 5.5V$ 、 $T_A=25^\circ C$ 、 $R_{SET}=4.12k\Omega$ 、 $CPR_{SET}=5.1k\Omega$ のときの値です。
最小値 (Min) と最大値 (Max) は、 V_S と T_A ($-40\sim+85^\circ C$) の最大変動に対する値です。

PLL特性

表1

パラメータ	Min	Typ	Max	単位	テスト・レベル条件/コメント
リファレンス入力 (REFIN)					
入力周波数	0		250	MHz	
入力感度		150		mV p-p	
セルフバイアス電圧 (REFIN)	1.45	1.60	1.75	V	REFIN ¹ のセルフバイアス電圧
セルフバイアス電圧 (REFINB)	1.40	1.50	1.60	V	REFINB ¹ のセルフバイアス電圧
入力抵抗 (REFIN)	4.0	4.9	5.8	k Ω	セルフバイアス時 ¹
入力抵抗 (REFINB)	4.5	5.4	6.3	k Ω	セルフバイアス時 ¹
入力容量		2		pF	
位相周波数検出器 (PFD)					
PFD入力周波数			100	MHz	アンチバックラッシュ・パルス幅0Dh<1:0>=00b
PFD入力周波数			100	MHz	アンチバックラッシュ・パルス幅0Dh<1:0>=01b
PFD入力周波数			45	MHz	アンチバックラッシュ・パルス幅0Dh<1:0>=10b
アンチバックラッシュ・パルス幅		1.3		ns	0Dh<1:0>=00b (デフォルト設定)
アンチバックラッシュ・パルス幅		2.9		ns	0Dh<1:0>=01b
アンチバックラッシュ・パルス幅		6.0		ns	0Dh<1:0>=10b
チャージ・ポンプ (CP)					
I _{CP} シンク/ソース					プログラマブル
ハイレベル値		4.8		mA	CPR _{SET} =5.1k Ω
ローレベル値		0.60		mA	
絶対精度		2.5		%	V _{CP} =VCPS/2
CPR _{SET} 範囲		2.7/10		k Ω	
I _{CP} スリーステート・リーク		1		nA	
シンク電流とソース電流間のマッチング		2		%	0.5 < V _{CP} < V _{CP_S} -0.5V
I _{CP} 対V _{CP}		1.5		%	0.5 < V _{CP} < V _{CP_S} -0.5V
I _{CP} 対温度		2		%	V _{CP} =VCPS/2V
RF特性 (CLK2) ²					
入力周波数			1.6	GHz	周波数が1200MHz (LVPECL) または800MHz (LVDS) より大きい場合、少なくとも2分周が必要(「分配」の項を参照)
入力感度		150		mV p-p	
入力コモン・モード電圧 (V _{CM})	1.5	1.6	1.7	V	セルフバイアス、ACカップリングをイネーブル
入力コモン・モード範囲 (V _{CMR})	1.3		1.8	V	200mV p-p信号を入力
入力感度、シングルエンド		150		mV p-p	CLK2 ACカップリング、CLK2Bを容量でRFグラウンドへバイパス
入力抵抗	4.0	4.8	5.6	k Ω	セルフバイアス
入力容量		2		pF	
CLK2対REFIN遅延		500		ps	PFDでの差
プリスケアラ (Nデバイダの一部)					VCO/VCXO帰還デバイダーN (P、A、B)の項を参照
プリスケアラ入力周波数					
P = 2 DM (2/3)			600	MHz	
P = 4 DM (4/5)			1000	MHz	
P = 8 DM (8/9)			1600	MHz	
P = 16 DM (16/17)			1600	MHz	
P = 32 DM (32/33)			1600	MHz	
PLL用CLK2入力周波数			300	MHz	A、Bカウンタ入力周波数

パラメータ	Min	Typ	Max	単位	テスト・レベル条件/コメント
ノイズ特性					
チャージ・ポンプ/位相周波数検出器の インバンド・ノイズ(インバンドとはPLLの LBW内を意味します)					シンセサイザ位相ノイズ・フロアは、VCO出力でのインバンド 位相ノイズの測定値から $20\log N$ (N はNデバイダの値)を 減算して計算されています。
50kHz PFD周波数		-172		dBc/Hz	
2MHz PFD周波数		-156		dBc/Hz	
10MHz PFD周波数		-149		dBc/Hz	
50MHz PFD周波数		-142		dBc/Hz	
PLLのフィギュア・オブ・メリット(性能指数)		-218+			PLLループ帯域幅内のPFD/CP位相ノイズ・フロア(平坦領 域)の近似。クロースドループ動作時、この位相ノイズは $20 \times \log(N)^3$ 増幅されます。
			$10 \times \log(f_{\text{PFD}})$		
PLLデジタル・ロック検出ウィンドウ ⁴					08h<5;2>で選択したときSTATUSピンに信号が出力 レジスタODhで選択
ロックの必要時間(エッジの一致)					
ローレンジ(ABP 1.3ns, 2.9ns)		3.5		ns	<5> = 1b
ハイレンジ(ABP 1.3ns, 2.9ns)		7.5		ns	<5> = 0b
ハイレンジ(ABP 6ns)		3.5		ns	<5> = 0b
ロック後のアンロック時間(ヒステリシス) ⁴					レジスタODhで選択
ローレンジ(ABP 1.3ns, 2.9ns)		7		ns	<5> = 1b
ハイレンジ(ABP 1.3ns, 2.9ns)		15		ns	<5> = 0b
ハイレンジ(ABP 6ns)		11		ns	<5> = 0b

¹ REFINとREFINBのセルフバイアス・ポイントは、入力オープン状態でのチャタリングを防止するため少しオフセットさせてあります。

² CLK2は電気的にはCLK1と同じです。分配専用入力を差動入力またはシングルエンド入力として使うことができます(「クロック入力」の項を参照)。

³ たとえば、 $-218 + 10 \times \log(f_{\text{PFD}}) + 20 \times \log(N)$ で、VCO出力でのインバンド・ノイズ値が得られます。

⁴ デジタル・ロック検出動作の信頼性を高めるためには、PFD周波数の周期は、ロック→アンロック時間より大きくする必要があります。

クロック入力

表2

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
クロック入力(CLK1, CLK2) ¹					
入力周波数	0		1.6	GHz	
入力感度		150 ²		mV p-p	スループートを大きくする(振幅を大きくする)と、ジッタ性能を 改善できます。
入力レベル			2 ³	V p-p	振幅を大きくすると、保護ダイオードがターンオンするため、 ジッタ性能が低下します。
入力コモン・モード電圧(V_{CM})	1.5	1.6	1.7	V	セルフバイアス、ACカップリングをイネーブル
入力コモン・モード範囲(V_{CMR})	1.3		1.8	V	200mVp-p信号を入力、DCカップリング
入力感度、シングルエンド		150		mV p-p	CLK2 ACカップリング、CLK2BをRFグラウンドへACバイパス
入力抵抗	4.0	4.8	5.6	k Ω	セルフバイアス
入力容量		2		pF	

¹ CLK1とCLK2は電気的に同等となっています。それぞれ差動入力またはシングルエンド入力として使うことができます。

² 50 Ω 終端で-12.5dBm。

³ 50 Ω 終端で+10dBm。

AD9510

クロック出力

表3

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
LVPECLクロック出力 OUT0、OUT1、OUT2、OUT3: 差動 出力周波数 出力ハイレベル電圧 (V_{OH}) 出力ローレベル電圧 (V_{OL}) 出力差動電圧 (V_{OD})			1200	MHz	終端 = $V_S - 2V \sim 50\Omega$ 出力レベル 3Ch (3Dh) (3Eh) (3Fh) <3:2> = 10b 図21参照
LVDSクロック出力 OUT4、OUT5、OUT6、OUT7: 差動 出力周波数 差動出力電圧 (V_{OD}) デルタ V_{OD} 出力オフセット電圧 (V_{OS}) デルタ V_{OS} 短絡電流 (I_{SA} , I_{SB})			800	MHz	終端 = 100 Ω 差動、デフォルト 出力レベル 40h (41h) (42h) (43h) <2:1> = 01b 3.5mA 終端電流 図22参照
CMOSクロック出力 OUT4、OUT5、OUT6、OUT7 出力周波数 出力ハイレベル電圧 (V_{OH}) 出力ローレベル電圧 (V_{OL})			250	MHz	シングルエンドでの測定値、 B出力: 反転、終端はオープン 各出力は 5pF 負荷、図23参照
				V	1mA 負荷
			0.1	V	1mA 負荷

タイミング特性

表4

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
LVPECL					終端 = $V_S - 2V \sim 50\Omega$ 出力レベル 3Ch (3Dh) (3Eh) (3Fh) <3:2> = 10b
出力立上がり時間 (t_{RP})		130	180	ps	20%から80%、差動で測定
出力立下がり時間 (t_{FP})		130	180	ps	80%から20%、差動で測定
伝搬遅延 (t_{PECL})、CLKからLVPECL出力 ¹					
デバイダ=バイパス	335	490	635	ps	
デバイダ=2~32	375	545	695	ps	
温度変動		0.5		ps/°C	
出力スキュー、LVPECL出力					
同一デバイス上のOUT1からOUT0へ (t_{SKP}) ²	-5	+30	+85	ps	
同一デバイス上のOUT2からOUT3へ (t_{SKP}) ²	15	45	80	ps	
同一デバイス上のすべてのLVPECL出力 (t_{SKP}) ²	90	130	180	ps	
複数デバイス間のすべてのLVPECL出力 (t_{SKP_AB}) ³			275	ps	
複数デバイス間の同一LVPECL出力 (t_{SKP_AB}) ³			130	ps	
LVDS					終端 = 100Ω 差動 出力レベル 40h (41h) (42h) (43h) <2:1> = 01b 3.5mA 終端電流
出力立上がり時間 (t_{RL})		200	350	ps	20%から80%、差動で測定
出力立下がり時間 (t_{FL})		210	350	ps	80%から20%、差動で測定
伝搬遅延 (t_{LVDS})、CLKからLVDS出力 ¹ 、 OUT4、OUT5、OUT6、OUT7					OUT5とOUT6で遅延をオフ
デバイダ=バイパス	0.99	1.33	1.59	ns	
デバイダ=2~32	1.04	1.38	1.64	ns	
温度変動		0.9		ps/°C	
出力スキュー、LVDS出力					OUT5とOUT6で遅延をオフ
同一デバイス上のOUT4からOUT7へ (t_{SKV}) ²	-85		+270	ps	
同一デバイス上のOUT5からOUT6へ (t_{SKV}) ²	-175		+155	ps	
同一デバイス上のすべてのLVDS出力 (t_{SKV}) ²	-175		+270	ps	
複数デバイス間のすべてのLVDS出力 (t_{SKV_AB}) ³			450	ps	
複数デバイス間の同一LVDS出力 (t_{SKV_AB}) ³			325	ps	
CMOS					B出力は反転、終端=オープン
出力立上がり時間 (t_{RC})		681	865	ps	20%から80%、 $C_{LOAD}=3pF$
出力立下がり時間 (t_{FC})		646	992	ps	80%から20%、 $C_{LOAD}=3pF$
伝搬遅延 (t_{CMOS})、CLKからCMOS出力 ¹					OUT5とOUT6で遅延をオフ
デバイダ=バイパス	1.02	1.39	1.71	ns	
デバイダ=2~32	1.07	1.44	1.76	ns	
温度変動		1		ps/°C	
出力スキュー、CMOS出力					OUT5とOUT6で遅延をオフ
同一デバイス上のすべてのCMOS出力 (t_{SKC}) ²	-140	+145	+300	ps	
複数デバイス間のすべてのCMOS出力 (t_{SKC_AB}) ³			650	ps	
複数デバイス間の同一CMOS出力 (t_{SKC_AB}) ³			500	ps	
LVPECL出力 対 LVDS出力					すべて同じ、異なるロジック・タイプ
出力スキュー (t_{SKP_V})	0.74	0.92	1.14	ns	同一デバイス上のLVPECLからLVDSへ
LVPECL出力 対 CMOS出力					すべて同じ、異なるロジック・タイプ
出力スキュー (t_{SKP_C})	0.88	1.14	1.43	ns	同一デバイス上のLVPECLからCMOSへ
LVDS出力 対 CMOS出力					すべて同じ、異なるロジック・タイプ
出力スキュー (t_{SKV_C})	158	353	506	ps	同一デバイス上のLVDSからCMOSへ

AD9510

パラメータ	Min	Typ	Max	単位	テスト・レベル条件/コメント
遅延調整 ⁴					OUT5 (OUT6)、LVDSとCMOS
最短遅延範囲 ⁵					35h (39h) <5:1> 11111b
ゼロスケール	0.05	0.36	0.68	ns	36h (3Ah) <5:1> 00000b
フルスケール	0.72	1.12	1.51	ns	36h (3Ah) <5:1> 11111b
直線性、DNL		0.5		LSB	
直線性、INL		0.8		LSB	
最長遅延範囲 ⁵					35h (39h) <5:1> 00000b
ゼロスケール	0.20	0.57	0.95	ns	36h (3Ah) <5:1> 00000b
フルスケール	9.0	10.2	11.6	ns	36h (3Ah) <5:1> 11111b
直線性、DNL		0.3		LSB	
直線性、INL		0.6		LSB	
遅延の温度変動					
長い遅延範囲、10ns ⁶					
ゼロスケール		0.35		ps/°C	
フルスケール		-0.14		ps/°C	
短い遅延範囲、1ns ⁶					
ゼロスケール		0.51		ps/°C	
フルスケール		0.67		ps/°C	

¹ CLK1で測定。CLK2に対しては、約25psを加算してください。

² これは、同じ電圧と温度で動作する1つのデバイス内部における任意の2つの同様な遅延パス間の差です。

³ これは、同じ電圧と温度で動作する複数のデバイス間における任意の2つの同様な遅延パス間の差です。

⁴ 使用可能な最大遅延は、クロック周期の1/2より少し短くなります。これより長いと、出力がデイスエーブルになります。

⁵ 遅延増分は伝搬遅延を含みません。

⁶ ゼロスケールとフルスケールとの間のすべての遅延は、リニア・インターポレーションにより概算できます。

クロック出力位相ノイズ

表5

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CLK1からLVPECL変換での増加位相ノイズ					分配部のみ。PLLまたは外付けVCO/VCXOの1V/nsを超える入力スルーレートは含まれていません。 入力スルーレート>1V/ns
CLK1=622.08MHz、OUT=622.08MHz 分周比=1					
@10Hzオフセット		-125		dBc/Hz	
@100Hzオフセット		-132		dBc/Hz	
@1kHzオフセット		-140		dBc/Hz	
@10kHzオフセット		-148		dBc/Hz	
@100kHzオフセット		-153		dBc/Hz	
>1MHzオフセット		-154		dBc/Hz	
CLK1=622.08MHz、OUT=155.52MHz 分周比=4					
@10Hzオフセット		-128		dBc/Hz	
@100Hzオフセット		-140		dBc/Hz	
@1kHzオフセット		-148		dBc/Hz	
@10kHzオフセット		-155		dBc/Hz	
@100kHzオフセット		-161		dBc/Hz	
>1MHzオフセット		-161		dBc/Hz	
CLK1=622.08MHz、OUT=38.88MHz 分周比=16					
@10Hzオフセット		-135		dBc/Hz	
@100Hzオフセット		-145		dBc/Hz	
@1kHzオフセット		-158		dBc/Hz	
@10kHzオフセット		-165		dBc/Hz	
@100kHzオフセット		-165		dBc/Hz	
>1MHzオフセット		-166		dBc/Hz	
CLK1=491.52MHz、OUT=61.44MHz 分周比=8					
@10Hzオフセット		-131		dBc/Hz	
@100Hzオフセット		-142		dBc/Hz	
@1kHzオフセット		-153		dBc/Hz	
@10kHzオフセット		-160		dBc/Hz	
@100kHzオフセット		-165		dBc/Hz	
>1MHzオフセット		-165		dBc/Hz	
CLK1=491.52MHz、OUT=245.76MHz 分周比=2					
@10Hzオフセット		-125		dBc/Hz	
@100Hzオフセット		-132		dBc/Hz	
@1kHzオフセット		-140		dBc/Hz	
@10kHzオフセット		-151		dBc/Hz	
@100kHzオフセット		-157		dBc/Hz	
>1MHzオフセット		-158		dBc/Hz	
CLK1=245.76MHz、OUT=61.44MHz 分周比=4					
@10Hzオフセット		-138		dBc/Hz	
@100Hzオフセット		-144		dBc/Hz	
@1kHzオフセット		-154		dBc/Hz	
@10kHzオフセット		-163		dBc/Hz	
@100kHzオフセット		-164		dBc/Hz	
>1MHzオフセット		-165		dBc/Hz	

AD9510

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CLK1からLVDS変換での増加位相ノイズ					分配部のみ。PLLまたは外付けVCO/VCXOは含みません。
CLK1=622.08MHz、OUT=622.08MHz 分周比=1					
@10Hzオフセット		-100		dBc/Hz	
@100Hzオフセット		-110		dBc/Hz	
@1kHzオフセット		-118		dBc/Hz	
@10kHzオフセット		-129		dBc/Hz	
@100kHzオフセット		-135		dBc/Hz	
@1MHzオフセット		-140		dBc/Hz	
>10MHzオフセット		-148		dBc/Hz	
CLK1=622.08MHz、OUT=155.52MHz 分周比=4					
@10Hzオフセット		-112		dBc/Hz	
@100Hzオフセット		-122		dBc/Hz	
@1kHzオフセット		-132		dBc/Hz	
@10kHzオフセット		-142		dBc/Hz	
@100kHzオフセット		-148		dBc/Hz	
@1MHzオフセット		-152		dBc/Hz	
>10MHzオフセット		-155		dBc/Hz	
CLK1=491.52MHz、OUT=245.76MHz 分周比=2					
@10Hzオフセット		-108		dBc/Hz	
@100Hzオフセット		-118		dBc/Hz	
@1kHzオフセット		-128		dBc/Hz	
@10kHzオフセット		-138		dBc/Hz	
@100kHzオフセット		-145		dBc/Hz	
@1MHzオフセット		-148		dBc/Hz	
>10MHzオフセット		-154		dBc/Hz	
CLK1=491.52MHz、OUT=122.88MHz 分周比=4					
@10Hzオフセット		-118		dBc/Hz	
@100Hzオフセット		-129		dBc/Hz	
@1kHzオフセット		-136		dBc/Hz	
@10kHzオフセット		-147		dBc/Hz	
@100kHzオフセット		-153		dBc/Hz	
@1MHzオフセット		-156		dBc/Hz	
>10MHzオフセット		-158		dBc/Hz	
CLK1=245.76MHz、OUT=245.76MHz 分周比=1					
@10Hzオフセット		-108		dBc/Hz	
@100Hzオフセット		-118		dBc/Hz	
@1kHzオフセット		-128		dBc/Hz	
@10kHzオフセット		-138		dBc/Hz	
@100kHzオフセット		-145		dBc/Hz	
@1MHzオフセット		-148		dBc/Hz	
>10MHzオフセット		-155		dBc/Hz	
CLK1=245.76MHz、OUT=122.88MHz 分周比=2					
@10Hzオフセット		-118		dBc/Hz	
@100Hzオフセット		-127		dBc/Hz	
@1kHzオフセット		-137		dBc/Hz	
@10kHzオフセット		-147		dBc/Hz	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
@100kHzオフセット		-154		dBc/Hz	
@1MHzオフセット		-156		dBc/Hz	
>10MHzオフセット		-158		dBc/Hz	
CLK1からCMOS変換での増加位相ノイズ					分配部のみ。PLLまたは外付けVCO/VCXOは含みません。
CLK1=245.76MHz、OUT=245.76MHz 分周比=1					
@10Hzオフセット		-110		dBc/Hz	
@100Hzオフセット		-121		dBc/Hz	
@1kHzオフセット		-130		dBc/Hz	
@10kHzオフセット		-140		dBc/Hz	
@100kHzオフセット		-145		dBc/Hz	
@1MHzオフセット		-149		dBc/Hz	
>10MHzオフセット		-156		dBc/Hz	
CLK1=245.76MHz、OUT=61.44MHz 分周比=4					
@10Hzオフセット		-122		dBc/Hz	
@100Hzオフセット		-132		dBc/Hz	
@1kHzオフセット		-143		dBc/Hz	
@10kHzオフセット		-152		dBc/Hz	
@100kHzオフセット		-158		dBc/Hz	
@1MHzオフセット		-160		dBc/Hz	
>10MHzオフセット		-162		dBc/Hz	
CLK1=78.6432MHz、OUT=78.6432MHz 分周比=1					
@10Hzオフセット		-122		dBc/Hz	
@100Hzオフセット		-132		dBc/Hz	
@1kHzオフセット		-140		dBc/Hz	
@10kHzオフセット		-150		dBc/Hz	
@100kHzオフセット		-155		dBc/Hz	
@1MHzオフセット		-158		dBc/Hz	
>10MHzオフセット		-160		dBc/Hz	
CLK1=78.6432MHz、OUT=39.3216MHz 分周比=2					
@10Hzオフセット		-128		dBc/Hz	
@100Hzオフセット		-136		dBc/Hz	
@1kHzオフセット		-146		dBc/Hz	
@10kHzオフセット		-155		dBc/Hz	
@100kHzオフセット		-161		dBc/Hz	
>1MHzオフセット		-162		dBc/Hz	

AD9510

クロック出力での増加時間ジッタ

表6

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
LVPECL出力での増加時間ジッタ					分配部のみ。 PLLまたは外付けVCO/VCXOは含みません。
CLK1=622.08MHz 任意のLVPECL (OUT0からOUT3へ)=622.08MHz 分周比=1		40		fs rms	BW=12kHz~20MHz(OC-12)
CLK1=622.08MHz 任意のLVPECL (OUT0からOUT3へ)=155.52MHz 分周比=4		55		fs rms	BW=12kHz~20MHz(OC-3)
CLK1=400MHz 任意のLVPECL (OUT0からOUT3へ)=100MHz 分周比=4		215		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz
CLK1=400MHz 任意のLVPECL (OUT0からOUT3へ)=100MHz 分周比=4 その他すべてのLVPECL=100MHz すべてのLVDS (OUT4からOUT7へ)=100MHz		215		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz 任意のLVPECL (OUT0からOUT3へ)=100MHz 分周比=4 その他すべてのLVPECL=50MHz すべてのLVDS (OUT4からOUT7へ)=50MHz		222		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz 任意のLVPECL (OUT0からOUT3へ)=100MHz 分周比=4 その他すべてのLVPECL=50MHz すべてのCMOS (OUT4からOUT7へ)=50MHz(B出力オフ)		225		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz 任意のLVPECL (OUT0からOUT3へ)=100MHz 分周比=4 その他すべてのLVPECL=50MHz すべてのCMOS (OUT4からOUT7へ)=50MHz(B出力オン)		225		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
LVDS出力での増加時間ジッタ					分配部のみ。 PLLまたは外付けVCO/VCXOは含みません。
CLK1=400MHz LVDS (OUT4、OUT7)=100MHz 分周比=4		264		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz
CLK1=400MHz LVDS (OUT5、OUT6)=100MHz 分周比=4		319		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CLK1=400MHz LVDS (OUT4、OUT7)=100MHz 分周比=4 その他すべてのLVDS=50MHz すべてのLVPECL=50MHz		395		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz LVDS (OUT5、OUT6)=100MHz 分周比=4 その他すべてのLVDS=50MHz すべてのLVPECL=50MHz		395		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz LVDS (OUT4、OUT7)=100MHz 分周比=4 その他すべてのCMOS=50MHz (B出力オフ) すべてのLVPECL=50MHz		367		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz LVDS (OUT5、OUT6)=100MHz 分周比=4 その他すべてのCMOS=50MHz (B出力オフ) すべてのLVPECL=50MHz		367		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz LVDS (OUT4、OUT7)=100MHz 分周比=4 その他すべてのCMOS=50MHz (B出力オン) すべてのLVPECL=50MHz		548		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz LVDS (OUT5、OUT6)=100MHz 分周比=4 その他すべてのCMOS=50MHz (B出力オン) すべてのLVPECL=50MHz		548		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
LVDS出力での増加時間ジッタ					分配部のみ。 PLLまたは外付けVCO/VCXOは含みません。
CLK1=400MHz 任意のCMOS (OUT4からOUT7へ)=100MHz (B出力オン) 分周比=4		275		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz
CLK1=400MHz 任意のCMOS (OUT4からOUT7へ)=100MHz (B出力オン) 分周比=4 すべてのLVPECL=50MHz その他すべてのLVDS=50MHz		400		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
CLK1=400MHz 任意のCMOS (OUT4からOUT7へ)=100MHz (B出力オン) 分周比=4 すべてのLVPECL=50MHz その他すべてのCMOS=50MHz (B出力オフ)		374		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源

AD9510

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CLK1=400MHz 任意のCMOS(OUT4からOUT7へ)=100MHz(B出力オン) 分周比=4 すべてのLVPECL=50MHz その他すべてのCMOS=50MHz(B出力オン)		555		fs rms	ADCのSNR算出法で計算、 F _C =100MHz、A _{IN} =170MHz 干渉源 干渉源
遅延ブロックでの増加時間ジッタ ¹ 100MHz出力 遅延FS=1ns(1600μA、1C)微調整00000 遅延FS=1ns(1600μA、1C)微調整11111 遅延FS=2ns(800μA、1C)微調整00000 遅延FS=2ns(800μA、1C)微調整11111 遅延FS=3ns(800μA、4C)微調整00000 遅延FS=3ns(800μA、4C)微調整11111 遅延FS=4ns(400μA、4C)微調整00000 遅延FS=4ns(400μA、4C)微調整11111 遅延FS=5ns(200μA、1C)微調整00000 遅延FS=5ns(200μA、1C)微調整11111 遅延FS=11ns(200μA、4C)微調整00000 遅延FS=11ns(200μA、4C)微調整00100					増分ジッタ ¹

¹ この値は増分です。すなわち、遅延のないLVDS出力またはCMOS出力のジッタに対する増加です。合計ジッタを概算するときは、2乗和の平方根(RSS)則を使って、LVDS出力またはCMOS出力のジッタをこの値に加算します。

PLLと分配位相ノイズおよびスプリアス

表7

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
位相ノイズおよびスプリアス					VCO/VCXOの選択に依存。LVPECLクロック出力で測定。ABP=6ns、I _{CP} =5mA、Ref=30.72MHz
VCXO=245.76MHz、 F _{PPD} =1.2288MHz、R=25、N=200 245.76MHz出力 100kHzオフセットでの位相ノイズ スプリアス 61.44MHz出力 100kHzオフセットでの位相ノイズ スプリアス					VCXOはToyocom TCO-2112 245.76 1分周 VCXO位相ノイズが支配的 F _{PPD} の1次および2次の高調波。計測フロアより下。 4分周 VCXO位相ノイズが支配的 F _{PPD} の1次および2次の高調波。計測フロアより下。

シリアル・コントロール・ポート

表8

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CSB、SCLK(入力)					CSBとSCLKには30kΩの内部プルダウン抵抗があります。
入力ロジック1の電圧	2.0			V	
入力ロジック0の電圧			0.8	V	
入力ロジック1の電流		110		μA	
入力ロジック0の電流			1	μA	
入力容量		2		pF	
SDIO(入力時)					
入力ロジック1の電圧	2.0			V	
入力ロジック0の電圧			0.8	V	
入力ロジック1の電流		10		nA	
入力ロジック0の電流		10		nA	
入力容量		2		pF	
SDIO、SDO(出力)					
出力ロジック1の電圧	2.7			V	
出力ロジック0の電圧			0.4	V	
タイミング					
クロック・レート(SCLK、1/t _{SCLK})			25	MHz	
ハイレベルのパルス幅(t _{PWH})	16			ns	
ローレベルのパルス幅(t _{PWL})	16			ns	
SDIOからSCLKまでのセットアップ(t _{DS})	2			ns	
SCLKからSDIOまでのホールド(t _{DH})	1			ns	
SCLKからSDIOおよびSDOの有効まで(t _{DV})	6			ns	
CSBからSCLKまでのセットアップとホールド(t _S 、t _H)	2			ns	
CSBハイレベルの最小パルス幅(t _{PPWH})	3			ns	

FUNCTIONピン

表9

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
入力特性					FUNCTIONピンには30kΩの内部プルダウン抵抗があります。このピンは通常ハイレベルに固定する必要があります。未接続のままにはしないでください。
ロジック1の電圧	2.0			V	
ロジック0の電圧			0.8	V	
ロジック1の電流		110		μA	
ロジック0の電流			1	μA	
容量		2		pF	
リセット・タイミング					
ローレベルのパルス幅	50			ns	
同期タイミング					
ローレベルのパルス幅	1.5			高速クロックのサイクル数	高速クロックは分配に使用されているCLK1またはCLK2

AD9510

STATUSピン

表10

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
出力特性					デジタル出力(CMOS)として選択された場合:STATUSピンがCMOSデジタル出力でない他のモードが存在します。図37参照。
出力ハイレベル電圧 (V _{OH})	2.7			V	
出力ローレベル電圧 (V _{OL})			0.4	V	
最大トグル・レート		100		MHz	PLL muxが任意のデバイダまたはカウンタ出力に設定された場合に、またはPFDアップ/ダウン・パルスに適用。アナログ・ロック検出モードにも適用。通常デバッグ・モードの場合のみ。このピンのトグル中に、スプリアスが出力に混入する可能性があることに注意してください。
アナログ・ロック検出容量		3		pF	オンチップ容量。アナログ・ロック検出リードバックのRC時定数の計算に使用。プルアップ抵抗を使用。

電源

表11

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
パワーアップ・デフォルト・モードの消費電力		550	600	mW	パワーアップ・デフォルト状態。出力負荷抵抗での消費電力は含みません。クロックなし。
消費電力			1.1	W	すべての出力がオン。4本のLVPECL出力は800MHz、4本のLVDS出力は800MHz。外付け抵抗の消費電力は含みません。
消費電力			1.3	W	すべての出力がオン。4本のLVPECL出力は800MHz、4本のCMOS出力は62MHz(5pF負荷)。外付け抵抗の消費電力は含みません。
消費電力			1.5	W	すべての出力がオン。4本のLVPECL出力は800MHz、4本のCMOS出力は125MHz(5pF負荷)。外付け抵抗の消費電力は含みません。
フルスリープ・パワーダウン		35	60	mW	0Ah<1:0>=01bおよび58h<4>=1bを設定すると、最大スリープ状態に入り、PLL BGと分配BGリファレンスの電源がオフになります。終端での消費電力は含みません。
パワーダウン(PDB)		60	80	mW	58h<6:5>=11bを設定し、FUNCTIONピンをPDB動作用に設定。PDBをプルダウン。終端での消費電力は含みません。
各部消費電力デルタ					
CLK1、CLK2パワーダウン	10	15	25	mW	
デバイダ、DIV 2~32をバイパス	23	27	33	mW	各デバイダ
LVPECL出力パワーダウン(PD2、PD3)	50	65	75	mW	各デバイダ。終端での消費電力は含みません(PD2のみ)。
LVDS出力パワーダウン	80	92	110	mW	各出力
CMOS出力パワーダウン(スタティック)	56	70	85	mW	各出力。スタティック(クロックなし)。
CMOS出力パワーダウン(ダイナミック)	115	150	190	mW	各CMOS出力、シングルエンド。 5pF負荷で62MHzクロック駆動。
CMOS出力パワーダウン(ダイナミック)	125	165	210	mW	各CMOS出力、シングルエンド。 5pF負荷で125MHzクロック駆動。
遅延ブロック・バイパス	20	24	60	mW	最大遅延で1ns f _s の遅延ブロック動作に対して。 出力クロックは25MHz。
PLL部パワーダウン	5	15	40	mW	

タイミング図

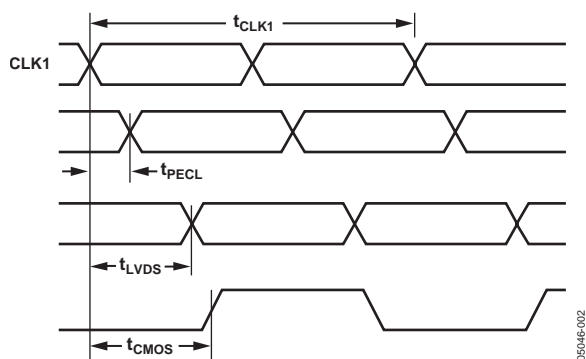


図2. CLK1/CLK1Bからクロック出力までのタイミング (DIV = 1モード)

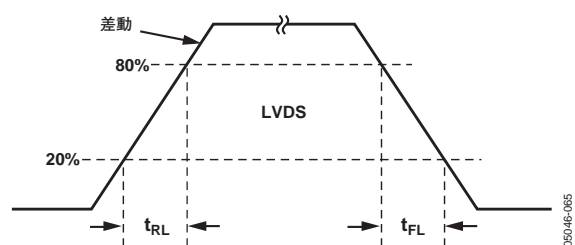


図4. LVDSのタイミング、差動

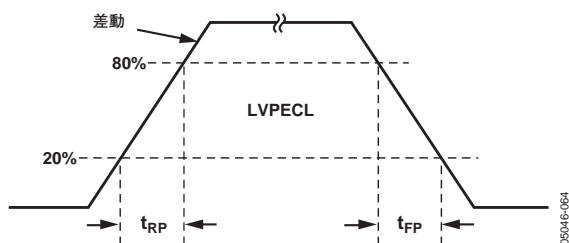


図3. LVPECLのタイミング、差動

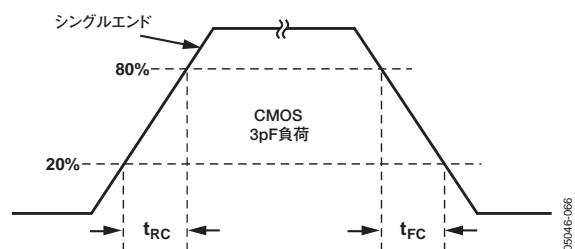


図5. CMOSのタイミング、シングルエンド、3pF負荷

AD9510

絶対最大定格

表12

パラメータまたはピン	基準	Min	Max	単位
VS	GND	-0.3	+3.6	V
VCP	GND	-0.3	+5.8	V
VCP	V _S	-0.3	+5.8	V
REFIN、REFINB	GND	-0.3	V _S +0.3	V
RSET	GND	-0.3	V _S +0.3	V
CPRSET	GND	-0.3	V _S +0.3	V
CLK1、CLK1B、CLK2、CLK2B	GND	-0.3	V _S +0.3	V
CLK1	CLK1B	-1.2	+1.2	V
CLK2	CLK2B	-1.2	+1.2	V
SCLK、SDIO、SDO、CSB	GND	-0.3	V _S +0.3	V
OUT0、OUT1、OUT2、OUT3	GND	-0.3	V _S +0.3	V
OUT4、OUT5、OUT6、OUT7	GND	-0.3	V _S +0.3	V
FUNCTION	GND	-0.3	V _S +0.3	V
STATUS	GND	-0.3	V _S +0.3	V
ジャンクション温度 ¹			150	°C
保存温度		-65	+150	°C
ピン温度(10秒)			300	°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性²

熱抵抗

64ピンLFCSP

$\theta_{JA}=24^{\circ}\text{C}/\text{W}$

¹ θ_{JA} については「熱特性」を参照。

² 熱抵抗の測定は、EIA/JESD51-7に準拠して自然空冷の4層ボードで実施。

注意

ESD(静電放電)の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置および機能の説明

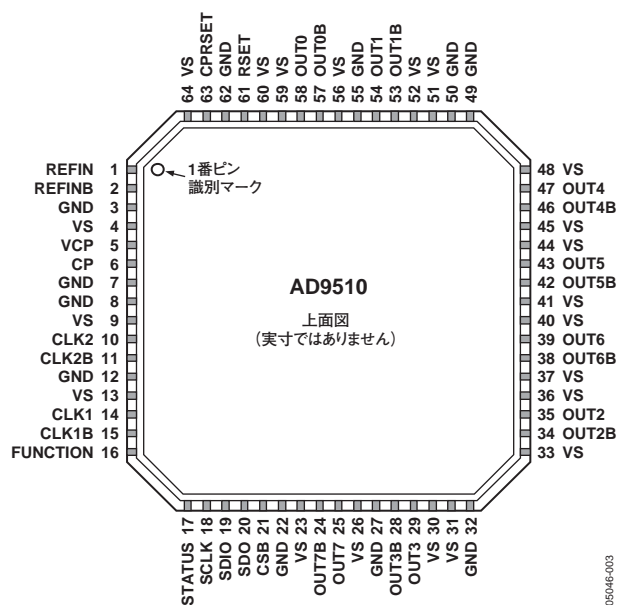


図6. 64ピンLFCSPのピン配置

このパッケージの露出パドルは、電気的に接続されており、同時に熱特性を強化する役割を果たします。デバイスが正常に機能するためには、パドルをグラウンド(GND)に接続する必要があります。

AD9510

表13. ピン機能の説明

ピン番号	記号	説明
1	REFIN	PLLリファレンス入力
2	REFINB	相補PLLリファレンス入力
3、7、8、12、22、 27、32、49、50、 55、62	GND	グラウンド
4、9、13、23、26、 30、31、33、36、 37、40、41、44、 45、48、51、52、 56、59、60、64	VS	電源(3.3V) V_S
5	VCP	チャージ・ポンプ電源 V_{CPs} 。 V_S 以上の電圧である必要があります。 V_{CPs} は、拡張チューニング範囲を必要とするVCOに対しては5.5Vと高い電圧に設定することもできます。
6	CP	チャージ・ポンプ出力
10	CLK2	外付けVCO/VCXOを帰還デバインドNに接続するときに使うクロック入力。CLK2はチップの分配部も駆動します。また、PLLを使用しないとき汎用クロック入力として使用することもできます。
11	CLK2B	CLK2と組み合わせて使う相補クロック入力
14	CLK1	チップの分配部を駆動するクロック入力
15	CLK1B	CLK1と組み合わせて使う相補クロック入力
16	FUNCTION	リセット(RESETB)ピン、同期(SYNCB)ピン、またはパワーダウン(PDB)ピンとして設定できる多目的入力。このピンは、内部で30k Ω の抵抗でプルダウンされています。このピンを未接続のままにしておく、デフォルトでデバイスがリセット状態になります。これを回避するため、このピンは1k Ω 抵抗を介して V_S に接続してください。
17	STATUS	PLLステータスと同期ステータスのモニタに使う出力
18	SCLK	シリアル・データ・クロック
19	SDIO	シリアル・データI/O
20	SDO	シリアル・データ出力
21	CSB	シリアル・ポート・チップ・セレクト
24	OUT7B	相補LVDS/反転CMOS出力
25	OUT7	LVDS/CMOS出力
28	OUT3B	相補LVPECL出力
29	OUT3	LVPECL出力
34	OUT2B	相補LVPECL出力
35	OUT2	LVPECL出力
38	OUT6B	相補LVDS/反転CMOS出力。OUT6には遅延ブロックが含まれます。
39	OUT6	LVDS/CMOS出力。OUT6には遅延ブロックが含まれます。
42	OUT5B	相補LVDS/反転CMOS出力。OUT5には遅延ブロックが含まれます。
43	OUT5	LVDS/CMOS出力。OUT5には遅延ブロックが含まれます。
46	OUT4B	相補LVDS/反転CMOS出力
47	OUT4	LVDS/CMOS出力
53	OUT1B	相補LVPECL出力
54	OUT1	LVPECL出力
57	OUT0B	相補LVPECL出力
58	OUT0	LVPECL出力
61	RSET	グラウンドへ接続する電流設定抵抗。公称値=4.12k Ω
63	CPRSET	グラウンドへ接続するチャージ・ポンプ電流設定抵抗。公称値=5.1k Ω

このパッケージの露出パドルは、電気的に接続されており、同時に熱特性を強化する役割を果たします。デバイスが正常に機能するためには、パドルをグラウンド(GND)に接続する必要があります。

用語の説明

位相ジッタと位相ノイズ

理想的なサイン波は、各サイクルで時間の経過とともに0～360度の連続的な位相進みを持つものと考えられます。しかし、実際の信号では、時間が経過するにつれて理想的な位相進みから一定の偏差が見られます。この現象が位相ジッタと呼ばれています。位相ジッタには多くの原因がありますが、主な原因はランダム・ノイズです。このノイズは統計的にガウス分布（ノーマル）として特性化されています。

この位相ジッタにより、周波数領域でサイン波のエネルギーが分散され、連続パワー・スペクトルが発生します。このパワー・スペクトルは一般に、一連の数値として報告されます。この数値は、サイン波（キャリア）からの与えられた周波数オフセット位置で単位dBc/Hzで表されます。この値は、キャリア周波数のパワーに対する1Hz帯域幅内に含まれるパワーの比（dB）です。各測定値は、キャリア周波数からのオフセット周波数を伴います。

オフセット周波数のある区間内（たとえば、10kHz～10MHzの区間）に含まれる合計パワーを求めることは意味のあることです。これは、その周波数オフセット区間での積分位相ノイズと呼ばれ、そのオフセット周波数区間内の位相ノイズに起因する時間ジッタに容易に関連付けることができます。

位相ノイズはADC、DAC、RFミキサーの性能に悪影響を与え、コンバータとミキサーのダイナミック・レンジを低下させることになります（ただし、影響の仕方は異なります）。

時間ジッタ

位相ノイズは周波数領域の現象です。時間領域では、同じ影響が時間ジッタとして現れます。サイン波を観測すると、連続するゼロ交差の時間がずれているのがわかります。方形波では、時間ジッタは理想的（正常）な時間からのエッジのずれとして現れます。いずれの場合も、タイミングが理論値からずれているのが時間ジッタです。これらの変動はランダムであるため、時間ジッタは2乗平均（rms）の単位またはガウス分布の1シグマで規定されます。

DACまたはADCのサンプリング・クロックで発生する時間ジッタは、コンバータのSNRとダイナミック・レンジを低下させます。サンプリング・クロックのジッタを最小にすると、そのコンバータの最高性能が得られることとなります。

増加位相ノイズ

これは、被測定デバイスまたはサブシステムから発生する位相ノイズの大きさを表します。すべての外付け発振器またはクロック源の位相ノイズは除かれています。これにより、種々の発振器とクロック源を組み合わせる場合に、合計システム位相ノイズに対するデバイスの影響が予測可能になります。多くの場合、1つの要素から発生する位相ノイズがシステム位相ノイズを支配します。

増加時間ジッタ

これは、被測定デバイスまたはサブシステムから発生する時間ジッタの大きさを表します。すべての外付け発振器またはクロック源の時間ジッタは除かれています。これにより、種々の発振器とクロック源を組み合わせる場合に合計システム時間ジッタに対するデバイスの影響が予測可能になります。多くの場合、外付けの発振器とクロック源から発生する時間ジッタがシステムの時間ジッタを支配します。

代表的な性能特性

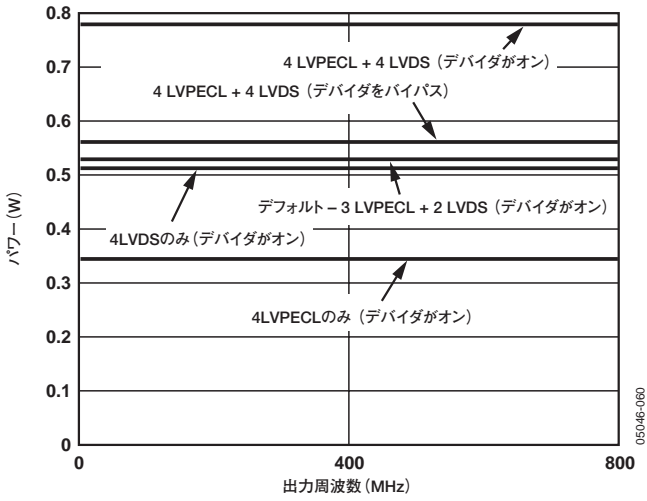


図7. パワーの周波数特性 LVPECL、LVDS(PLLオフ)

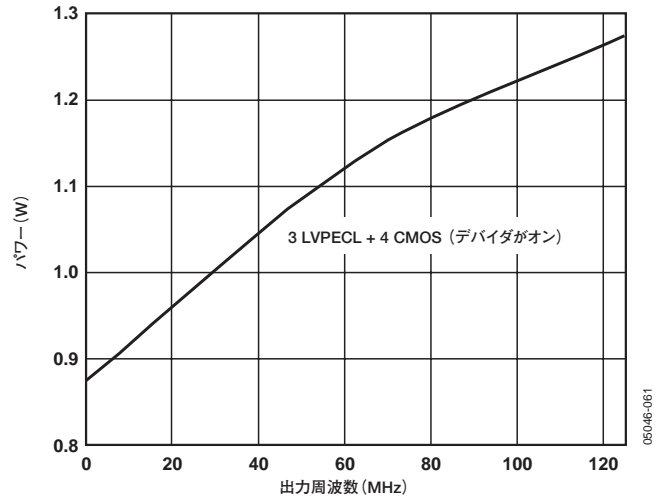


図10. パワーの周波数特性 LVPECL、CMOS(PLLオフ)

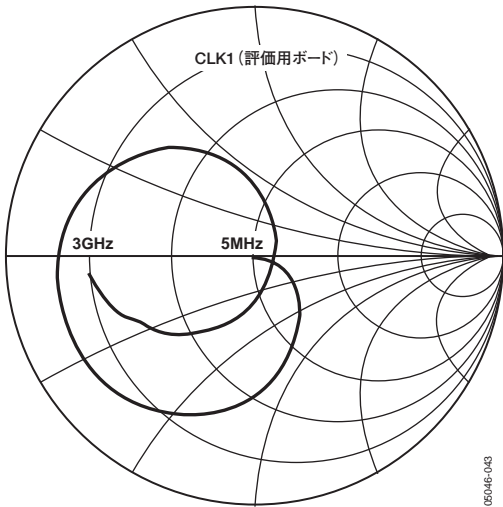


図8. CLK1のスミス・チャート(評価用ボード)

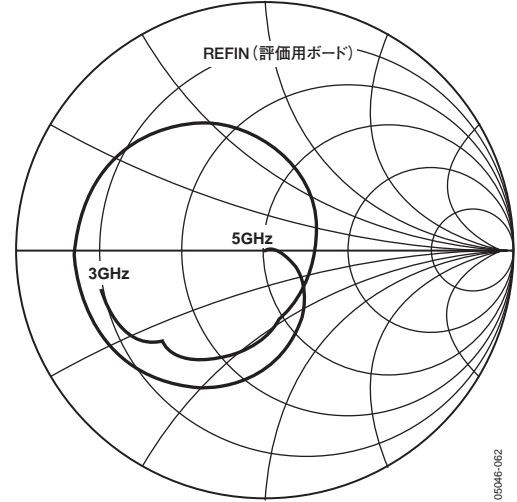


図11. REFINのスミス・チャート(評価用ボード)

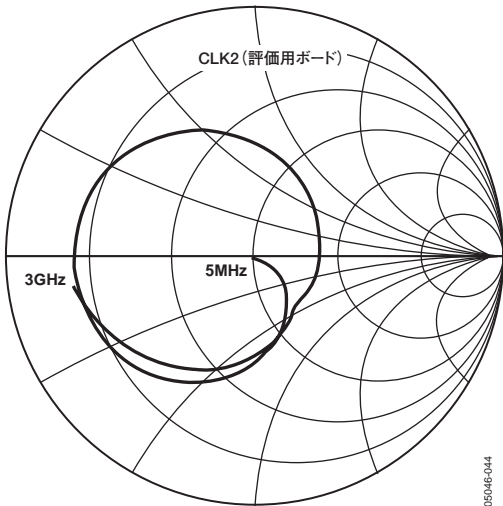


図9. CLK2のスミス・チャート(評価用ボード)

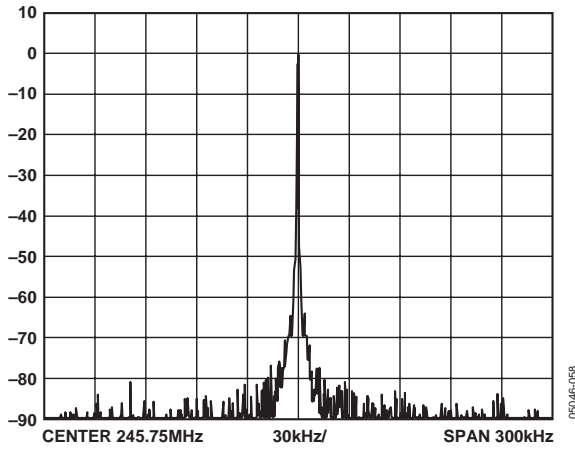


図12. 位相ノイズ、LVPECL、DIV 1、FVCXO = 245.76MHz、
FOUT = 245.76MHz、FPFD = 1.2288MHz、R = 25、N = 200

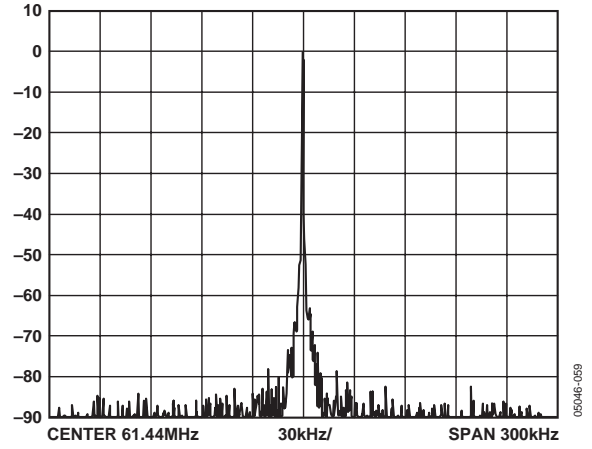


図15. 位相ノイズ、LVPECL、DIV 4、FVCXO = 245.76MHz、
FOUT = 61.44MHz、FPFD = 1.2288MHz、R = 25、N = 200

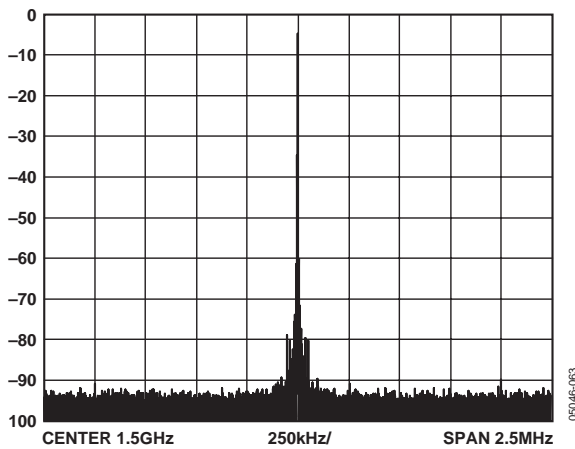


図13. PLLリファレンスのスプリアス: VCO = 1.5GHz、FPFD = 1MHz

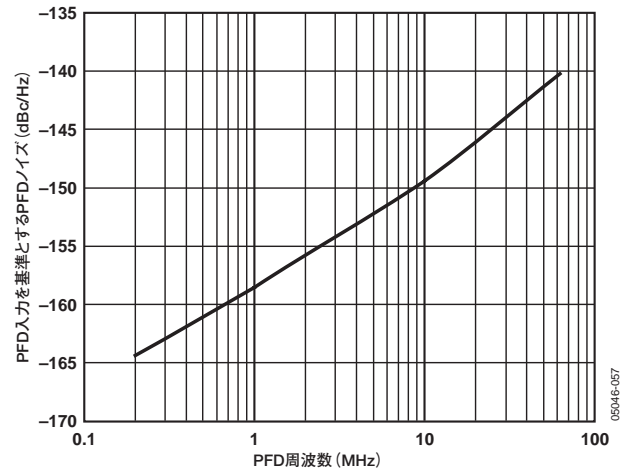


図16. PFD周波数 対 位相ノイズ(CP出力を基準とする)

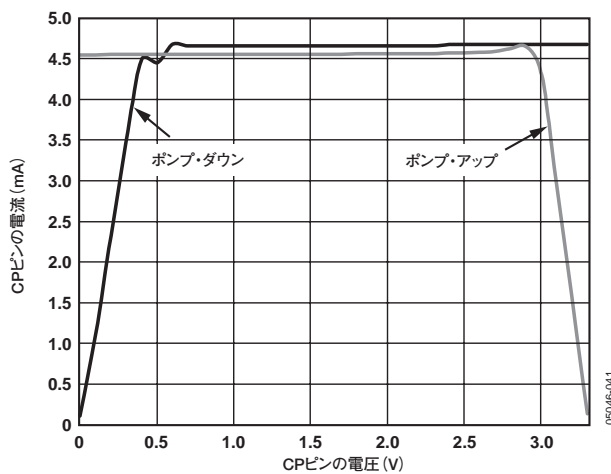


図14. チャージ・ポンプの出力特性(VCP = 3.3V)

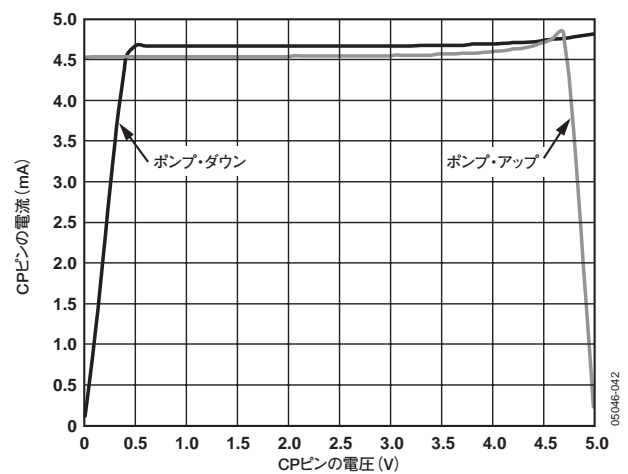


図17. チャージ・ポンプの出力特性(VCP = 5.0V)

AD9510

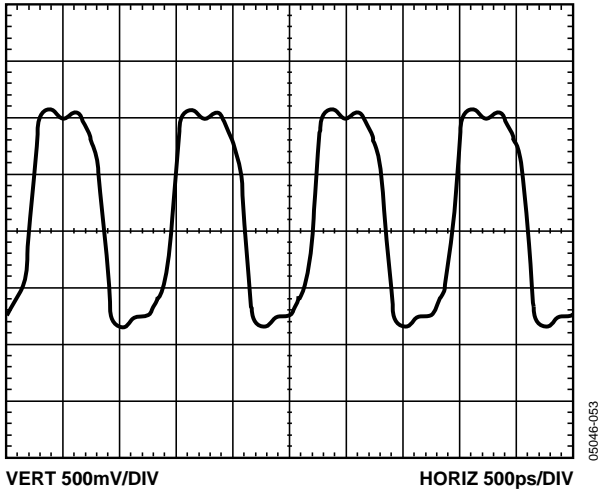


図18. LVPECL差動出力(800MHz)

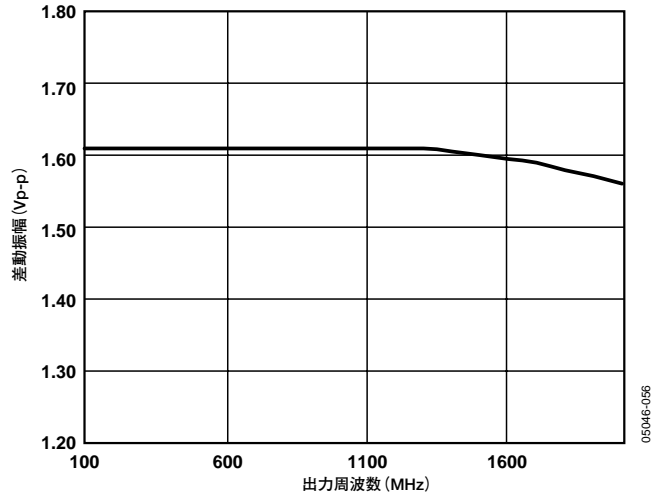


図21. LVPECL差動出力振幅の周波数特性

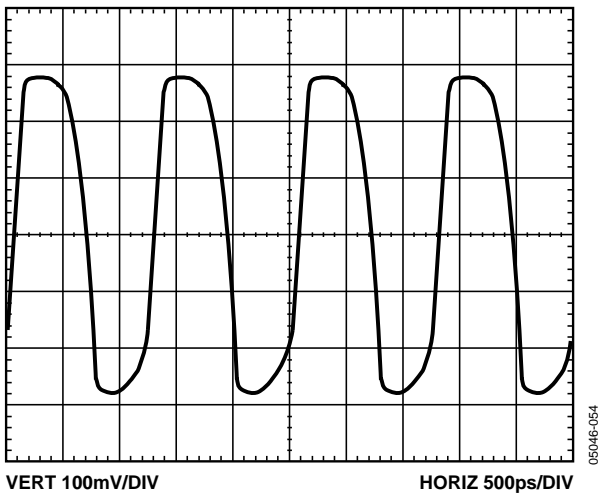


図19. LVDS差動出力(800MHz)

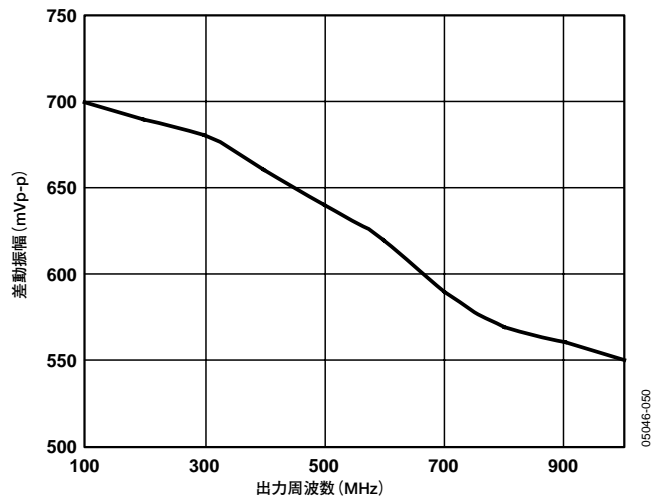


図22. LVDS差動出力振幅の周波数特性

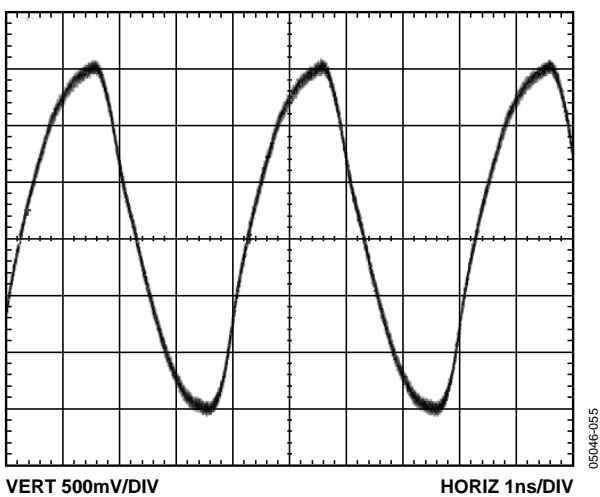


図20. CMOSシングルエンド出力(250MHz、10pF負荷)

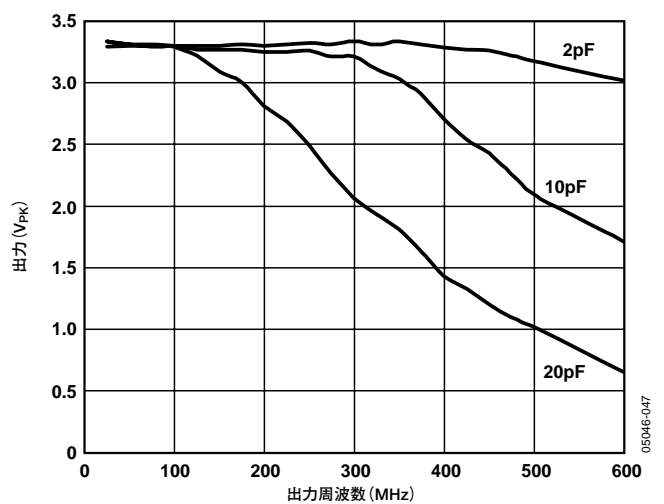


図23. CMOSシングルエンド出力振幅の周波数特性と負荷

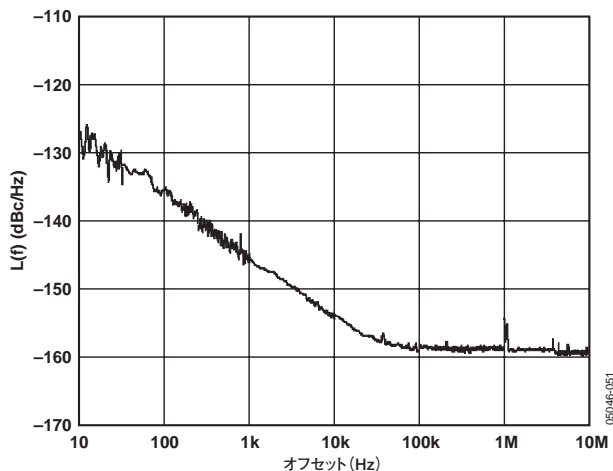


図24. 増加位相ノイズ LVPECL DIV 1、245.76MHz;分配部のみ

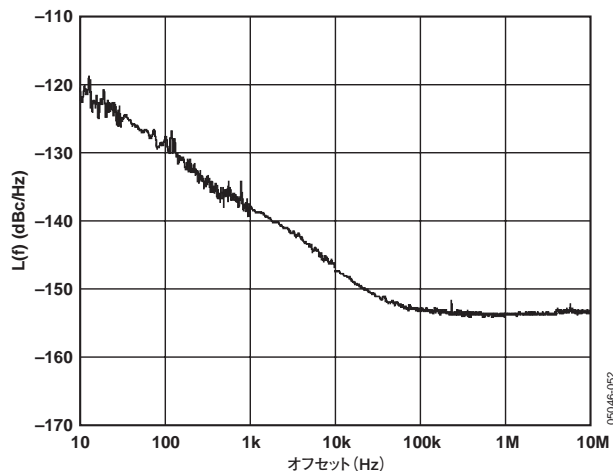


図27. 増加位相ノイズ LVPECL DIV1、622.08MHz

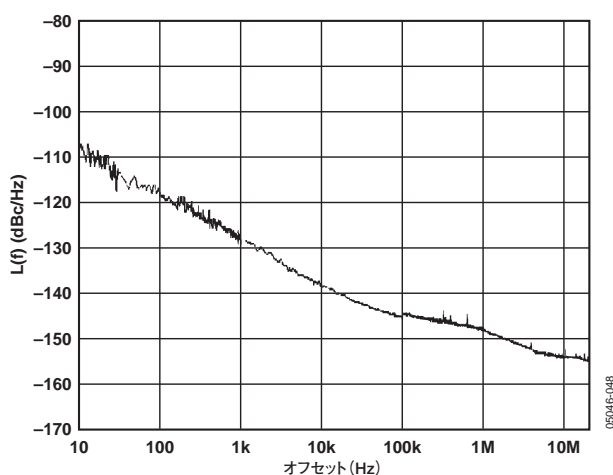


図25. 増加位相ノイズ LVDS DIV 1、245.76MHz

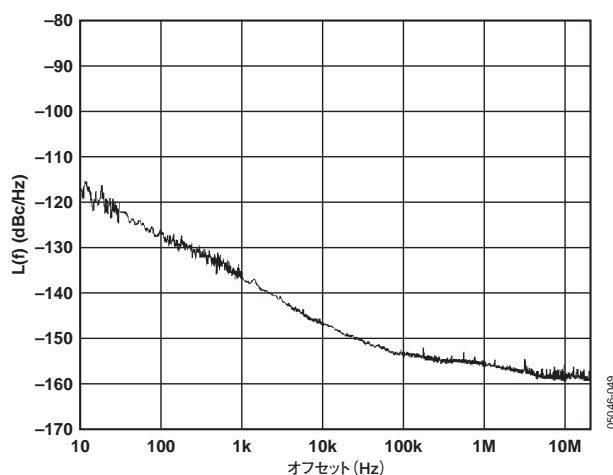


図28. 増加位相ノイズ LVDS DIV2、122.88MHz

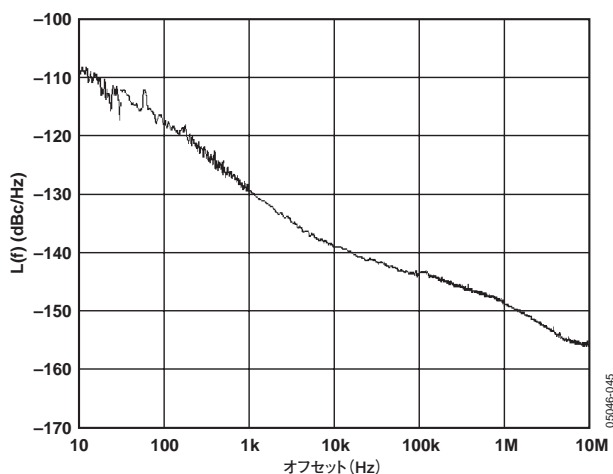


図26. 増加位相ノイズ CMOS DIV 1、245.76MHz

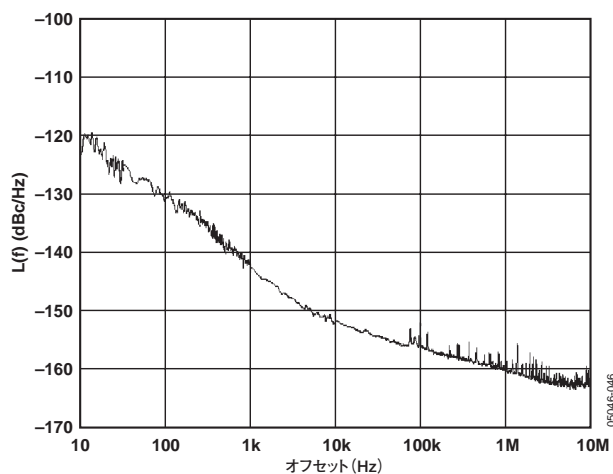


図29. 増加位相ノイズ CMOS DIV4、61.44MHz

AD9510

代表的な動作モード

外付けVCXO/VCOによるPLLとそれに続くクロック分配

これは最も一般的なAD9510の動作モードです。外付け発振器 (VCO/VCXOと表示)が、REFINに入力されるリファレンス入力周波数に位相ロックされます。ループ・フィルタは、一般にパッシブ素子によります。VCOまたはVCXOを使うことができます。CLK2入力は内部で帰還デバイダNに接続されます。CLK2入力はPLLの帰還パスを提供します。VCO/VCXO周波数が使用されている出力の最大周波数を超える場合、適切な分周比を分配部の対応するデバイダに設定する必要があります。未使用機能のシャットオフや未使用クロック・チャンネルのパワーダウンにより消費電力を節約することができます(「レジスタ・マップの説明」の項を参照)。

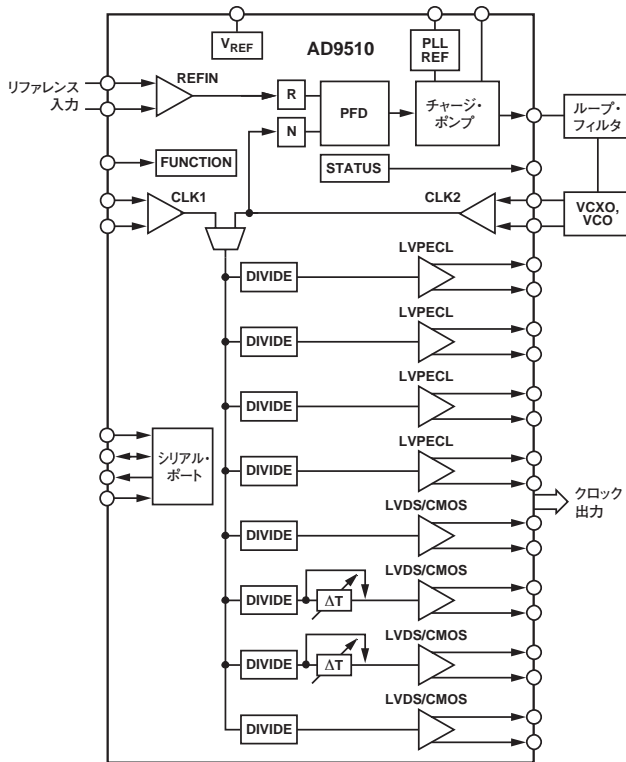


図30. PLLおよびクロック分配モード

クロック分配専用

PLL部が不要な場合は、分配部のみを使うことができます。PLLブロックのシャットオフや未使用クロック・チャンネルのパワーダウンにより、消費電力を節約することができます(「レジスタ・マップの説明」の項を参照)。

分配モードでは、CLK1入力とCLK2入力を低ジッタ・マルチプレクサ (mux) を介した出力への分配に使用できます。

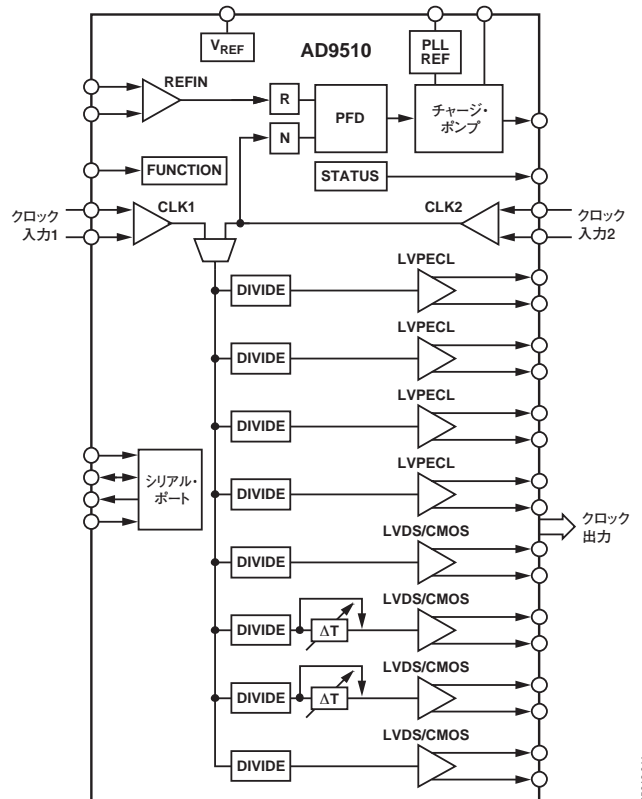


図31. クロック分配モード

05046-010

05046-011

外付けVCOとバンドパス・フィルタによるPLLとそれに続くクロック分配

PLL出力の位相ノイズ特性とスプリアス特性を改善するために、外付けのバンドパス・フィルタを使うことができます。このオプションは、安価なVCOと中価格帯のフィルタを組み合わせることにより、コストの最適化を図ることができます。BPFがVCOとNデバイダとの間のパスの外側にあり、BPフィルタ出力がCLK1に接続されていることに注意してください。未使用機能のシャットオフや未使用クロック・チャンネルのパワーダウンにより、消費電力を節約できます（「レジスタ・マップの説明」の項を参照）。

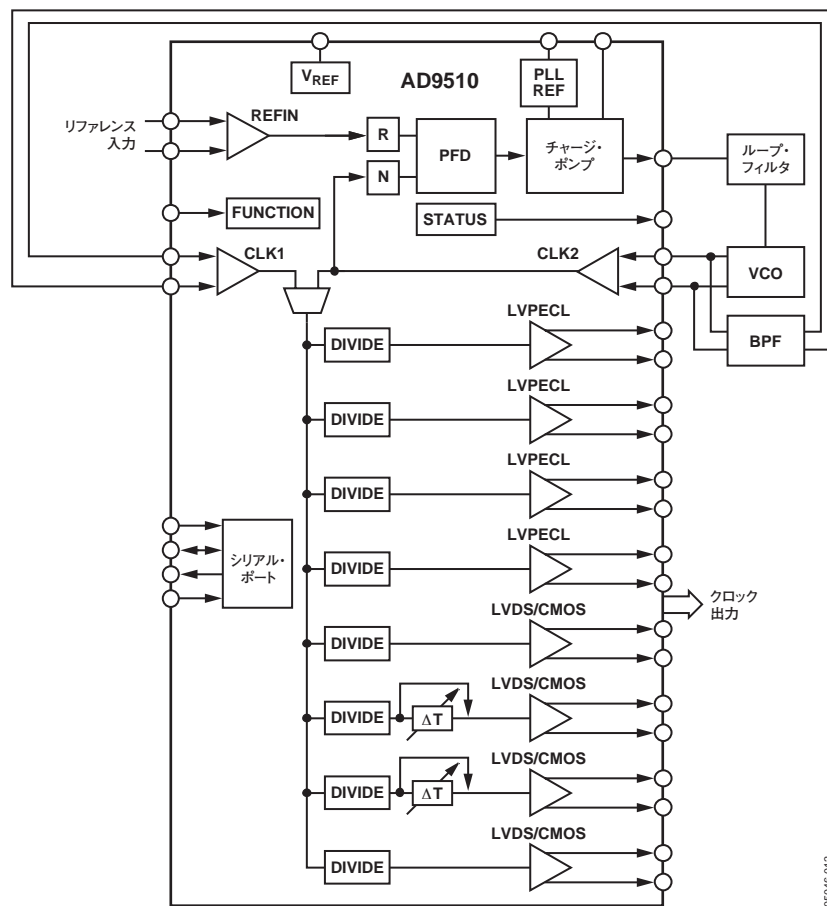


図32. VCOとBPFフィルタを使用したAD9510

AD9510

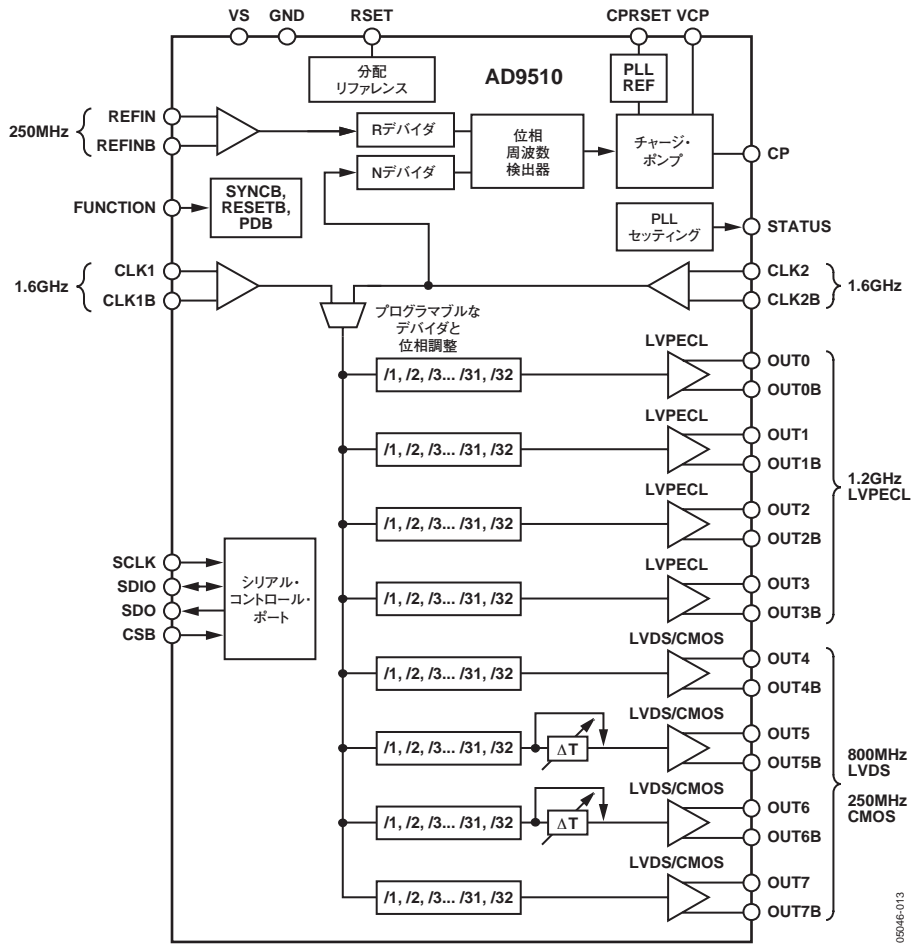


図33. 最大周波数時の機能ブロック図

機能説明

概要

図33にAD9510のブロック図を示します。このチップでは、プログラマブルなPLLコアと設定可能なクロック分配システムが組み合わせてあります。完全なPLLを構成するためには、適切な外付けVCO(またはVCXO)とループ・フィルタを追加する必要があります。このPLLはリファレンス入力信号にロックすることができ、プログラマブルなRデバイダとNデバイダで指定された比により入力周波数に関係づけられた出力を生成することができます。ループ帯域幅とVCO(VCXO)の位相ノイズ性能に応じて、PLLは外付けリファレンス信号からある程度ジッタを除去します。

VCO(VCXO)の出力は、チップのクロック分配部に入力することができます。ここで1~32の任意の整数値で分周することができます。デューティサイクルと出力の相対位相を選択することができます。4本のLVPECL出力(OUT0、OUT1、OUT2、OUT3)とLVDSまたはCMOSのレベル出力が可能な4本の出力(OUT4、OUT5、OUT6、OUT7)が用意されています。これらのうち2本の出力(OUT5とOUT6)では可変遅延ブロックを使用することもできます。

あるいは、クロック分配部を外付けクロック信号から直接駆動して、PLLをパワーオフにすることもできます。クロック分配部のみを使用する場合は、クロックのクリーンアップはありません。入力クロック信号のジッタは直接分配部を通過するため、クロック出力を支配することになります。

PLL部

AD9510は、PLL部と分配部から構成されています。必要に応じて、PLL部は分配部とは別に使用することができます。

AD9510は完全なPLLコアを内蔵しているため、必要になるのは外付けのループ・フィルタとVCO/VCXOだけです。このPLLは、優れた低位相ノイズ性能で知られるADF4106PLLをベースにしています。AD9510PLLの動作はADF4106とほぼ同じで、弊社PLLのADFシリーズと同じ利点を提供します。異なるのは、REFINとCLK2に対する差動入力の追加や、さまざまなコントロール・レジスタ・アーキテクチャの追加などがあります。また、プリスケアラはN=1が可能になるように変更されています。AD9510PLLはADF4106とはやや異なるデジタル・ロック検出機能を組み込んでいるため、高いPFDレートで機能が向上しています。「レジスタ・マップの説明」の項を参照してください。

PLLリファレンス入力—REFIN

REFIN/REFINBピンは、差動信号またはシングルエンド信号で駆動できます。これらのピンは内部でセルフバイアスされているため、通常はコンデンサを使ってACカップリングすることを推奨します。また、入力信号が比較的低いインピーダンスを持ち、同時に内部セルフバイアス電圧に近いコモンモード電圧を備えている場合は、カップリング・コンデンサを省いてDCデカップリングすることも可能です。REFINをシングルエンドで駆動する場合、未使用側(REFINB)は、適切なコンデンサを使ってノ

イズのないグラウンドにデカップリングする必要があります。図34に、REFINの等価回路を示します。

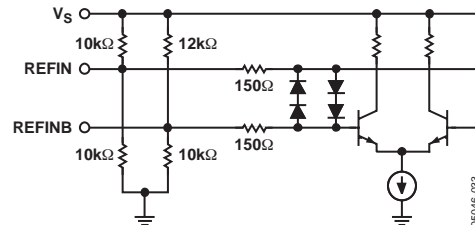


図34. REFINの等価回路

VCO/VCXOクロック入力—CLK2

CLK2差動入力、外付けのVCOまたはVCXOをPLLに接続するときに使用します。CLK2入力ポートのみが、PLL Nデバイダに接続されています。この入力には1.6GHzまで入力できます。これらの入力ピンは内部でセルフバイアスされているため、コンデンサを使ってACカップリングする必要があります。

あるいは、CLK2は分配部への入力として使うこともできます。これは、レジスタ45h<0>=0bを設定すると、可能になります。CLK1は、デフォルトで分配部への入力に設定されています。

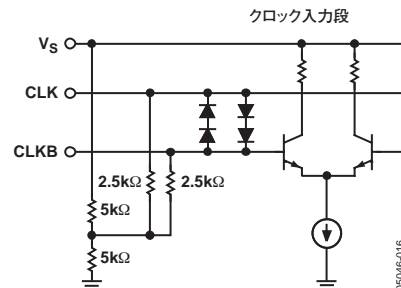


図35. CLK1、CLK2の入力等価回路

PLLリファレンス・デバイダ—R

REFIN/REFINB入力は、14ビット・カウンタのリファレンス・デバイダRに接続されています。Rには、コントロール・レジスタ(OBh<5:0>、OCh<7:0>)を使って、1~16383の任意の値を設定できます(値0は1分周に対応)。Rデバイダの出力は、位相周波数検出器入力1つに接続されます。位相周波数検出器(PFD)への最大許容周波数を超えることはできません。これは、REFIN周波数÷Rの値が最大許容PFD周波数未満でなければならないということです。

VCO/VCXO帰還デバイダ—N(P, A, B)

Nデバイダは、プリスケアラP(3ビット)と、2個のカウンタのA(6ビット)およびB(13ビット)とを組み合わせたものです。AD9510のPLLはADF4106に似ていますが、AD9510ではプリスケアラの設計を変更してNをより小さい値に設定できるようになっています。このプリスケアラは、デュアル・モジュラス(DM)モードと固定分周(FD)モードを持っています。表14にAD9510のプリスケアラ・モードを示します。

AD9510

表14. PLLプリスケラ・モード

モード (FD=固定分周 DM=デュアル・モジュラス)	0Ah<4:2> の値	分周比
FD	000	1
FD	001	2
P=2DM	010	P/P+1=2/3
P=4DM	011	P/P+1=4/5
P=8DM	100	P/P+1=8/9
P=16DM	101	P/P+1=16/17
P=32DM	110	P/P+1=32/33
FD	111	3

プリスケラをFD(固定分周)モードで使う場合、Aカウンタは使用されず、Bカウンタはバイパスされることになります。DM(デュアル・モジュラス)プリスケラ・モードでは、周波数の上限値をいくつか設定して、これをCLK2に使用できます。表15を参照。

表15. 各プリスケラ・モードの周波数上限値

モード(DM=デュアル・モジュラス)	CLK2
P = 2 DM (2/3)	<600 MHz
P = 4 DM (4/5)	<1000 MHz
P = 8 DM (8/9)	<1600 MHz
P = 16 DM	<1600 MHz
P = 32 DM	<1600 MHz

AカウンタおよびBカウンタ

AD9510のBカウンタはバイパス・モード(B=1)を備えています。このモードはADF4106にはありません。Bカウンタのバイパス・モードは、FDモードでプリスケラを使用する場合にのみ有効です。Bカウンタ・バイパス・ビット(0Ah<6>=1b)に1を書き込むと、Bカウンタがバイパスされます。Bカウンタの有効範囲は3~8191です。リセット後のデフォルトは0(無効な値)です。

プリスケラがFDモードの場合は、Aカウンタが使用されないことに注意してください。

A/Bカウンタは、固有のリセット・ビット(主にテスト用)を持っていることにも注意してください。AカウンタとBカウンタは、Rカウンタ、Aカウンタ、Bカウンタに共通のリセット・ビット(09h<0>)を使ってリセットすることもできます。

P、A、B、Rの値の決定

AD9510をデュアル・モジュラス・モードで動作させる場合、入力リファレンス周波数 R_{REF} とVCOの出力周波数 F_{VCO} との関係は以下の式で表されます。

$$F_{VCO} = (R_{REF}/R) \times (PB+A) = R_{REF} \times N/R$$

プリスケラをFDモードで動作させる場合は、Aカウンタを使用しないため、式は次のように簡単になります。

$$F_{VCO} = (R_{REF}/R) \times (PB) = R_{REF} \times N/R$$

AD9510は、DMモードとFDモードの組合せを使うことにより、N=1までのすべてのN値を実現しています。表16に、10MHzリファレンス入力があるNの任意の整数倍にロックできる方法を示します。N=12のところで説明するように、同じ値のNを異なる方法で実現できることに注意してください。

表16. P、A、B、R、Nの最小値

FREF	R	P	A	B	N	Fvco	モード	注
10	1	1	X	1	1	10	FD	P=1、B=1(バイパス)
10	1	2	X	1	2	20	FD	P=2、B=1(バイパス)
10	1	1	X	3	3	30	FD	P=1、B=3
10	1	1	X	4	4	40	FD	P=1、B=4
10	1	1	X	5	5	50	FD	P=1、B=5
10	1	2	X	3	6	60	FD	P=2、B=3
10	1	2	0	3	6	60	DM	P/P+1=2/3、A=0、B=3
10	1	2	1	3	7	70	DM	P/P+1=2/3、A=1、B=3
10	1	2	2	3	8	80	DM	P/P+1=2/3、A=2、B=3
10	1	2	1	4	9	90	DM	P/P+1=2/3、A=1、B=4
10	1	2	X	5	10	100	FD	P=2、B=5
10	1	2	0	5	10	100	DM	P/P+1=2/3、A=0、B=5
10	1	2	1	5	11	110	DM	P/P+1=2/3、A=1、B=5
10	1	2	X	6	12	120	FD	P=2、B=6
10	1	2	0	6	12	120	DM	P/P+1=2/3、A=0、B=6
10	1	4	0	3	12	120	DM	P/P+1=4/5、A=0、B=3
10	1	4	1	3	13	130	DM	P/P+1=4/5、A=1、B=3

位相周波数検出器 (PFD) およびチャージ・ポンプ

PFDはRカウンタとNカウンタ(N=BP+A)から入力を受け取り、両入力の位相差と周波数差に比例した出力を生成します。図36に簡略回路図を示します。PFDにはプログラマブルな遅延成分が含まれており、アンチバックラッシュ・パルスの幅を制御しています。このパルスは、PFDの伝達関数に不感帯が発生しないようにし、位相ノイズとリファレンス・スプリアスを最小化します。レジスタ0Dh<1:0>内の2ビットがこのパルス幅を制御しています。

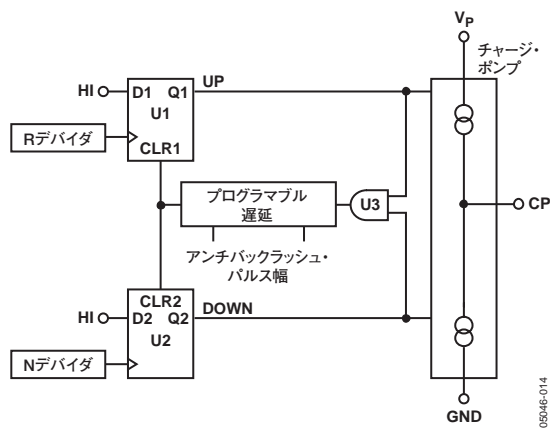


図36. PFDの簡略回路図とタイミング(ロック時)

アンチバックラッシュ・パルス

PLLは、プログラマブルなアンチバックラッシュ・パルス幅を持っていますが、そのパルス幅はレジスタ0Dh<1:0>の値で設定されます。デフォルトのアンチバックラッシュ・パルス幅は1.3ns(0Dh<1:0>=00b)で、通常これを変更する必要はありません。このアンチバックラッシュ・パルスが

位相ロック状態付近の不感帯を取り除くため、VCO信号に影響を与える一定のスプリアスの発生を抑えます。

STATUSピン

AD9510の出力マルチプレクサは、STATUSピンからさまざまな信号とチップの内部ポイントへのアクセスを可能とします。図37に、STATUSピンのブロック図を示します。STATUSピンの機能は、レジスタ08h<5:2>によって制御されます。

PLLデジタル・ロック検出

STATUSピンは、デジタル(DLD)とアナログ(ALD)の2種類のPLLロック検出を表示できます。デジタル・ロック検出が必要な場合、STATUSピンはCMOSレベル信号を出力します。この信号はアクティブ・ハイまたはアクティブ・ローにすることができます。

デジタル・ロック検出には、レジスタ0Dh<5>で2種類から選択できる時間ウィンドウがあります。デフォルトの(0Dh<5>=0b)では、PFDに対する入力の信号エッジが9.5ns以内に一致したときにDLDが「真」になりますが、DLD=「偽」になるためには、その後少なくとも15nsの間隔が必要です。

もう一方の設定(0Dh<5>=1)では、信号エッジが3.5ns以内に一致したときにDLD=「真」となりますが、DLD=「偽」となるためには7nsが必要で

レジスタ0Dh<6>に1を書き込むと、DLDはデイスエーブルになります。

DLDが「真」のときにREFINの信号が消えると、DLDはロックの喪失を表示しないことがあります。詳細については、「リファレンス損失」の項を参照してください。

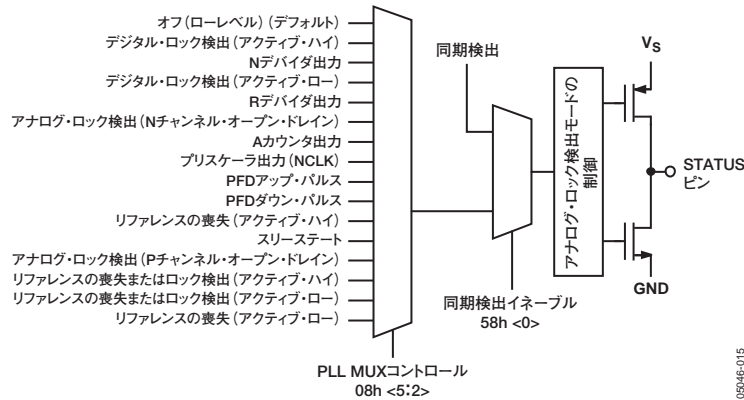


図37. STATUSピンの回路とCLK1クロック入力

PLLアナログ・ロック検出

アナログ・ロック検出 (ALD) 信号を選択することもできます。ALD を選択すると、STATUSピンの信号はオープン・ドレインPチャンネル (08h<5:2>=1100) またはオープン・ドレインNチャンネル (08h<5:2>=0101b) になります。

アナログ・ロック検出信号の「真」には、短い「偽」パルスが重畳されています (選択したモードに対応)。これらの「偽」パルスはPFDへの入力が一致に近付くと狭くなり、一致から遠ざかると広がります。

有効なアナログ・ロック検出信号を取り出すには、外付けの電圧コンパレータでロック状態を識別できるように、適切なRC定数のアナログ・フィルタを構成する外付けのRC回路が必要となります。これには、小さなコンデンサと1kΩの抵抗を並列接続するだけで十分ですが、希望の動作が得られるようになるまでには何回か試してみる必要があります。

アナログ・ロック検出機能は、スプリアス・エネルギーをクロック出力に混入させることがあります。クロック出力に最高のジッタ/位相ノイズ性能が必要とされる場合は、ALDの使用を制限することも賢明です。

リファレンスの喪失

AD9510 PLLは、REFINにリファレンスの喪失警告を出力することができます。このリファレンスの喪失監視機能は、内部でLREFと呼ばれるフラグを設定します。外部では、レジスタ08h<5:2>のPLL MUX制御の設定に応じて、STATUSピンからこの信号を複数の方法で観測することができます。LREF自体は、08h<5:2>=<1010>を設定した場合はアクティブ・ハイ信号として、08h<5:2>=<1111>を設定した場合はアクティブ・ロー信号として、それぞれ観測することができます。

リファレンスの喪失回路はVCO信号でクロック駆動されるため、リファレンスの喪失を検出するためにはVCO信号の存在が必要です。

デジタル・ロック検出出力を有効とするためには、AD9510のデジタル・ロック検出 (DLD) ブロックは、PLLリファレンス信号の存在を必要とします。リファレンスの喪失信号が発生した後も「真」に留まるデジタル・ロック検出表示 (DLD=「真」) を持つことも可能です。このため、リファレンスを喪失した場合、単にデジタル・ロック検出信号だけに依存することはできません。DLDとLREFをSTATUSピン上で1つの信号にまとめる方法があります。08h<5:2>=<1101>を設定すると、ロックの喪失 (DLDの逆) とリファレンスの喪失 (LREF) アクティブ・ハイの論理和の信号が得られます。この同じ信号のアクティブ・ロー・バージョンが必要な場合は、08h<5:2>=<1110>を設定します。

リファレンス・モニタ機能は、07h<6:5>の値で設定されたPFDサイクル数間DLD信号のハイレベルが継続した後にイネーブルになります。この遅延はPFDサイクル数でカウントされます。この遅延は、3 PFDサイクル (デフォルト) ~ 24 PFDサイクルの範囲が可能です。リファレンスが喪失すると、LREFが「真」になり、チャージ・ポンプがスリーステートになります。

この状態からデバイスを抜け出させるには、ユーザの介入が必要です。まず、07h<2>=0bを書き込み、リファレンスの喪失回路をディスエーブルにし、チャージ・ポンプをスリーステートから抜け出させて、LREFを「偽」にします。次に、07h<2>=1を書き込み、リファレンスの喪失回路を再びイネーブルにする必要があります。

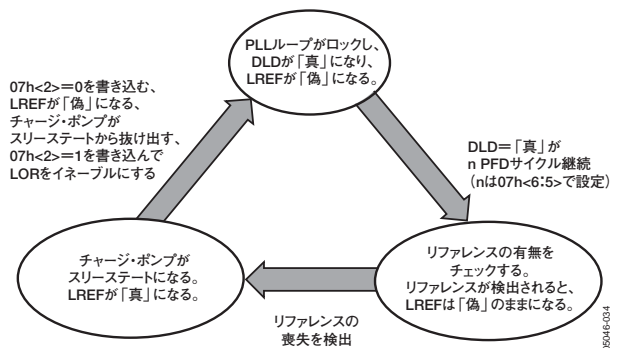


図38. リファレンスの喪失時のイベント・シーケンス

FUNCTIONピン

FUNCTIONピン(16)は3つの機能を持ち、これらはレジスタ58h<6:5>の値を使って選択されます。このピンは、内部で30kΩの抵抗でプルダウンされています。このピンを未接続のままにしておくと、デバイスはデフォルトでリセット状態になります。これを回避するため、このピンは1kΩの抵抗を介してV_Sに接続してください。

RESETB: 58h<6:5>=00b(デフォルト)

デフォルト・モードでは、FUNCTIONピンはRESETBとして機能し、非同期リセットを生成するか、またはプルダウンされたときハード・リセットを生成します。このリセットにより、デフォルト値がシリアル・コントロール・ポート・バッファ・レジスタに書き込まれ、さらにこれらの値がチップ・コントロール・レジスタにロードされます。RESETB信号が再度ハイレベルになると、同期信号が発行され(「SYNCB: 58h<6:5>=01b」の項を参照)、AD9510はレジスタのデフォルト値に従って動作を再開します。

SYNCB: 58h<6:5>=01b

FUNCTIONピンを使用し、さまざまなクロック出力間での位相の同期またはアライメントを行うことができます。同期は、次のクロック出力にのみ適用されます。

- クロックがパワーダウンしていない
- デバイダがマスクされていないクロック(非同期=0b)
- クロックがバイパスされていない(バイパス=0b)

SYNCBは、レベルおよび立上がりエッジ検出です。SYNCBがローレベルの場合、影響を受ける出力は、各デバイダのスタート・ハイ・ビットで指定される既定の状態に保持されます。立上がりエッジで、デバイダの位相オフセット・ビット内の値で指定された高速クロック・サイクル数の経過後にデバイダが動作を開始します(高速クロックは選択されたクロック入力CLK1またはCLK2になります)。

FUNCTIONピンのSYNCBアプリケーションは、このピンがリセットまたはパワーダウンの機能にも割り当てられているか否かに関係なく、常にアクティブです。しかし、SYNCB機能を選択すると、FUNCTIONピンは、RESETBまたはPDBとして機能しなくなります。

PDB: 58h<6:5>=11b

FUNCTIONピンは、非同期フル・パワーダウンPDBとして機能するように設定することもできます。このフル・パワーダウン・モードにある場合でも、いくつかの内蔵リファレンスが動作を続けるため残留V_S電流が流れます。PDBモードでは、FUNCTIONピンはアクティブ・ローになります。PDBがハイレベルに戻るまで、チップはパワーダウン状態に留まります。チップは、パワーダウンの前にプログラミングされた設定に戻ります。

PDBにより開始されたパワーダウン時の事象については、「チップのパワーダウンまたはスリープ・モード—PDB」の項を参照してください。

分配部

前述のように、AD9510はPLLと分配の2つの動作部分に分割されています。PLL部についてはすでに説明しました。必要に応じて、分配部はPLL部とは別に使用できます。

CLK1およびCLK2クロック入力

分配部への入力としてCLK1またはCLK2を選択できます。CLK1入力は、分配部のみを駆動するように接続できます。レジスタに45h<0>=1を設定すると、CLK1が分配部へのソースとして選択されます。これは、パワーアップ時のデフォルト状態です。

CLK1とCLK2は、1600MHzまでの入力に対して動作します。ジッタ性能は、入力スループレートが高くなると向上します。入力レベルは、約150mV_{p-p}~2V_{p-p}の範囲である必要があります。これより大きい場合は、入力ピンの保護ダイオードがターンオンして、ジッタ性能が低下します。

CLK1とCLK2の等価入力回路については図35を参照してください。これらの入力は完全差動構成となっており、セルフバイアスされています。信号はコンデンサでACカップリングする必要があります。シングルエンド入力を使う場合は、差動入力の片方だけをACカップリングします。他方の入力は、コンデンサを使ってノイズのないACグラウンドへバイパスする必要があります。

選択されていないクロック入力(CLK1またはCLK2)はパワーダウンさせ、選択されたクロック入力と非選択のクロック入力との間の不要なクロストークを除去する必要があります。

デバイダ

AD9510の8本の各クロック出力には、専用のデバイダが付いています。デバイダをバイパスして、入力と同じ同じ周波数(1×)を出力することができます。デバイダをバイパスすると、消費電力を節約するためにパワーダウンされます。

1~32のすべての整数分周比を選択することができます。デバイダをバイパスすると、分周比1が選択されます。

各デバイダの分周比、位相、デューティサイクルを設定することができます。選択可能な位相とデューティサイクルの値は、選択された分周比に依存します。

AD9510

分周比の設定

分周比は、OUT0～OUT7の各出力を制御するレジスタにSCPを使って書込んだ値により決定されます。これらは48h～56hの偶数番号のレジスタです。これらの各レジスタは、デバイダ出力がハイレベルを維持するクロック・サイクル数を制御するビット(ハイレベル・クロック・サイクル数<3:0>)とデバイダ出力がローレベルを維持するクロック・サイクル数を制御するビット(ローレベル・クロック・サイクル数<7:4>)から構成されています。各値は4ビットで、0～15の範囲を持っています。

分周比は次式で設定されます。

$$\text{分周比} = (\text{ハイレベル・クロック・サイクル数} + 1) + (\text{ローレベル・クロック・サイクル数} + 1)$$

例1:

分周比=2に設定する場合

ハイレベル・クロック・サイクル数=0

ローレベル・クロック・サイクル数=0

分周比=(0+1)+(0+1)=2

例2:

分周比=8に設定する場合

ハイレベル・クロック・サイクル数=3

ローレベル・クロック・サイクル数=3

分周比=(3+1)+(3+1)=8

分周比8は次の方法でも設定できます。

ハイレベル・クロック・サイクル数=2

ローレベル・クロック・サイクル数=4

分周比=(2+1)+(4+1)=8

2番目の設定では分周比は等しくなりますが、デューティサイクルは異なります。

デューティサイクルの設定

デューティサイクルと分周比は互いに関係しています。異なる分周比には、異なるデューティサイクル・オプションがあります。たとえば、分周比=2の場合、唯一可能なデューティサイクルは50%です。分周比=4の場合、デューティサイクルは25%、50%、75%が可能です。

デューティサイクルは次式で設定されます。

デューティサイクル =

$$\frac{(\text{ハイレベル・クロック・サイクル数} + 1)}{(\text{ハイレベル・クロック・サイクル数} + 1) + (\text{ローレベル・クロック・サイクル数} + 1)}$$

各分周比に対応するデューティサイクル値については、表17を参照してください。

表17. デューティサイクルおよび分周比

分周比	デューティ サイクル (%)	48h~56h	
		LO <7:4>	HI<3:0>
2	50	0	0
3	67	0	1
3	33	1	0
4	50	1	1
4	75	0	2
4	25	2	0
5	60	1	2
5	40	2	1
5	80	0	3
5	20	3	0
6	50	2	2
6	67	1	3
6	33	3	1
6	83	0	4
6	17	4	0
7	57	2	3
7	43	3	2
7	71	1	4
7	29	4	1

分周比	デューティ サイクル (%)	48h~56h	
		LO <7:4>	HI<3:0>
7	86	0	5
7	14	5	0
8	50	3	3
8	63	2	4
8	38	4	2
8	75	1	5
8	25	5	1
8	88	0	6
8	13	6	0
9	56	3	4
9	44	4	3
9	67	2	5
9	33	5	2
9	78	1	6
9	22	6	1
9	89	0	7
9	11	7	0
10	50	4	4
10	60	3	5

分周比	デューティ サイクル(%)	48h~56h		分周比	デューティ サイクル(%)	48h~56h	
		LO <7:4>	HI<3:0>			LO <7:4>	HI<3:0>
10	40	5	3	14	93	0	C
10	70	2	6	14	7	C	0
10	30	6	2	15	53	6	7
10	80	1	7	15	47	7	6
10	20	7	1	15	60	5	8
10	90	0	8	15	40	8	5
10	10	8	0	15	67	4	9
11	55	4	5	15	33	9	4
11	45	5	4	15	73	3	A
11	64	3	6	15	27	A	3
11	36	6	3	15	80	2	B
11	73	2	7	15	20	B	2
11	27	7	2	15	87	1	C
11	82	1	8	15	13	C	1
11	18	8	1	15	93	0	D
11	91	0	9	15	7	D	0
11	9	9	0	16	50	7	7
12	50	5	5	16	56	6	8
12	58	4	6	16	44	8	6
12	42	6	4	16	63	5	9
12	67	3	7	16	38	9	5
12	33	7	3	16	69	4	A
12	75	2	8	16	31	A	4
12	25	8	2	16	75	3	B
12	83	1	9	16	25	B	3
12	17	9	1	16	81	2	C
12	92	0	A	16	19	C	2
12	8	A	0	16	88	1	D
13	54	5	6	16	13	D	1
13	46	6	5	16	94	0	E
13	62	4	7	16	6	E	0
13	38	7	4	17	53	7	8
13	69	3	8	17	47	8	7
13	31	8	3	17	59	6	9
13	77	2	9	17	41	9	6
13	23	9	2	17	65	5	A
13	85	1	A	17	35	A	5
13	15	A	1	17	71	4	B
13	92	0	B	17	29	B	4
13	8	B	0	17	76	3	C
14	50	6	6	17	24	C	3
14	57	5	7	17	82	2	D
14	43	7	5	17	18	D	2
14	64	4	8	17	88	1	E
14	36	8	4	17	12	E	1
14	71	3	9	17	94	0	F
14	29	9	3	17	6	F	0
14	79	2	A	18	50	8	8
14	21	A	2	18	56	7	9
14	86	1	B	18	44	9	7
14	14	B	1	18	61	6	A

AD9510

分周比	デューティ サイクル(%)	48h~56h	
		LO <7:4>	HI<3:0>
18	39	A	6
18	67	5	B
18	33	B	5
18	72	4	C
18	28	C	4
18	78	3	D
18	22	D	3
18	83	2	E
18	17	E	2
18	89	1	F
18	11	F	1
19	53	8	9
19	47	9	8
19	58	7	A
19	42	A	7
19	63	6	B
19	37	B	6
19	68	5	C
19	32	C	5
19	74	4	D
19	26	D	4
19	79	3	E
19	21	E	3
19	84	2	F
19	16	F	2
20	50	9	9
20	55	8	A
20	45	A	8
20	60	7	B
20	40	B	7
20	65	6	C
20	35	C	6
20	70	5	D
20	30	D	5
20	75	4	E
20	25	E	4
20	80	3	F
20	20	F	3
21	52	9	A
21	48	A	9
21	57	8	B
21	43	B	8
21	62	7	C
21	38	C	7
21	67	6	D
21	33	D	6
21	71	5	E
21	29	E	5
21	76	4	F
21	24	F	4
22	50	A	A

分周比	デューティ サイクル(%)	48h~56h	
		LO <7:4>	HI<3:0>
22	55	9	B
22	45	B	9
22	59	8	C
22	41	C	8
22	64	7	D
22	36	D	7
22	68	6	E
22	32	E	6
22	73	5	F
22	27	F	5
23	52	A	B
23	48	B	A
23	57	9	C
23	43	C	9
23	61	8	D
23	39	D	8
23	65	7	E
23	35	E	7
23	70	6	F
23	30	F	6
24	50	B	B
24	54	A	C
24	46	C	A
24	58	9	D
24	42	D	9
24	63	8	E
24	38	E	8
24	67	7	F
24	33	F	7
25	52	B	C
25	48	C	B
25	56	A	D
25	44	D	A
25	60	9	E
25	40	E	9
25	64	8	F
25	36	F	8
26	50	C	C
26	54	B	D
26	46	D	B
26	58	A	E
26	42	E	A
26	62	9	F
26	38	F	9
27	52	C	D
27	48	D	C
27	56	B	E
27	44	E	B
27	59	A	F
27	41	F	A
28	50	D	D

分周比	デューティ サイクル (%)	48h~56h	
		LO <7:4>	HI<3:0>
28	54	C	E
28	46	E	C
28	57	B	F
28	43	F	B
29	52	D	E
29	48	E	D
29	55	C	F
29	45	F	C

分周比	デューティ サイクル (%)	48h~56h	
		LO <7:4>	HI<3:0>
30	50	E	E
30	53	D	F
30	47	F	D
31	52	E	F
31	48	F	E
32	50	F	F

AD9510

デバイダの位相オフセット

選択した分周比に応じて、各出力の位相を選択できます。各出力の位相とスタートH/L (ハイ/ロー) ビットを設定するレジスタに該当する値を書き込むと、この機能が選択されます。これらは、49h~57hの奇数番号のレジスタです。各デバイダは、4ビットの位相オフセット<3:0>とスタートHまたはLビット<4>を持っています。

同期パルスに続いて、位相オフセット・ワードは、クロック出力エッジを開始する前の高速クロック(CLK1またはCLK2)待機サイクル数を決定します。スタートH/Lビットは、デバイダ出力をローレベルまたはハイレベルのいずれかで開始するかを指定します。各デバイダに異なる位相オフセットを設定すると、出力間遅延を高速クロックの周期 t_{CLK} 単位で設定できます。

図39に、4個のデバイダに対して、DIV=4、50%デューティサイクルを設定する例を示します。0から3へ位相オフセットをインクリメントさせると、各出力は初期エッジから t_{CLK} の整数倍でオフセットされます。

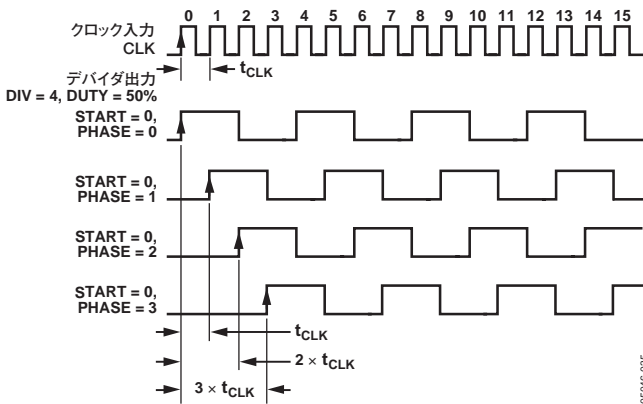


図39. 位相オフセット すべてのデバイダにDIV = 4、位相0 ~ 3を設定

たとえば:

- CLK1=491.52MHz
- $t_{CLK1} = 1/491.52 = 2.0345\text{ns}$
- DIV=4に対して
- 位相オフセット0=0ns
- 位相オフセット1=2.0345ns
- 位相オフセット2=4.069ns
- 位相オフセット3=6.104ns

4本の出力も次のように設定することができます。

- OUT1=0°
- OUT2=90°
- OUT3=180°
- OUT4=270°

位相オフセットを位相=4に設定すると、最初のチャンネルと同じ相対位相である位相=0°または360°が得られます。

一般に、4ビットの位相オフセットとスタートH/Lビットを組み合わせると、32通りの位相オフセット状態が可能です(表18)。

表18. 位相オフセット スタートH/Lビット

位相オフセット (高速クロックの 立上がりエッジ)	49h~57h	
	位相オフセット <3:0>	スタートH/L <4>
0	0	0
1	1	0
2	2	0
3	3	0
4	4	0
5	5	0
6	6	0
7	7	0
8	8	0
9	9	0
10	10	0
11	11	0
12	12	0
13	13	0
14	14	0
15	15	0
16	0	1
17	1	1
18	2	1
19	3	1
20	4	1
21	5	1
22	6	1
23	7	1
24	8	1
25	9	1
26	10	1
27	11	1
28	12	1
29	13	1
30	14	1
31	15	1

位相オフセットの分解能は、CLK1またはCLK2の高速クロック周期(t_{CLK})により設定されます。そのため、各分周比は32種類すべての固有の位相オフセットを持つことができません。すべての分周比について、固有の位相オフセット数は、次のように数値的に分周比に一致します(表18)。

DIV=4

固有の位相オフセットは、位相=0、1、2、3になります。

DIV=7

固有の位相オフセットは、位相=0、1、2、3、4、5、6になります。

DIV=18

固有の位相オフセットは、位相=0、1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17になります。

位相オフセットは、特定の分周比に対する位相ステップの計算により、次式で度数と関係付けられます。

$$\text{位相ステップ} = 360^\circ / (\text{分周比}) = 360^\circ / \text{DIV}$$

同じ例を使うと、

DIV=4

$$\text{位相ステップ} = 360^\circ / 4 = 90^\circ$$

固有の位相オフセットを度で表すと、位相=0°、90°、180°、270°になります。

DIV=7

$$\text{位相ステップ} = 360^\circ / 7 = 51.43^\circ$$

固有の位相オフセットを度で表すと、位相=0°、51.43°、102.86°、154.29°、205.71°、257.15°、308.57°になります。

遅延ブロック

OUT5とOUT6(LVDS/CMOS)には、アナログ遅延要素が含まれています。この遅延要素を設定して(レジスタ34h~レジスタ3Ah)、その出力を通過するクロック信号に可変時間遅延(Δt)を与えることができます。

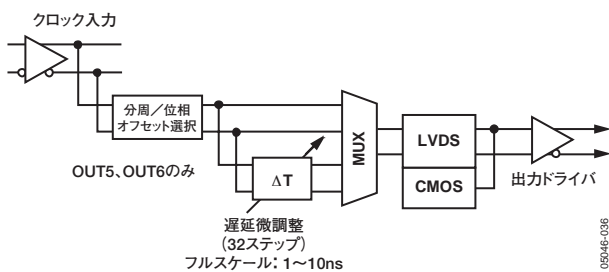


図40. アナログ遅延(OUT5とOUT6)

使用可能な遅延量は、遅延されるクロックの周波数により決定されます。遅延量は、クロック周期の1/2サイクルに近づけることができます。たとえば、10MHzクロックの場合、その遅延素子部で可能な最大遅延時間10nsまで延ばすことができます。しかし、100MHzクロック(50%デューティサイクル)の場合の最大遅延時間は5ns(1/2周期)未満となります。

OUT5とOUT6において、遅延時間のフルスケール範囲は1~10nsになります。レジスタ35hとレジスタ39hに該当する値を書き込み、ランプ電流とコンデンサ数の組合せを選択することで、フルスケール遅延を選択できます。レジスタ36hとレジスタ3Ahの設定により、各フルスケールに対して32通りの微調整遅延設定があります。

このパスにより、非遅延出力に対する規定値より大きいジッタが加わります。この遅延機能は主に、データ・コンバータではなく、FPGA、ASIC、DUC、DDCのようなデジタル・チップのクロック駆動に使われることを意味します。ジッタは、長いフルスケール(約10ns)ほど大きくなります。これは、遅延ブロックがランプとトリップ・ポイントを使用して可変遅延を生成しているためです。ランプが長いほど、多くのノイズが混入します。

遅延の計算

次の値と式を使用し、遅延ブロックの遅延を計算します。

ランプ電流コントロール・ビット値(レジスタ35hまたはレジスタ39h <2:0>) = I_{ramp} ビット

$$I_{\text{RAMP}} (\mu\text{A}) = 200 \times (I_{\text{ramp}} \text{ビット} + 1)$$

コンデンサ数 = ランプ制御コンデンサ(レジスタ35hまたはレジスタ39h <5:3>)内の0数+1、すなわち101=1+1=2; 110=2; 100=2+1=3; 001=2+1=3; 111=0+1=1)

$$\text{遅延レンジ(ns)} = 200 \times ((\text{コンデンサ数} + 3) / (I_{\text{RAMP}})) \times 1.3286$$

$$\text{オフセット(ns)} = 0.34 + (1600 - I_{\text{RAMP}}) \times 10^{-4} + \left(\frac{\text{コンデンサ数} - 1}{I_{\text{RAMP}}} \right) \times 6$$

$$\text{遅延フルスケール(ns)} = \text{遅延レンジ} + \text{オフセット}$$

微調整 = 遅延微調整値(レジスタ36hまたはレジスタ34h <5:1>、すなわち11111=31)

$$\text{遅延(ns)} = \text{オフセット} + \text{遅延レンジ} \times \text{遅延微調整値} \times (1/31)$$

出力

AD9510は、LVPECL、LVDS、CMOSの3種類の出力レベルを提供しています。OUT0~OUT3はLVPECL専用です。OUT4~OUT7では、LVDSまたはCMOSを選択できます。各出力は、消費電力を節約するためにイネーブルまたはターンオフすることができます。

LVPECL出力の簡略等価回路を図41に示します。

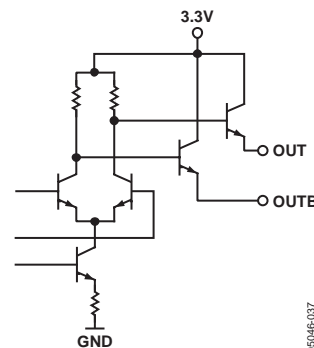


図41. LVPECL出力の簡略等価回路

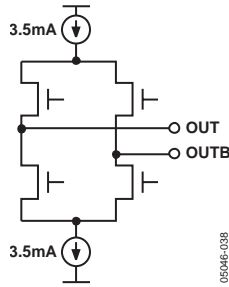


図42. LVDS出力の簡略等価回路

パワーダウン・モード

チップ・パワーダウンまたはスリープ・モード—PDB

PDBチップのパワーダウン機能は、AD9510の大部分の機能と電流をターンオフします。PDBモードをイネーブルにして、FUNCTIONピンにローレベルを入力すると、チップ・パワーダウン機能が起動されます。PDBがハイレベルに戻るまでチップはパワーダウン状態に留まります。ウェイクアップすると、PDBモードがアクティブの間にレジスタの設定値を変更しない限り、AD9510はパワーダウン前のレジスタの設定値に戻ります。

PDBパワーダウン・モードでは、安全なシャットダウン・モードでのLVPECL出力の維持に必要なバイアス電流を除き、チップ上の電流がシャットダウンされます。これは、スリーステート時に一定の終端構成と負荷構成により発生する損傷からLVPECL出力回路を保護するために必要です。これは完全なパワーダウンでないため、スリープ・モードと呼ばれます。

AD9510がPDBパワーダウン・モードまたはスリープ・モードに入ると、チップの状態は次のようになります。

- PLLがオフ(非同期パワーダウン)
- すべてのクロックと同期回路がオフ
- すべてのデバイスがオフ
- すべてのLVDS/CMOS出力がオフ
- すべてのLVPECL出力が安全なオフ・モード
- シリアル・コントロール・ポートがアクティブで、チップはコマンドに応答可能

AD9510のクロック出力を互いに同期させる必要がある場合は、現在のパワーダウン・モードで同期が必要です(「シングルチップ同期」の項を参照)。

PLLのパワーダウン

AD9510のPLL部は、パワーダウン・モードを選択できます。3種類のPLLパワーダウン・モードがあり、レジスタ0Ah<1:0>の値で設定できます(表19)。

表19. レジスタ0Ah: PLLパワーダウン

<1>	<0>	モード
0	0	通常動作
0	1	非同期パワーダウン
1	0	通常動作
1	1	同期パワーダウン

非同期パワーダウン・モードでは、レジスタが更新されると、直ちにデバイスがパワーダウンします。

同期パワーダウン・モードでは、不要な周波数ジャンプを防止するため、PLLパワーダウンはチャージ・ポンプでゲーティングされます。レジスタが更新された後の次のチャージ・ポンプ・イベントの発生で、デバイスがパワーダウンします。

分配部のパワーダウン

レジスタに58h<3>=1を書き込むと、分配部をパワーダウンさせることができます。これにより、分配部へのバイアスがターンオフされます。LVPECLパワーダウン・モードが通常動作<00>の場合、そのLVPECL出力に低インピーダンス負荷があると、パワーダウン時に大きな電流が流れることがあります。LVPECLパワーダウン・モードが<11>に設定されている場合、LVPECL出力は逆バイアスから保護されないため、ある終端条件下で損傷することがあります。

このモードをPLLパワーダウンと組み合わせると、AD9510のパワーダウン電流を最小にすることができます。

個別クロック出力のパワーダウン

SCPを使って該当するレジスタに書き込むと、8本のすべてのクロック分配出力を個別にパワーダウンできます。レジスタ・マップに、各出力に対する個別パワーダウン設定を示します。出力負荷構成に関係なく、LVDS/CMOS出力をパワーダウンさせることができます。

LVPECL出力には複数のパワーダウン・モードがあります(表24のレジスタ・アドレス3C、レジスタ・アドレス3D、レジスタ・アドレス3E、レジスタ・アドレス3Fを参照)。このため、さまざまな出力終端条件を扱う際に柔軟性があります。モードが<10>に設定されると、LVPECL出力は $2V_{BE} + 1V$ に逆バイアスされることから保護されます。モードが<11>に設定されると、LVPECL出力は逆バイアスから保護されないため、ある終端条件下で損傷を受けることがあります。レジスタに58h<3>=1bを設定して分配ブロックをパワーダウンしたとき、この設定は動作にも影響を与えます(「分配のパワーダウン」の項を参照)。

個別回路ブロックのパワーダウン

多くのAD9510回路ブロック(CLK1、CLK2、REFINなど)を個別にパワーダウンさせることができるため、不要なチップ機能がある場合いつでも消費電力を節約するモードに設定できます。

リセット・モード

AD9510には、チップを強制的にリセット状態に置く方法がいくつかあります。

パワーオン・リセット— V_S を加えたときのスタートアップ状態

V_S 電源がターンオンすると、パワーオン・リセット(POR)が発行され、チップはデフォルトのレジスタ設定値により指定されるパワーオン状態に初期化されます。これらは、表23のデフォルト値の欄に示してあります。

FUNCTIONピンによる非同期リセット

FUNCTIONピンの項で述べたように、ハード・リセットRESETB: $58h<6:5>=00b$ (デフォルト)は、チップをデフォルトの設定に戻します。

シリアル・ポートからのソフト・リセット

シリアル・コントロール・ポートからは、レジスタ $00h<5>=1b$ を書き込むことでソフト・リセットを行うことができます。このビットがセットされると、チップはソフト・リセットを実行します。これにより、レジスタ $00h$ を除く内部レジスタにデフォルト値が設定されます。

このビットはセルフ・クリアされません。デバイスの動作を続けるためには、このビットに $00h<5>=0b$ を書き込む必要があります。

シングルチップの同期

SYNCB—ハードウェア同期

AD9510クロックはいつでも相互に同期させることができます。クロック出力は強制的に互いに既知の状態にされた後、その同期状態からクロック駆動の継続が可能になります。同期化される前に、FUNCTIONピンを、SYNCB: $58h<6:5>=01b$ が入力 ($58h<6:5>=01b$)として機能するように設定する必要があります。FUNCTIONピンを強制的にローレベルにし、SYNCB信号を生成した後に解除することによって同期化が行われます。

SYNCB: $58h<6:5>=01b$ 信号が発行されたときに発生する事象の詳細については、「SYNCB: $58h<6:5>=01b$ 」の項を参照してください。

ソフト同期—レジスタ $58h<2>$

レジスタ $58h<2>$ 内のビットを使ってソフト同期を発行することができます。このソフト同期は、極性が反対であるほかはSYNCBと同様に機能します。このビットに1を書き込むと、クロック出力は強制的に互いに既知状態になります。続いてこのビットに0を書き込むと、クロック出力はその同期状態からクロック駆動を継続します。

複数チップの同期化

AD9510には、複数のAD9510を同期化する方法が備わっています。これはアクティブな同期化ではなく、ユーザによる監視と介入が必要です。図43に、2個のAD9510を同期化する方法を示します。

複数のAD9510の同期化には、高速クロックと低速クロックが必要です。高速クロックは最大1GHzが可能で、マスターAD9510 CLK1入力またはマスターの出力の1つを駆動するクロックになります。この高速クロックはスレーブAD9510の分配部への入力として機能し、CLK1入力に接続されます。マスター上のPLLが使用されますが、スレーブ上のPLLは使用されません。

低速クロックは、2個のチップ間で同期化されるクロックになります。このクロックは、高速クロックの1/4以下で、かつ250MHz以上である必要があります。低速クロックはマスターAD9510の出力の1つから取り出され、スレーブAD9510へのREFIN (またはCLK2) 入力として機能します。スレーブ出力の1つは、スレーブのCLK2 (or REFIN) 入力にこれと同じ周波数を提供する必要があります。

スレーブAD9510上のレジスタ $58h<0>=1$ を書き込むと、複数チップの同期化がイネーブルになります。このビットがセットされると、STATUSピンは同期信号の出力になります。ローレベル信号は同期状態を表し、ハイレベルは同期外れ状態を表します。

レジスタ $58h<1>$ は、同期状態とみなされる低速クロック・エッジの最大間隔に該当する高速クロック・サイクル数を選択します。 $58h<1>=0$ (デフォルト)のとき、低速クロック・エッジは高速クロックの1~1.5サイクル以内に一致する必要があります。低速クロック・エッジの一致がこの値より短い場合、同期フラグはローレベルを維持します。低速クロック・エッジの一致がこの値より大きい場合、同期フラグはハイレベルになります。レジスタ $58h<1>=1b$ のとき、一致の値は高速クロックの0.5~1サイクルである必要があります。

同期フラグがセット(ハイレベル)されて、同期外れ状態を表しているとき、両AD9510のFUNCTIONピンに同時に入力されるSYNCB信号が低速クロックを同期化します。

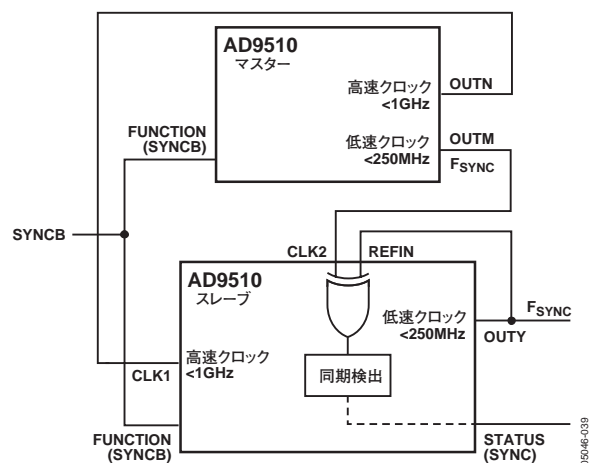


図43. 複数チップの同期化

AD9510

シリアル・コントロール・ポート

AD9510のシリアル・コントロール・ポートは柔軟な同期シリアル通信ポートで、多くの業界標準のマイクロコントローラやマイクロプロセッサと容易にインターフェースできます。また、モトローラ社のSPI®プロトコルやIntel®社のSSR®プロトコルなどの大部分の同期転送フォーマットと互換性があります。シリアル・コントロール・ポートでは、AD9510を設定するすべてのレジスタに対して読出し／書込みが可能になります。1バイト転送または複数バイト転送、およびMSBファースト転送フォーマットまたはLSBファースト転送フォーマットをサポートしています。AD9510のシリアル・コントロール・ポートは、1本の双方向I/Oピン(SDIOのみ)用に、または2本の単方向I/Oピン(SDIO/SDO)用に設定できます。

シリアル・コントロール・ポート・ピンの説明

SCLK (シリアル・クロック)はシリアル・シフト・クロックです。このピンは入力です。SCLKは、シリアル・コントロール・ポートの読出しと書込みを同期化するために使います。書込みデータ・ビットは、このクロックの立上がりエッジでレジスタに取り込まれ、読出しデータ・ビットは立下がりエッジでレジスタに取り込まれます。このピンは、内部で30kΩの抵抗でグラウンドにプルダウンされています。

SDIO (シリアル・データ入出力)は2つの機能を持つピンで、入力専用または入出力として機能します。AD9510はデフォルトでI/O用に2本の単方向ピン(SDIOは入力用、SDOは出力用)を備えています。しかし、SDOイネーブル・レジスタに00h<7>=1bを書き込むことで、SDIOを双方向I/Oピンとして使用することができます。

SDO (シリアル・データ出力)は、データ・リードバック用の1本の出力ピンとして単方向I/Oモード(00h<7>=0、デフォルト)でのみ使用されます。AD9510は、デフォルトでこのI/Oモードに設定されていますが、SDOイネーブル・レジスタに00h<7>=1を書き込むことで、双方向I/Oモード(SDIOを入力および出力として使用)がイネーブルになります。

CSB (チップ・セレクト・バー)はアクティブ・ローで、読出しサイクルと書込みサイクルをゲーティングします。CSBがハイレベルのとき、SDOとSDIOは高インピーダンス状態になります。このピンは、内部で30kΩの抵抗でグラウンドにプルダウンされています。未接続のままにしないでローレベルに接続しておく必要があります。通信サイクルでのCSBの使い方については、「シリアル・コントロール・ポートの全体的な動作」の項を参照してください。

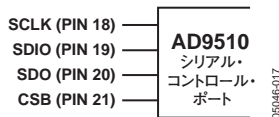


図44. シリアル・コントロール・ポート

シリアル・コントロール・ポートの全体的な動作

CSBによる通信サイクルのフレーミング

各通信サイクル(書込み動作または読出し動作)は、CSBラインによりゲーティングされます。通信サイクルを開始するときは、CSBをローレベルにします。通信サイクルの完了時にCSBをハイレベルにする必要があります(図52)。各書込みまたは読出しサイクルの終わり(バイト境界)でCSBがハイレベルにならない場合、最終バイトはレジスタ・バッファにロードされません。

CSBのハイレベル維持は、3バイト以下のデータ(および命令データ)が転送されるモードでサポートされます(W1:W0を00、01、または10に設定する必要があります。表20を参照)。これらのモードでは、CSBがすべてのバイト境界で一時的にハイレベルに戻ることができるため、システム・コントローラが次のバイトを処理する時間を確保することができます。CSBはバイト境界でのみハイレベルになることができ、さらに転送内の命令またはデータのいずれかの区間でハイレベルになることができます。この区間に、シリアル・コントロール・ポートのステート・マシンが待ち状態に入り、すべてのデータが送信されるまで待ち状態を続けます。システム・コントローラが全データを送信する前に転送の中止を決定した場合、残りの転送を完了させるか、またはSCLKの1~7サイクル間CSBをローレベルに戻すことによって、ステート・マシンをリセットする必要があります。非バイト境界でCSBをハイレベルにすると、シリアル転送が停止され、バッファがクリアされます。

ストリーミング・モード(W1:W0=11b)では、任意の数のデータ・バイトを1つの連続ストリームで転送することができます。レジスタ・アドレスは自動的にインクリメントまたはデクリメントされます(「MSB/LSBファースト転送」の項を参照)。転送される最終バイトの終わりでCSBをハイレベルにして、ストリーム・モードを終了する必要があります。

通信サイクル—命令+データ

AD9510との通信サイクルには2つの部分があります。まず、16ビットの命令ワードをAD9510に書込みます。このとき16個のSCLK立上がりエッジが発生します。この命令ワードは、データ転送についての情報をAD9510シリアル・コントロール・ポートに提供します。このデータ転送は通信サイクルの2番目の部分に該当します。この命令ワードは、次のデータ転送の読出し／書込みの識別、データ転送内のバイト数、データ転送の先頭バイトに対する開始レジスタ・アドレスを指定します。

書込み

命令ワードが書込み動作(I15=0b)用の場合、2番目の部分はAD9510のシリアル・コントロール・ポートのバッファに対するデータ転送になります。転送長(1、2、3バイト、またはストリーミング・モード)は、命令バイト内の2ビット(W1:W0)で表示されます。8ビットの各シーケンスの後でCSBをハイレベルにしてバスを停止させることができます(ただし、サイクルが終了する最終バイトは除きます)。バスが停止しているときに、CSBがローレベルになると、シリアル転送が再開されます。非バイト境界で停止させると、シリアル・コントロール・ポートがリセットされます。

データはシリアル・コントロール・ポートのバッファ領域に書き込まれ、AD9510の実際のコントロール・レジスタに直接書き込まれるのではないため、シリアル・コントロール・ポート・バッファの内容をAD9510の実際のコントロール・レジスタに転送して、それを有効にするためには、さらに動作が必要です。この更新コマンドは、レジスタ5Ah<0>=1bへの書込みで構成されています。この更新ビットはセルフ・クリアされます(クリアするための0の書込みが不要)。更新コマンドを発行する前に任意の数のデータ・バイトを変更できるため、最後の更新以後のレジスタ変更がすべて、この更新により同時に有効となります。

位相オフセットまたはデバウンス同期化はSYNCが発行されるまで有効になりません(「シングルチップの同期」の項を参照)。

読出し

命令ワードが読出し動作の場合 (I15=1b)、次のN×8 SCLKサイクルの間に、データが命令ワードで指定されたアドレスから出力されます (N=1~4, W1:W0で指定)。リードバック・データはSCLKの立下がりエッジで有効になります。

AD9510シリアル・コントロール・ポートのデフォルト・モードは単方向モードであるため、要求されたデータはSDOピンに出力されます。SDOインペーブル・レジスタに00h<7>=1bを書き込み、AD9510を双方向モードに設定することができます。双方向モードでは、リードバック・データはSDIOピンに出力されます。

リードバック要求では、AD9510の実際のコントロール・レジスタ内にあるアクティブ・データではなく、シリアル・コントロール・ポートのバッファ領域内にあるデータが読み出されます。

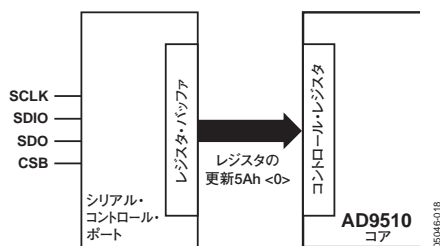


図45. シリアル・コントロール・ポートのレジスタ・バッファとAD9510のコントロール・レジスタとの関係

AD9510は00h~5Ahのアドレスを使います。AD9510シリアル・コントロール・ポートでは、8ビットと16ビットの命令を使うことができますが、8ビットの命令モードでは、5つのアドレス・ビット (A4~A0)しかアクセスできないため、00h~01Fhのアドレス空間しか使用できません。AD9510はデフォルトで、パワーアップ時に16ビット命令モードに設定されています。8ビット命令モード (このシリアル・コントロール・ポートに定義されていますが) はAD9510にとってあまり有用ではないため、このデータシートではこれ以上の説明は控えます。

命令ワード (16ビット)

命令ワードのMSBはR/ \overline{W} で、読出し命令/書き込み命令のいずれであるかを表します。次の2ビットはW1:W0で、転送バイト長を表します。最後の13ビットはアドレス (A12:A0)で、読出しまたは書き込み動作の開始アドレスを表します。

書き込みの場合、命令ワードに続いて、データ・バイト数がW1:W0で表されます。表20にW1:W0のデコーディングを示します。

表20. 転送バイト数

W1	W0	転送バイト数
0	0	1
0	1	2
1	0	3
1	1	ストリーミング・モード

A12:A0: これらの13ビットは、レジスタ・マップ内のアドレスを選択します。通信サイクルのデータ転送部分で、このアドレスに対して書き込みまたは読出しが実行されます。AD9510は、13ビット・アドレス空間をすべて使用するわけではありません。AD9510が使用する5Ahレジスタの範囲をカバーするためにはビットA6:A0のみの使用で済みます。ビットA12:A7は常に0bです。複数バイト転送の場合、このアドレスは開始バイト・アドレスになります。MSBファースト・モードでは、後続バイトによりアドレスがインクリメントされます。

MSB/LSBファーストの転送

AD9510命令ワードとバイト・データはMSBファーストまたはLSBファーストで転送することができます。AD9510のデフォルトではMSBファーストです。レジスタ00h<6>へ1bを書き込むことで、LSBファースト・モードを設定できます。これは直ちに有効になるため (シリアル・コントロール・ポートの動作にのみ影響するため)、更新を実行する必要はありません。LSBファースト・ビットが設定された直後に、すべてのシリアル・コントロール・ポートの動作はLSBファーストに変更されます。

MSBファースト・モードがアクティブの場合、命令とデータ・バイトは、MSBからLSBへの順序で書き込む必要があります。MSBファースト・フォーマットでの複数バイトのデータ転送は、上位データ・バイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータ・バイトは、上位アドレスから下位アドレスの順で続く必要があります。MSBファースト・モードでは、シリアル・コントロール・ポートの内部アドレス・ジェネレータが、複数バイト転送サイクルの各データ・バイトに対してデクリメントします。

LSB_First=1b (LSBファースト)の場合、命令バイトとデータ・バイトは、LSBからMSBへの順序で書き込む必要があります。LSBファースト・フォーマットでの複数バイトのデータ転送は、下位データ・バイトのレジスタ・アドレスを含む命令バイトから開始され、複数のデータ・バイトがその後ろに続きます。シリアル・コントロール・ポートの内部バイト・アドレス・ジェネレータが、複数バイト転送サイクルの各バイトに対してインクリメントします。

AD9510シリアル・コントロール・ポート・レジスタのアドレスは、MSBファースト・モードがアクティブの場合 (デフォルト)、複数バイトI/O動作に対して書き込んだレジスタ・アドレスから0000hに向かってデクリメントされます。LSBファースト・モードがアクティブの場合、シリアル・コントロール・ポート・レジスタのアドレスは、複数バイトI/O動作に対して書き込んだアドレスから1FFFhに向かってインクリメントされます。

複数バイトI/O動作時に未使用アドレスはスキップされないため、複数バイトI/O動作にこれらのアドレスが含まれないようにすることは重要です。

AD9510

表21. シリアル・コントロール・ポート、16ビット命令ワード、MSBファースト

MSB														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/ \bar{W}	W1	W0	A12=0	A11=0	A10=0	A9=0	A8=0	A7=0	A6	A5	A4	A3	A2	A1	A0

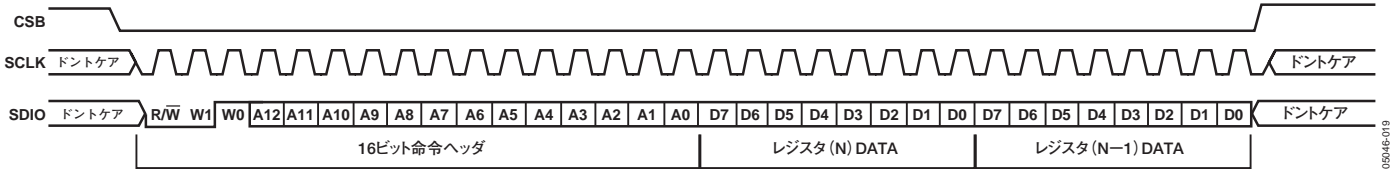


図46. シリアル・コントロール・ポートの書込み MSBファースト、16ビット命令、2バイト・データ

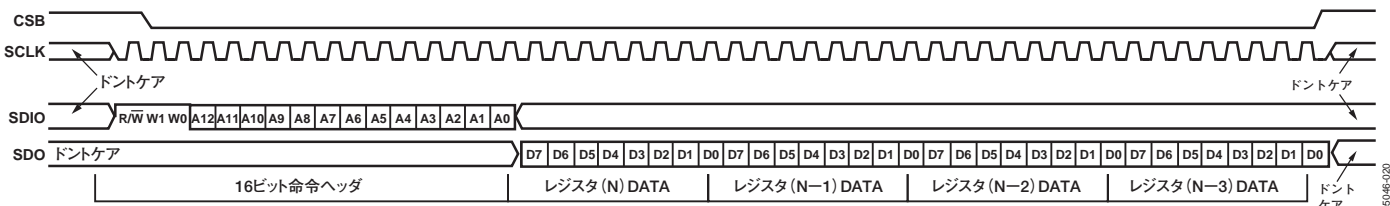


図47. シリアル・コントロール・ポートの読出し MSBファースト、16ビット命令、4バイト・データ

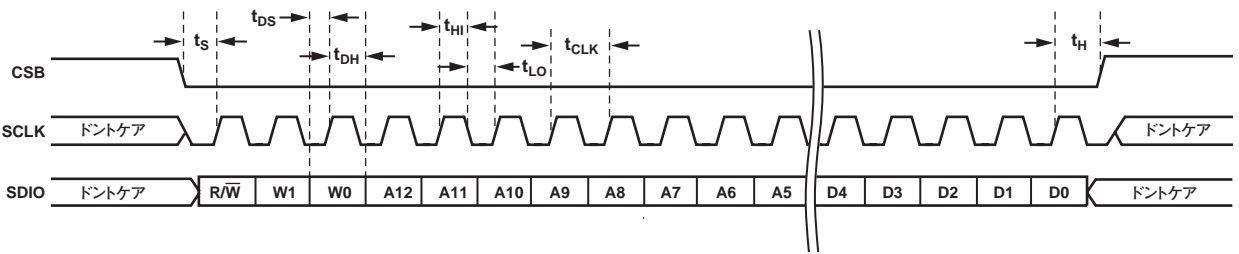


図48. シリアル・コントロール・ポートの書込み MSBファースト、16ビット命令、タイミング測定

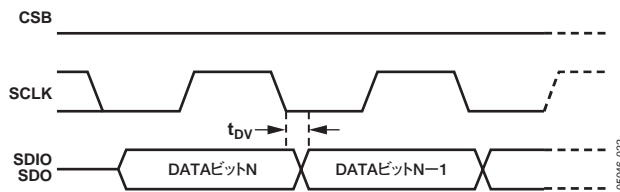


図49. シリアル・コントロール・ポート・レジスタ読出しのタイミング図

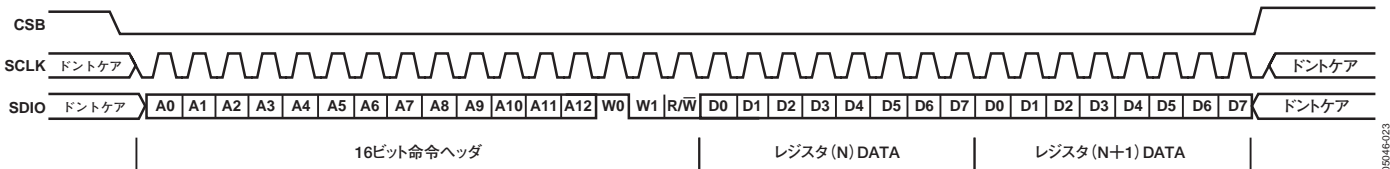


図50. シリアル・コントロール・ポートの書込み LSBファースト、16ビット命令、2バイト・データ

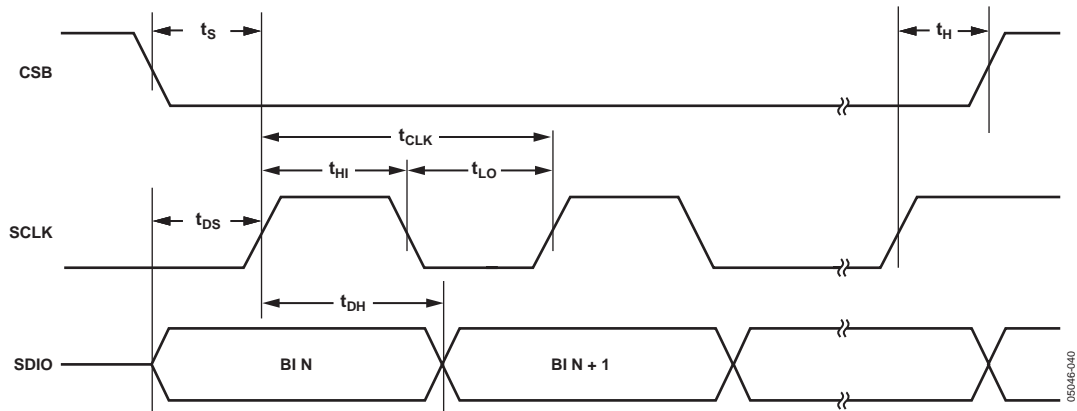
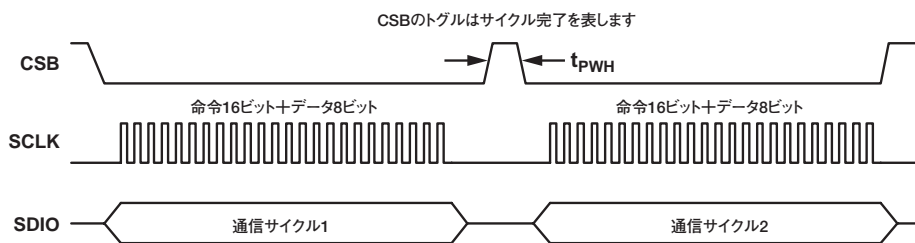


図51. シリアル・コントロール・ポートのタイミング 書込み

表22. シリアル・コントロール・ポートのタイミング

パラメータ	説明
t_{DS}	データとSCLKの立上がりエッジとの間のセットアップ・タイム
t_{DH}	データとSCLKの立上がりエッジとの間のホールド・タイム
t_{CLK}	クロックの周期
t_S	CSBとSCLKとの間のセットアップ・タイム
t_H	CSBとSCLKとの間のホールド・タイム
t_{HI}	SCLKハイレベルの最小時間
t_{LO}	SCLKローレベルの最小時間



連続した2通信サイクルに対するタイミング図。1通信サイクルの完了時に、CSBはハイレベルとローレベルの間でトグルする必要があります。ことに注意

図52. CSB使用による通信サイクルの定義

AD9510

レジスタ・マップおよび説明

一覧表

表23. AD9510レジスタ・マップ

アドレス (16進)	パラメータ	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト値 (Hex)	注	
00	シリアル・コントロール・ポート設定	SDO非アクティブ (双方向モード)	LSBファースト	ソフト・リセット	ロング命令	未使用				10		
01		未使用										
02		未使用										
03		未使用										
	PLL											パワーダウんでPLL起動
04	Aカウンタ	未使用		6ビットAカウンタ <5:0>						00	Nデバイダ (A)	
05	Bカウンタ	未使用			13ビットBカウンタ・ビット 12:8 (MSB) <4:0>						00	Nデバイダ (B)
06	Bカウンタ	13ビットBカウンタ・ビット 7:0 (LSB) <7:0>									00	Nデバイダ (B)
07	PLL 1	未使用	LOR Lock_Del <6:5>	未使用		LOR イネーブル	未使用			00		
08	PLL 2	未使用	PFD 極性	STATUSピンのPLL Mux選択<5:2>信号			CPモード <1:0>			00		
09	PLL 3	未使用	CP電流 <6:4>			未使用	Rカウンタのリセット	Nカウンタのリセット	全カウンタのリセット	00		
0A	PLL 4	未使用	B デバイダ	未使用	プリスケラP <4:2>			パワーダウン <1:0>		01	Nデバイダ (P)	
0B	Rデバイダ	未使用		14ビットRデバイダ・ビット13:8 (MSB) <5:0>						00	Rデバイダ	
0C	Rデバイダ	14ビットRデバイダ・ビット13:8 (MSB) <7:0>									00	Rデバイダ
0D	PLL 5	未使用	デジタル・ロック 検出 イネーブル	デジタル・ロック 検出 ウィンドウ	未使用			アンチバックラッシュ・パルス幅<1:0>		00		
OE-33		未使用										
	遅延微調整											遅延微調整をバイパス
34	遅延バイパス5	未使用							バイパス	01	遅延をバイパス	
35	遅延フルスケール5	未使用	ランプ・コンデンサ <5:3>			ランプ電流 <2:0>			00	最大遅延フルスケール		
36	遅延微調整5	未使用	5ビット微調遅延 <5:1>						常時 0	00	最小遅延値	
37		未使用									04	
38	遅延バイパス6	未使用							バイパス	01	バイパス遅延	
39	遅延フルスケール6	未使用	ランプ・コンデンサ <5:3>			ランプ電流 <2:0>			00	最大遅延フルスケール		

アドレス (16進)	パラメータ	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト 値 (Hex)	注	
3A	遅延微調整6	未使用		5ビット微調整遅延 <5:1>					未使用	00	最小遅延値	
3B		未使用									04	
	出力											
3C	LVPECL OUT0	未使用				出力レベル <3:2>		パワーダウン <1:0>		0A	オフ	
3D	LVPECL OUT1	未使用				出力レベル <3:2>		パワーダウン <1:0>		08	オン	
3E	LVPECL OUT2	未使用				出力レベル <3:2>		パワーダウン <1:0>		08	オン	
3F	LVPECL OUT3	未使用				出力レベル <3:2>		パワーダウン <1:0>		08	オン	
40	LVDS_CMOS OUT 4	未使用			CMOS 反転ドライバ・ オン	ロジック 選択	出力レベル <2:1>		出力電力	02	LVDS, オン	
41	LVDS_CMOS OUT 5	未使用			CMOS 反転ドライバ・ オン	ロジック 選択	出力レベル <2:1>		出力電力	02	LVDS, オン	
42	LVDS_CMOS OUT 6	未使用			CMOS 反転ドライバ・ オン	ロジック 選択	出力レベル <2:1>		出力電力	03	LVDS, オフ	
43	LVDS_CMOS OUT 7	未使用			CMOS 反転ドライバ・ オン	ロジック 選択	出力レベル <2:1>		出力電力	03	LVDS, オフ	
44		未使用										
	CLK1および CLK2											
45	クロックの選択、 パワーダウン (PD)オプション	未使用		CLK 入力をPD	REFINの PD	PLL への CLKを PD	CLK2 をPD	CLK1 をPD	CLK 入力の 選択	01	入力 レシーバ 全クロック・ オン、 CLK1を選択	
46, 47		未使用										
	ドライバ											
48	デバイダ0	ローレベル・クロック・サイクル数 <7:4>				ハイレベル・クロック・サイクル数 <3:0>				00	2分周	
49	デバイダ0	バイパス	Sync なし	強制	スタート H/L	位相オフセット <3:0>				00	位相 = 0	
4A	デバイダ1	ローレベル・クロック・サイクル数 <7:4>				ハイレベル・クロック・サイクル数 <3:0>				00	2分周	
4B	デバイダ1	バイパス	Sync なし	強制	スタート H/L	位相オフセット <3:0>				00	位相 = 0	
4C	デバイダ2	ローレベル・クロック・サイクル数 <7:4>				ハイレベル・クロック・サイクル数 <3:0>				11	4分周	
4D	デバイダ2	バイパス	Sync なし	強制	スタート H/L	位相オフセット <3:0>				00	位相 = 0	
4E	デバイダ3	ローレベル・クロック・サイクル数 <7:4>				ハイレベル・クロック・サイクル数 <3:0>				33	8分周	
4F	デバイダ3	バイパス	Sync なし	強制	スタート H/L	位相オフセット <3:0>				00	位相 = 0	
50	デバイダ4	ローレベル・クロック・サイクル数 <7:4>				ハイレベル・クロック・サイクル数 <3:0>				00	2分周	
51	デバイダ4	バイパス	Sync なし	強制	スタート H/L	位相オフセット <3:0>				00	位相 = 0	
52	デバイダ5	ローレベル・クロック・サイクル数 <7:4>				ハイレベル・クロック・サイクル数 <3:0>				11	4分周	
53	デバイダ5	バイパス	Sync なし	強制	スタート H/L	位相オフセット <3:0>				00	位相 = 0	
54	デバイダ6	ローレベル・クロック・サイクル数 <7:4>				ハイレベル・クロック・サイクル数 <3:0>				00	2分周	

AD9510

アドレス (16進)	パラメータ	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト 値 (Hex)	注
55	デバイダ6	バイパス	Sync なし	強制	スタート H/L	位相オフセット <3:0>			00	位相 = 0	
56	デバイダ7	ローレベル・クロック・サイクル数 <7:4>				ハイレベル・クロック・サイクル数 <3:0>				00	2分周
57	デバイダ7	バイパス	Sync なし	強制	スタート H/L	位相オフセット <3:0>			00	位相 = 0	
	FUNCTION										
58	FUNCTION ピンとSync	未使用	FUNCTIONピンの 設定	PD Sync	PD全 リファ レンス	Sync レジスタ	Sync セレクト	Sync イネーブル	00	FUNCTION ピン = RESETB	
59		未使用									
5A	レジスタ 更新	未使用						レジスタ 更新	00	セルフ・ クリア・ ビット	
	END										

レジスタ・マップの説明

表24に、AD9510のコントロール・レジスタを16進アドレスで示します。レジスタ内の特定のビットまたはビット範囲は、<>で囲んで示します。たとえば、<3>はビット3を、<5:2>はビット5～2の範囲を示します。表24では、コントロール・レジスタの機能をビット毎に説明しています。一覧(説明を簡略化)については、表23を参照してください。

表24. AD9510レジスタの説明

レジスタ・アドレス (Hex)	ビット	名前	説明
		シリアル制御ポート接続	このレジスタに対する変更は直ちに有効になります。5Ah<0>の更新レジスタに書き込む必要はありません。
00	<3:0>		未使用
00	<4>	ロング命令	このビットがセット(1)されると、命令は16ビットになります。このビットがクリア(0)されると、命令は8ビットになります。このデバイスのデフォルトのモードはロング命令(デフォルト=1b)になります。
00	<5>	ソフト・リセット	このビットがセット(1)されると、チップはソフト・リセットを実行し、デフォルト値をこのレジスタ(00h)以外の内部レジスタに設定します。このビットはセルフ・クリアされません。このレジスタをクリアするときは、クリア(0)を書き込む必要があります。
00	<6>	LSBファースト	このビットがセット(1)されると、入力データと出力データはLSBファーストになります。さらに、レジスタ・アドレス指定がインクリメントされます。このビットがクリア(0)されると、データはMSBファーストになり、レジスタ・アドレス指定がデクリメントされます。(デフォルト=0b、MSBファースト)
00	<7>	SDO非アクティブ (双方向モード)	このビットがセット(1)されると、SDOピンはスリーステートになり、すべての読出しデータがSDIOピンに行きます。このビットがクリア(0)されると、SDOがアクティブになります(単方向モード)(デフォルト=0b)。
		未使用	
01	<7:0>		未使用
02	<7:0>		未使用
03	<7:0>		未使用
		PLL設定	
04	<5:0>	Aカウンタ	6ビットのAカウンタ<5:0>
04	<7:6>		未使用
05	<4:0>	BカウンタMSB	13ビットのBカウンタ(MSB)<12:8>
05	<7:5>		未使用
06	<7:0>	BカウンタLSB	13ビットのBカウンタ(LSB)<7:0>
07	<1:0>		未使用
07	<2>	LORイネーブル	1=リファレンスの喪失(LOR)機能をイネーブルにします(デフォルト=0b)
07	<4:3>		未使用
07	<6:5>	LOR初期ロック検出遅延	LOR初期ロック検出遅延。ロック検出が表示された後、これはLORモニタをターンオンさせる前に必要な位相周波数検出器(PFD)サイクル数になります。
	<6>	<5>	LOR初期ロック検出遅延
	0	0	3 PFDサイクル(デフォルト)
	0	1	6 PFDサイクル
	1	0	12 PFDサイクル
	1	1	24 PFDサイクル
07	<7>		未使用
08	<1:0>	チャージ・ポンプ・モード	
	<1>	<0>	チャージ・ポンプ・モード
	0	0	スリーステート(デフォルト)
	0	1	ポンプ・アップ
	1	0	ポンプ・ダウン
	1	1	通常動作

AD9510

レジスタ・アドレス (Hex)	ビット	名前	説明																																																																																					
08	<5:2>	PLLマルチプレクサ制御	<table border="1"> <thead> <tr> <th><5></th> <th><4></th> <th><3></th> <th><2></th> <th>MUXOUT-STATUSピン上の信号</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>オフ (信号はローレベル) (デフォルト)</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>デジタル・ロック検出 (アクティブ・ハイ)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>Nデバイダ出力</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>デジタル・ロック検出 (アクティブ・ロー)</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>Rデバイダ出力</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>アナログ・ロック検出 (Nチャンネル、オープン・ドレイン)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>Aカウンタ出力</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>プリスケアラ出力 (NCLK)</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>PFDアップ・パルス</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>PFDダウン・パルス</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>リファレンスの喪失 (アクティブ・ハイ)</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>スリーステート</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>アナログ・ロック検出 (Pチャンネル、オープン・ドレイン)</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>リファレンスの喪失またはロックの喪失 (DLDの反転) (アクティブ・ハイ)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>リファレンスの喪失またはロックの喪失 (DLDの反転) (アクティブ・ロー)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>リファレンスの喪失 (アクティブ・ロー)</td></tr> </tbody> </table> <p>MUXOUTはSTATUS出力MUXのPLL部分です</p>	<5>	<4>	<3>	<2>	MUXOUT-STATUSピン上の信号	0	0	0	0	オフ (信号はローレベル) (デフォルト)	0	0	0	1	デジタル・ロック検出 (アクティブ・ハイ)	0	0	1	0	Nデバイダ出力	0	0	1	1	デジタル・ロック検出 (アクティブ・ロー)	0	1	0	0	Rデバイダ出力	0	1	0	1	アナログ・ロック検出 (Nチャンネル、オープン・ドレイン)	0	1	1	0	Aカウンタ出力	0	1	1	1	プリスケアラ出力 (NCLK)	1	0	0	0	PFDアップ・パルス	1	0	0	1	PFDダウン・パルス	1	0	1	0	リファレンスの喪失 (アクティブ・ハイ)	1	0	1	1	スリーステート	1	1	0	0	アナログ・ロック検出 (Pチャンネル、オープン・ドレイン)	1	1	0	1	リファレンスの喪失またはロックの喪失 (DLDの反転) (アクティブ・ハイ)	1	1	1	0	リファレンスの喪失またはロックの喪失 (DLDの反転) (アクティブ・ロー)	1	1	1	1	リファレンスの喪失 (アクティブ・ロー)
<5>	<4>	<3>	<2>	MUXOUT-STATUSピン上の信号																																																																																				
0	0	0	0	オフ (信号はローレベル) (デフォルト)																																																																																				
0	0	0	1	デジタル・ロック検出 (アクティブ・ハイ)																																																																																				
0	0	1	0	Nデバイダ出力																																																																																				
0	0	1	1	デジタル・ロック検出 (アクティブ・ロー)																																																																																				
0	1	0	0	Rデバイダ出力																																																																																				
0	1	0	1	アナログ・ロック検出 (Nチャンネル、オープン・ドレイン)																																																																																				
0	1	1	0	Aカウンタ出力																																																																																				
0	1	1	1	プリスケアラ出力 (NCLK)																																																																																				
1	0	0	0	PFDアップ・パルス																																																																																				
1	0	0	1	PFDダウン・パルス																																																																																				
1	0	1	0	リファレンスの喪失 (アクティブ・ハイ)																																																																																				
1	0	1	1	スリーステート																																																																																				
1	1	0	0	アナログ・ロック検出 (Pチャンネル、オープン・ドレイン)																																																																																				
1	1	0	1	リファレンスの喪失またはロックの喪失 (DLDの反転) (アクティブ・ハイ)																																																																																				
1	1	1	0	リファレンスの喪失またはロックの喪失 (DLDの反転) (アクティブ・ロー)																																																																																				
1	1	1	1	リファレンスの喪失 (アクティブ・ロー)																																																																																				
08	<6>	位相周波数検出 (PFD) 極性	0=負 (デフォルト)、1=正																																																																																					
08	<7>		未使用																																																																																					
09	<0>	全カウンタ・リセット	0=通常 (デフォルト)、1=R、A、Bの各カウンタをリセット																																																																																					
09	<1>	Nカウンタ・リセット	0=通常 (デフォルト)、1=A、Bの各カウンタをリセット																																																																																					
09	<2>	Rカウンタ・リセット	0=通常 (デフォルト)、1=Rカウンタをリセット																																																																																					
09	<3>		未使用																																																																																					
09	<6:4>	チャージ・ポンプ (CP) 電流設定	<table border="1"> <thead> <tr> <th><6></th> <th><5></th> <th><4></th> <th>I_{CP} (mA)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0.60</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1.2</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1.8</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>2.4</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>3.0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>3.6</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>4.2</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>4.8</td></tr> </tbody> </table> <p>デフォルト=000b これらの電流はCPR_{SET}=5.1kΩの場合 実際の電流はCP_{lsb}=3.06/CPR_{SET}で計算可能</p>	<6>	<5>	<4>	I _{CP} (mA)	0	0	0	0.60	0	0	1	1.2	0	1	0	1.8	0	1	1	2.4	1	0	0	3.0	1	0	1	3.6	1	1	0	4.2	1	1	1	4.8																																																	
<6>	<5>	<4>	I _{CP} (mA)																																																																																					
0	0	0	0.60																																																																																					
0	0	1	1.2																																																																																					
0	1	0	1.8																																																																																					
0	1	1	2.4																																																																																					
1	0	0	3.0																																																																																					
1	0	1	3.6																																																																																					
1	1	0	4.2																																																																																					
1	1	1	4.8																																																																																					
09	<7>		未使用																																																																																					
0A	<1:0>	PLLパワーダウン	<p>01=非同期パワーダウン (デフォルト)</p> <table border="1"> <thead> <tr> <th><1></th> <th><0></th> <th>モード</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>通常動作</td></tr> <tr><td>0</td><td>1</td><td>非同期パワーダウン</td></tr> <tr><td>1</td><td>0</td><td>通常動作</td></tr> <tr><td>1</td><td>1</td><td>同期パワーダウン</td></tr> </tbody> </table>	<1>	<0>	モード	0	0	通常動作	0	1	非同期パワーダウン	1	0	通常動作	1	1	同期パワーダウン																																																																						
<1>	<0>	モード																																																																																						
0	0	通常動作																																																																																						
0	1	非同期パワーダウン																																																																																						
1	0	通常動作																																																																																						
1	1	同期パワーダウン																																																																																						

レジスタ・アドレス (Hex)	ビット	名前	説明																																													
0A	<4:2>	プリスケアラ値 (P/P+1)	<table border="1"> <thead> <tr> <th><4></th> <th><3></th> <th><2></th> <th>モード</th> <th>プリスケアラ・モード</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>FD</td><td>1分周</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>FD</td><td>2分周</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>DM</td><td>2/3</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>DM</td><td>4/5</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>DM</td><td>8/9</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>DM</td><td>16/17</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>DM</td><td>32/33</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>FD</td><td>3分周</td></tr> </tbody> </table> DM=デュアル・モジュラス、FD=固定分周	<4>	<3>	<2>	モード	プリスケアラ・モード	0	0	0	FD	1分周	0	0	1	FD	2分周	0	1	0	DM	2/3	0	1	1	DM	4/5	1	0	0	DM	8/9	1	0	1	DM	16/17	1	1	0	DM	32/33	1	1	1	FD	3分周
<4>	<3>	<2>	モード	プリスケアラ・モード																																												
0	0	0	FD	1分周																																												
0	0	1	FD	2分周																																												
0	1	0	DM	2/3																																												
0	1	1	DM	4/5																																												
1	0	0	DM	8/9																																												
1	0	1	DM	16/17																																												
1	1	0	DM	32/33																																												
1	1	1	FD	3分周																																												
0A	<5>		未使用																																													
0A	<6>	Bカウンタ・バイパス	プリスケアラを固定分周 (FD) モードで動作させたときのみ有効。このビットをセットすると、Bカウンタは1分周になります。これにより、プリスケアラの設定からNデバイダの分周比を決定できるようになります。																																													
0A	<7>		未使用																																													
0B	<5:0>	14ビット・リファレンス・カウンタ、MSB	Rデバイダ (MSB) <13:8>																																													
0C	<7:0>	14ビット・リファレンス・カウンタ、R LSB	Rデバイダ (MSB) <7:0>																																													
0D	<1:0>	アンチバックラッシュ・パルス	<table border="1"> <thead> <tr> <th><1></th> <th><0></th> <th>アンチバックラッシュ・パルス幅 (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1.3 (デフォルト)</td></tr> <tr><td>0</td><td>1</td><td>2.9</td></tr> <tr><td>1</td><td>0</td><td>6.0</td></tr> <tr><td>1</td><td>1</td><td>1.3</td></tr> </tbody> </table>	<1>	<0>	アンチバックラッシュ・パルス幅 (ns)	0	0	1.3 (デフォルト)	0	1	2.9	1	0	6.0	1	1	1.3																														
<1>	<0>	アンチバックラッシュ・パルス幅 (ns)																																														
0	0	1.3 (デフォルト)																																														
0	1	2.9																																														
1	0	6.0																																														
1	1	1.3																																														
0D	<4:2>		未使用																																													
0D	<5>	デジタル・ロック検出ウィンドウ	<table border="1"> <thead> <tr> <th><5></th> <th>デジタル・ロック検出ウィンドウ (ns)</th> <th>デジタル・ロック検出のロックの喪失のスレッシュホールド (ns)</th> </tr> </thead> <tbody> <tr><td>0 (デフォルト)</td><td>9.5</td><td>15</td></tr> <tr><td>1</td><td>3.5</td><td>7</td></tr> </tbody> </table>	<5>	デジタル・ロック検出ウィンドウ (ns)	デジタル・ロック検出のロックの喪失のスレッシュホールド (ns)	0 (デフォルト)	9.5	15	1	3.5	7																																				
<5>	デジタル・ロック検出ウィンドウ (ns)	デジタル・ロック検出のロックの喪失のスレッシュホールド (ns)																																														
0 (デフォルト)	9.5	15																																														
1	3.5	7																																														
		デジタル・ロック検出ウィンドウ	PFID入力での立上がりエッジの時間差がロック検出ウィンドウ時間より小さい場合に、デジタル・ロック検出フラグがセットされます。時間差がロックの喪失スレッシュホールドより大きくなるまで、フラグはセット状態に留まります。																																													
0D	<6>	ロック検出デイスエーブル	0=通常ロック検出動作 (デフォルト) 1=ロック検出をデイスエーブル																																													
0D	<7>		未使用																																													
		未使用																																														
0E-33			未使用																																													
		遅延調整																																														
34 (38)	<0>	遅延制御 OUT5 (OUT6)	遅延ブロック・コントロール・ビット。 遅延ブロックをバイパスしてパワーダウンさせます。(デフォルト=1b)。																																													
34 (38)	<7:1>		未使用																																													
35	<2:0>	ランプ電流 OUT5	最低速のランプ (200 μ A) で、約10nsの最長フルスケールが設定されます。																																													

AD9510

レジスタ・アドレス (Hex)	ビット	名前	説明				
(39)		(OUT6)					
			<2>	<1>	<0>	ランプ電流 (μA)	
			0	0	0	200	
			0	0	1	400	
			0	1	0	600	
			0	1	1	800	
			1	0	0	1000	
			1	0	1	1200	
			1	1	0	1400	
			1	1	1	1600	
35 (39)	<5:3>	ランプ・コンデンサ OUT5 (OUT6)	ランプ発生回路内のコンデンサ数を選択します。 コンデンサ数大=>低速ランプ				
			<5>	<4>	<3>	コンデンサ数	
			0	0	0	4 (デフォルト)	
			0	0	1	3	
			0	1	0	3	
			0	1	1	2	
			1	0	0	3	
			1	0	1	2	
			1	1	0	2	
			1	1	1	1	
36 (3A)	<5:1>	遅延調整 OUT5 (OUT6)	ランプのフルスケール以内で遅延を設定します。32ステップが可能。 00000 => ゼロ遅延 (デフォルト) 11111 => 最大遅延				
3C (3D) (3E) (3F)	<1:0>	パワーダウン LVPECL OUT0 (OUT1) (OUT2) (OUT3)	モード	<1>	<0>	説明	出力
			ON	0	0	通常動作	ON
			PD1	0	1	テスト専用—使用不可	OFF
			PD2	1	0	安全にパワーダウン 一部パワーダウン。出力に負荷抵抗がある場合に使用	OFF
			PD3	1	1	全パワーダウン 出力に負荷抵抗がない場合にのみ使用	OFF
3C (3D) (3E)	<3:2>	出力レベル LVPECL OUT0 (OUT1)	LVPECL出力のシングルエンド出力電圧レベル				

レジスタ・アドレス (Hex)	ビット	名前	説明																				
(3F)		(OUT2) (OUT3)	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%; text-align: center;"><3></th> <th style="width: 33%; text-align: center;"><2></th> <th style="width: 34%; text-align: center;">出力電圧 (mV)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">500</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">340</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">810 (デフォルト)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">660</td> </tr> </tbody> </table>	<3>	<2>	出力電圧 (mV)	0	0	500	0	1	340	1	0	810 (デフォルト)	1	1	660					
<3>	<2>	出力電圧 (mV)																					
0	0	500																					
0	1	340																					
1	0	810 (デフォルト)																					
1	1	660																					
3C (3D) (3E) (3F)	<7:4>		未使用																				
40 (41) (42) (43)	<0>	パワーダウン LVDS/CMOS OUT4 (OUT5) (OUT6) (OUT7)	出力ドライバとLVDSドライバのパワーダウン・ビット 0 = LVDS/CMOSオン (デフォルト) 1 = LVDS/CMOSパワーダウン																				
40 (41) (42) (43)	<2:1>	出力電流レベル LVDS OUT4 (OUT5) (OUT6) (OUT7)	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%; text-align: center;"><2></th> <th style="width: 16.6%; text-align: center;"><1></th> <th style="width: 16.6%; text-align: center;">電流 (mA)</th> <th style="width: 33.3%; text-align: center;">終端 (Ω)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1.75</td> <td style="text-align: center;">100</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">3.5 (デフォルト)</td> <td style="text-align: center;">100</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">5.25</td> <td style="text-align: center;">50</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">7</td> <td style="text-align: center;">50</td> </tr> </tbody> </table>	<2>	<1>	電流 (mA)	終端 (Ω)	0	0	1.75	100	0	1	3.5 (デフォルト)	100	1	0	5.25	50	1	1	7	50
<2>	<1>	電流 (mA)	終端 (Ω)																				
0	0	1.75	100																				
0	1	3.5 (デフォルト)	100																				
1	0	5.25	50																				
1	1	7	50																				
40 (41) (42) (43)	<3>	LVDS/CMOS選択 OUT4 (OUT5) (OUT6) (OUT7)	0 = LVDS (デフォルト) 1 = CMOS																				
40 (41) (42) (43)	<4>	反転CMOS ドライバ OUT4 (OUT5) (OUT6) (OUT7)	CMOSモードでの出力にのみ有効 0 = 反転CMOSドライバをディスエーブル (デフォルト) 1 = 反転CMOSドライバをイネーブル																				
40 (41) (42) (43)	<7:5>		未使用																				
44	<7:0>		未使用																				

AD9510

レジスタ・アドレス (Hex)	ビット	名前	説明
45	<0>	クロック選択	0: CLK2が分配セクションを駆動 1: CLK1が分配セクションを駆動 (デフォルト)
45	<1>	CLK1パワーダウン	1=CLK1入力をパワーダウン (デフォルト=0b)
45	<2>	CLK2パワーダウン	1=CLK2入力をパワーダウン (デフォルト=0b)
45	<3>	プリスケアラ・クロック・パワーダウン	1=PLLプリスケアラへのクロック信号をシャットダウン (デフォルト=0b)
45	<4>	REFINパワーダウン	1=REFINをパワーダウン (デフォルト=0b)
45	<5>	全クロック入力パワーダウン	1=CLK1入力、CLK2入力、対応するバイアス、内部クロック・ツリーをパワーダウン (デフォルト=0b)
45	<7:6>		未使用
46	<7:0>		未使用
47	<7:0>		未使用
48 (4A) (4C) (4E) (50) (52) (54) (56)	<3:0>	デバイダ・ハイ OUT0 (OUT1) (OUT2) (OUT3) (OUT4) (OUT5) (OUT6) (OUT7)	デバイダ出力がハイレベルを維持するクロック・サイクル数
48 (4A) (4C) (4E) (50) (52) (54) (56)	<7:4>	デバイダ・ロー OUT0 (OUT1) (OUT2) (OUT3) (OUT4) (OUT5) (OUT6) (OUT7)	デバイダ出力がローレベルを維持するクロック・サイクル数
49 (4B) (4D) (4F) (51) (53) (55) (57)	<3:0>	位相オフセット OUT0 (OUT1) (OUT2) (OUT3) (OUT4) (OUT5) (OUT6) (OUT7)	位相オフセット (デフォルト=0000b)
49 (4B) (4D) (4F) (51) (53) (55) (57)	<4>	スタート OUT0 (OUT1) (OUT2) (OUT3) (OUT4) (OUT5) (OUT6) (OUT7)	スタート・ハイまたはスタート・ローを選択 (デフォルト=0b)

レジスタ・アドレス (Hex)	ビット	名前	説明															
49 (4B) (4D) (4F) (51) (53) (55) (57)	<5>	強制 OUT0 (OUT1) (OUT2) (OUT3) (OUT4) (OUT5) (OUT6) (OUT7)	個別出力をスタート(上記)で指定した状態に強制設定 この機能では、非同期(下記)もセットされていることが必要(デフォルト=0b)															
49 (4B) (4D) (4F) (51) (53) (55) (57)	<6>	Syncなし OUT0 (OUT1) (OUT2) (OUT3) (OUT4) (OUT5) (OUT6) (OUT7)	チップレベル同期信号を無視(デフォルト=0b)															
49 (4B) (4D) (4F) (51) (53) (55) (57)	<7>	バイパス・ドライバ OUT0 (OUT1) (OUT2) (OUT3) (OUT4) (OUT5) (OUT6) (OUT7)	デバイダ・ロジックをバイパスしてパワーダウン。クロックを出力に直接接続(デフォルト=0b)。															
58	<0>	同期検出イネーブル	1=同期検出をイネーブル(デフォルト=0b)															
58	<1>	同期選択	1=低速クロックが高速クロックの0.5~1サイクルだけ同期外れの場合にフラグをセット 0(デフォルト)=低速クロックが高速クロックの1~1.5サイクルだけ同期外れの場合にフラグをセット															
58	<2>	ソフト同期	ソフト同期ビットは、極性が反対であるほかはSYNCBモードでのFUNCTIONピンと同様に機能します。 すなわち、ハイレベルで選択した出力が既知状態になり、ハイレベルからローレベルへの遷移で同期がトリガー されます(デフォルト=0b)。															
58	<3>	分配部リファレンス・ パワーダウン	1=分配部に対するリファレンスをパワーダウン(デフォルト=0b)															
58	<4>	同期パワーダウン	1=同期をパワーダウン(デフォルト=0b)															
58	<6:5>	FUNCTIONピン 選択	<table border="1"> <thead> <tr> <th><6></th> <th><5></th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>RESETB(デフォルト)</td> </tr> <tr> <td>0</td> <td>1</td> <td>SYNCB</td> </tr> <tr> <td>1</td> <td>0</td> <td>テスト専用、使用不可</td> </tr> <tr> <td>1</td> <td>1</td> <td>PDB</td> </tr> </tbody> </table>	<6>	<5>	機能	0	0	RESETB(デフォルト)	0	1	SYNCB	1	0	テスト専用、使用不可	1	1	PDB
<6>	<5>	機能																
0	0	RESETB(デフォルト)																
0	1	SYNCB																
1	0	テスト専用、使用不可																
1	1	PDB																
58	<7>		未使用															
59	<7:0>		未使用															
5A	<0>	更新レジスタ	このビットに1を書き込むと、すべてのレジスタが更新され、すべてのシリアル・コントロール・ポート・レジスタ・ バッファの内容がSCLKの次の立上がりエッジでコントロール・レジスタに転送されます。 これはセルフ・クリア・ビットであるため、クリアするための0の書込みは不要です。															
5A	<7:1>		未使用															
END																		

AD9510

電源

AD9510は V_S に $3.3V \pm 5\%$ の電源を必要とします。「仕様」の表には、この電源電圧範囲を使用したときのAD9510の性能が示されています。VSピン上の電源電圧はGND基準で $-0.3V \sim +3.6V$ の絶対最大範囲を決して超えないようにしてください。

PCボードの電源パターンとグラウンド・プレーンのレイアウトは、GEP (Good Engineering Practice: 適切な技術的実践)に基づいて行ってください。電源はPCボード上で十分な容量($>10 \mu F$)によりバイパスします。十分なコンデンサ($0.1 \mu F$)をできるだけデバイスの近くに接続し、AD9510のすべての電源ピンをバイパスする必要があります。AD9510評価用ボード(AD9510/PCBまたはAD9510-VCO/PCB)のレイアウトは良い例になります。

AD9510は、内蔵レジスタを使って希望の動作構成に設定できる複雑なデバイスです。これらのレジスタは、外付け電源のシャットダウン時に保存されません。すなわち、内部電圧が失われるほど長く V_S が停止すると、レジスタに書き込まれた値が失われることになります。バイパスを慎重に行えば、通常状態でメモリ損失からデバイスを保護できます。 V_S 電源を中断しないことが重要です。そうしないと、AD9510の書き込んだ値が失われてしまう危険があります。

AD9510の内部バイアス電流は、 R_{SET} 抵抗と CPR_{SET} 抵抗で設定されます。抵抗は、可能な限り「仕様」の条件に規定されている値に近いものを使用してください($R_{SET}=4.12k\Omega$ 、 $CPR_{SET}=5.1k\Omega$)。これらの値は標準の1%抵抗値で簡単に入手できます。抵抗によって設定されたバイアス電流が、AD9510の内部ブロックのロジック・レベルと動作条件を決定します。「仕様」に示した性能係数は、これらの抵抗値の使用を前提にしています。

VCPピンはチャージ・ポンプ(CP)の電源ピンです。このピン(V_{CP})の電圧は、規定のVCO/VCXOチューニング電圧範囲に一致する必要があります。そのため、 $V_S \sim 5.5V$ が可能です。この電圧は、絶対最大電圧の $6V$ を超えることはできません。 V_{CP} も V_S またはGNDのいずれか低い方から $-0.3V$ より下回ることはできません。

AD9510パッケージの露出金属パドルは、電気的な接続を行い、熱特性を強化するためにあります。デバイスが正常に機能するためには、パドルをグラウンド(GND)に正しく接続する必要があります。PCボードはAD9510に対してヒート・シンクとして機能するため、このGND接続がPCボードのグラウンド・プレーンのような大きな放熱領域への優れた熱パスになる必要があります。良い例としてAD9510評価用ボード(AD9510/PCBまたはAD9510-VCO/PCB)のレイアウトを参照してください。

電源管理

AD9510の消費電力は、使用中の機能に必要な電力のみを消費するように管理できます。未使用の機能と回路をパワーダウンして消費電力を節約することができます。次の回路ブロックがパワーダウンできます。あるいは非選択時にパワーダウンされます(「レジスタ・マップの説明」の項を参照)。

- PLL部が不要な場合、パワーダウンさせることができます。
- どのデバイスもバイパス時(1分周)に、パワーダウンされます。
- OUT5とOUT6の調整可能な遅延ブロックは、非選択時にパワーダウンされます。
- 任意の出力をパワーダウンさせることができます。ただし、LVPECL出力は、安全状態とオフ状態を持っています。LVPECL出力を終端した場合は、安全なシャットダウンのみを使用して、LVPECL出力デバイスを保護する必要があります。これにより、少し消費電力が増えます。
- 分配部全体が不要な場合、パワーダウンさせることができます。

機能ブロックをパワーダウンしても、そのブロック(レジスタ内)の書込み情報が失われることはありません。これは、AD9510の再書込みなしにブロックをパワーオン/パワーオフできることを意味します。ただし、同期は失われます。再同期のためにはSYNCを発行する必要があります(「シングルチップ同期」の項を参照)。

アプリケーション

ADCクロック・アプリケーションへのAD9510出力の使用

高速A/Dコンバータ(ADC)は、ユーザが用意するサンプリング・クロックの品質に極めて敏感です。ADCはサンプリング・ミキサーとみなすことができるため、クロックのノイズ、歪み、タイミング・ジッタがA/D出力から得られる希望の信号に混入してしまいます。クロック条件はアナログ入力周波数と分解能に比例し、アナログ入力周波数が高いアプリケーションほど厳しくなり、14ビット以上の分解能では最も厳しくなります。ADCの理論SN比は、ADCの分解能とサンプリング・クロックのジッタで制限されます。ステップ・サイズと量子化誤差を無視できる無限分解能ビットを持つ理想ADCのSNRは次式で近似値が得られます。

$$SNR = 20 \times \log \left[\frac{1}{2\pi f t_j} \right]$$

ここで、 f は量子化される最高アナログ周波数、 t_j はサンプリング・クロックのrmsジッタです。図53に、アナログ周波数の関数としての所要サンプリング・クロック・ジッタと有効ビット数(ENOB)を示します。

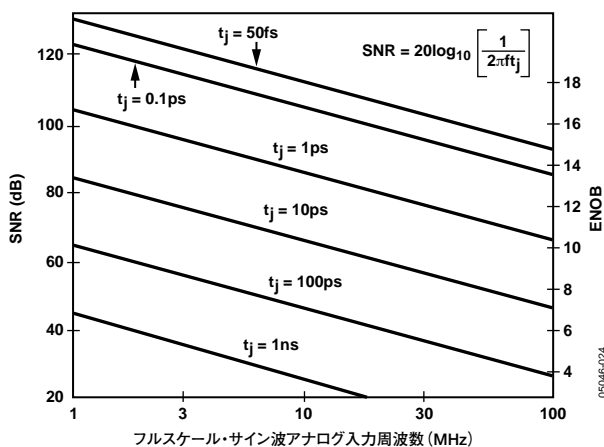


図53. S/N比とENOB 対 アナログ入力周波数との関係

アナログ・デバイス社のウェブサイト(www.analog.com)に掲載されているアプリケーション・ノート「AN-756」と「AN-501」を参照してください。

多くの高性能ADCは、ノイズの多いPCボードで必要な低ジッタ・クロックを提供するため差動クロック入力を持っています。(ノイズの多いPCボード上でシングルエンド・クロックを分配すると、サンプル・クロックにノイズが混入することがあります。差動分配にはもともと同相ノイズ除去機能があるため、ノイズの多い環境で優れたクロック性能を提供することが可能です。)AD9510は差動クロック出力を提供するLVPECL出力とLVDS出力を持っています。このために、コンバータのSN比の性能を最大化するクロック・ソリューションが可能になります。最適なクロックキング/コンバータ・ソリューションを選択する際には、ADCの入力条件(差動またはシングルエンド、ロジック・レベル、終端)を考慮する必要があります。

CMOSクロックの分配

AD9510には4本のクロック出力(OUT4~OUT7)が備わっており、CMOSレベルまたはLVDSレベルのいずれかを選択できます。CMOSとして選択すると、これらの出力が、クロック入力にCMOSレベル・ロジックを必要とするデバイスを駆動します。

シングルエンドCMOSクロックを使うときは、次のガイドラインに従う必要があります。

可能な限り、1個のドライバが1個のレシーバを駆動するように、1対1の回路を設計する必要があります。これにより終端方式が簡素化され、回路のインピーダンス不整合によるリングングを抑えることができます。伝送線のマッチングを実現し、ドライバ側での過渡電流を削減するために、一般にソース側で直列終端が必要となります。抵抗値は、ボード設計とタイミング条件に依存します(一般に10Ω~100Ωを使用)。CMOS出力には、駆動可能な容量負荷またはパターン長の制限があります。信号の立上がり時間/立下がり時間と信号の完全性を維持するために、通常、3インチ以下のパターン長を推奨します。

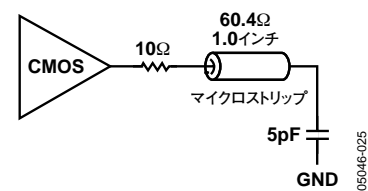


図54. CMOS出力の直列終端

2つめの選択肢としては、PCボード・パターンの遠端での終端です。AD9510のCMOS出力は、図55に示すように、低インピーダンス抵抗による遠端終端に対してフル電圧振幅を可能にする十分な電流を供給しません。遠端終端回路はPCボードのパターン・インピーダンスに整合させ、希望のスイッチング・ポイントを提供する必要があります。信号振幅が小さくなった場合でも、アプリケーションによってはレシーバの入力条件を満たすことも可能です。これは、それほど重要でない回路で長いパターンを駆動する際には便利です。

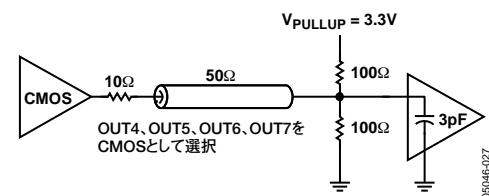


図55. 遠端終端を持つCMOS出力

AD9510

シングルエンドCMOSクロッキングには制約があるため、長いパターンで高速信号を駆動するときは差動出力の使用を検討してください。AD9510はLVPECL出力とLVDS出力を持っており、長いパターンを駆動するのに適しています。差動信号に固有のノイズ耐性がコンバータのクロック駆動に対して優れた性能を提供します。

LVPECLクロックの分配

AD9510の低電圧エミッタ結合ロジック(LVPECL)の正出力は、AD9510の中で最小ジッタのクロック信号を提供します。LVPECL出力はオープン・エミッタを使用しているため、出力トランジスタをバイアスするためのDC終端が必要となります。図41に、LVPECL出力段の簡略等価回路を示します。

多くのアプリケーションで、標準のLVPECL遠端終端を推奨します(図56)。抵抗回路は、伝送線インピーダンス(50Ω)と希望のスウィッチング・スレッシュホールド(1.3V)に合うように設計されています。

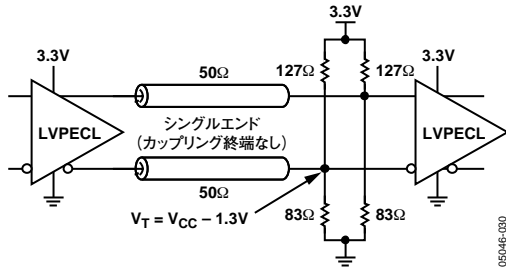


図56. LVPECLの遠端終端

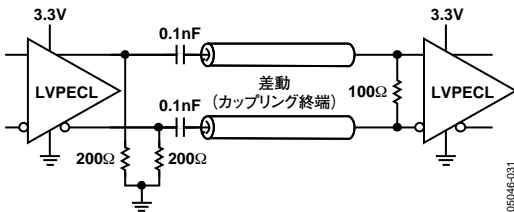


図57. パラレル伝送線を使用したLVPECL

LVDSクロックの分配

低電圧差動信号(LVDS)は、AD9510差動出力の2つ目のオプションです。LVDSは、選択可能な複数の電流レベルを持つ電流モード出力段を使用しています。この電流のノーマル値(デフォルト)は3.5mAで、100Ωの抵抗で350mVの出力振幅を生成します。LVDS出力は、すべてのANSI/TIA/EIA-644仕様を満たしているかそれを上回っています。

LVDS出力の推奨終端回路を図58に示します。

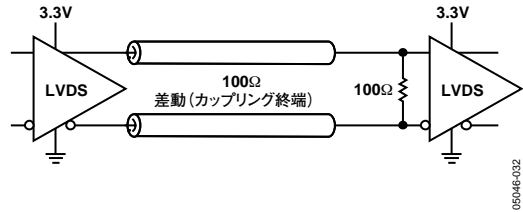


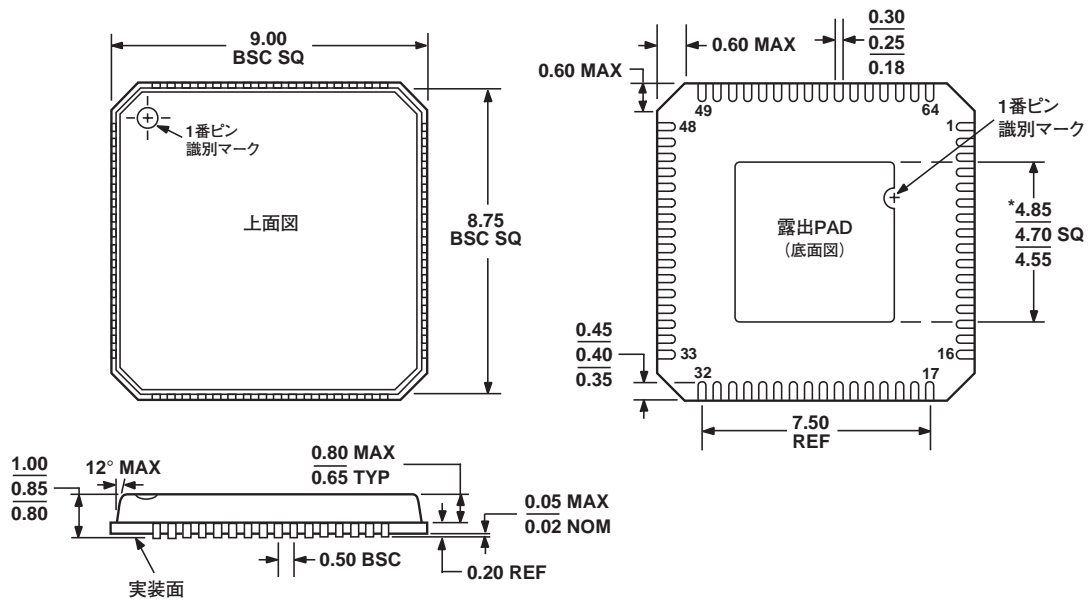
図58. LVDSの出力終端

LVDSの詳細については、ADIのウェブサイト(www.analog.com)に掲載されているアプリケーション・ノート「AN-586」を参照してください。

電源とグラウンドについての考慮事項、および電源電圧変動除去比

多くのアプリケーションでは、決して理想的とはいえない動作条件下で高速かつ高性能を追求します。これらの回路では、PCボードの実装と作成が回路設計と同じくらい重要となります。最適性能を保証するためには、適切なRF技術を用いて、デバイスの選択、配置、配線、電源バイパス、グラウンディングを行う必要があります。

外形寸法



*JEDEC規格MO-220-VMMDに準拠、ただし露出パッドの寸法を除く

図59. 64ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
9mm × 9mmボディ (CP-64-1)
寸法単位: mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9510BCPZ ¹	-40 ~ +85°C	64ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP)	CP-64-1
AD9510BCPZ-REEL7 ¹	-40 ~ +85°C	64ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP)	CP-64-1
AD9510/PCB		評価用ボード (VCOまたはVCXOまたはループ・フィルタなし)	
AD9510-VCO/PCB		評価用ボード (245.76MHz VCXO、ループ・フィルタ付き)	

¹ Z=鉛フリー製品