

完 | 全 | 解 | 説  
最新技術と製品動向

# フラッシュ・メモリの動作原理と応用

槻館 美弘

## [はじめに]

フラッシュ・メモリは、電氣的に消去と書き込みが行え、しかもEPROMと同じ構造なのでコスト的にも安価に製造することができる半導体メモリです。このため、最近では、従来のEPROMや

EEPROMの置き替えや、ファイル保存用の素子として広く使われ始めてきました。図1に各メモリの構造を示します。

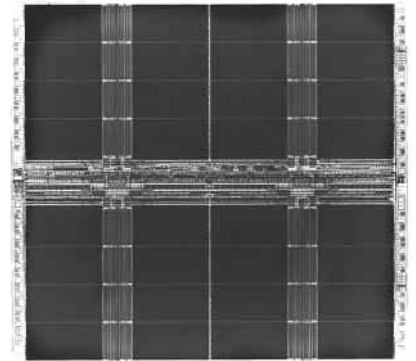
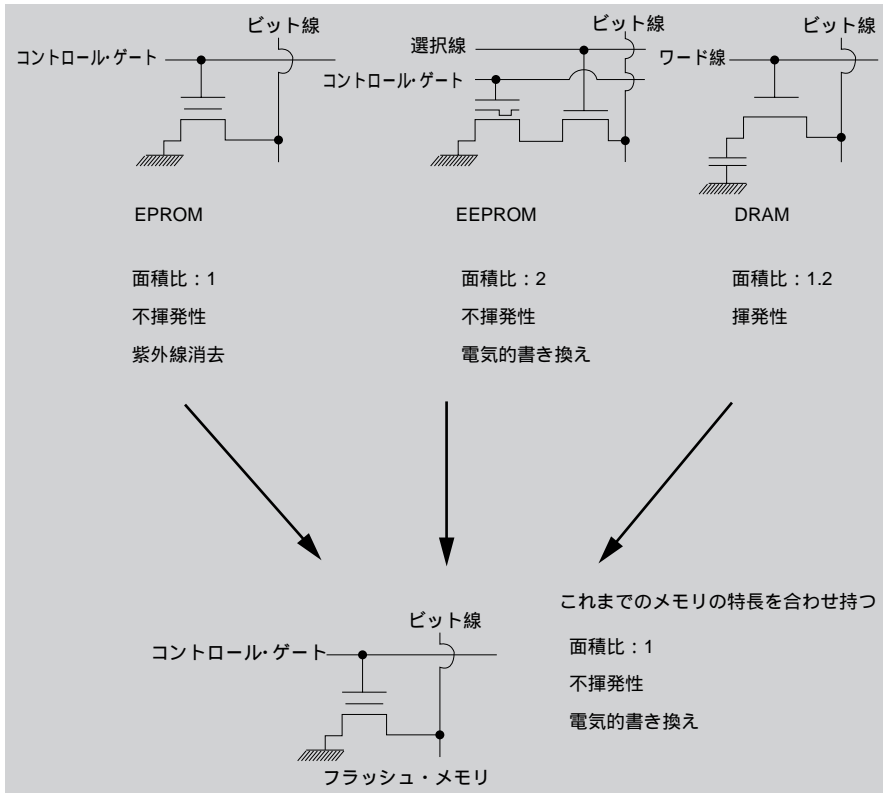
## [フラッシュ・メモリの動作原理]

フラッシュ・メモリの構造  
フラッシュ・メモリには後述のように

いろいろな種類がありますが、ここでは一般的なNOR型について解説します。

5V単一電源・16Mビットで動作するフラッシュ・メモリのチップの例を写真1に示します。

フラッシュ・メモリのセル構造を図2に示します。セルの基本構造は、EPROMと同じですが、構造的に大きく違う点は、



〔写真1〕16Mビット フラッシュ・メモリのチップ写真 (MB M29 F016)

チップ・サイズは9.68mm×9.00mmである。中心部および周辺部にコントロール回路、書き込み電圧発生回路、消去電圧発生回路、センス・アンブなどがある。  
写真提供：富士通(株)

〔図1〕フラッシュ・メモリと他の半導体メモリの関係

フローティング・ゲートと基盤間の酸化膜の厚さがEPROMより薄くなっていることです（～十数nm）。この酸化膜はトンネル酸化膜と呼ばれます。

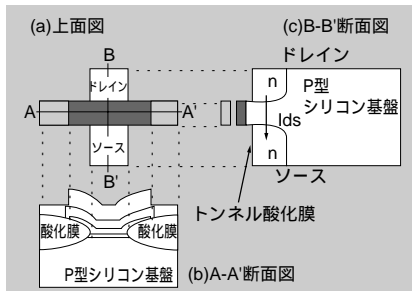
フラッシュ・メモリのセルは、図2に示すようにMOSトランジスタになっているので、コントロール・ゲートに電圧が加わるとドレイン・ソース間に電流（ $I_{ds}$ ）が流れます。 $I_{ds}$ が流れ始めるときのゲート電圧をしきい値電圧とします。フラッシュ・メモリでは、フローティング・ゲート中に電荷が存在している（ $I_{ds}$ が流れない）ときを‘0’とし、電荷が存在しない（ $I_{ds}$ が流れる）ときを‘1’と定義しています。

読み出し動作

ドレイン・ソース間に電圧を加え、コントロール・ゲートに $V_{cc}$ を印加すると、 $I_{ds}$ が流れます。このときを‘1’とし、電流が流れないときを‘0’としてメモリ・セルの情報を読み出します。

書き込み動作

書き込み動作は消去してすべて‘1’



〔図2〕フラッシュ・メモリのメモリ・セル

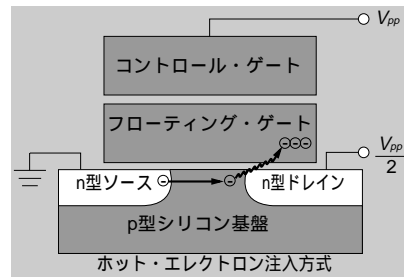
にしたセルに‘0’を書き込むことです。つまり、フローティング・ゲートに電子を注入することで、メモリ・セルのしきい値電圧を上げ、電流（ $I_{ds}$ ）が流れないようにします。図3に書き込み時に印加する電圧を示します。

ドレイン・ソース間には電流が流れませんが、このとき、ドレイン近傍の電界が強まり、電子が加速されるため、ホット・エレクトロンが発生し、一部のホット・エレクトロンは酸化膜のエネルギー障壁を超えてフローティング・ゲートに飛び込みます。これをホット・エレクトロン注入とします。フローティング・ゲートに電子が入ったのでメモリ・セルのしきい値電圧は高くなります。

ホット・エレクトロン注入方式は、電流を多く流す必要があるため、一度に多くのメモリ・セルに書き込みができないデメリットがあるいっぽう、書き込み時間が短いメリットがあります。

消去動作

フラッシュ・メモリの消去は、メモリ・セルごとには行わず、消去ブロック



〔図3〕書き込み(プログラム)動作

の単位で行われます。消去動作はフローティング・ゲート中の電荷を抜いて、そのブロック内のセルをすべて‘1’にすることです。

消去動作を図4に示します。このときの電圧印加では、ソースとフローティング・ゲート間に高電界が加わり、ファウラ・ノルドハイム・トンネルといわれる物性的な効果により、フローティング・ゲートからソースに電子が抜けていきます（トンネル電流）。フローティング・ゲートから電子が抜けたのでメモリ・セルのしきい値は下がります。

〔NAND型フラッシュ・メモリ〕

NAND型とNOR型

半導体メーカーが生産しているフラッシュ・メモリの大部分は、NOR型フラッシュ・メモリです。NOR型の他にNAND型のメモリ・アレイ構造をしたフラッシュ・メモリも発表されています。

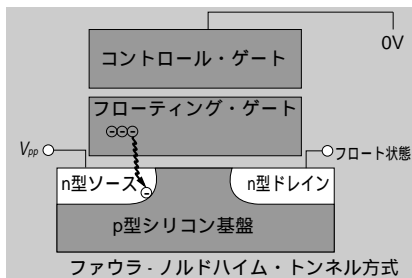
NAND型の構造

NOR型のセル構造に対しメモリ・セルを図5のようにつなげた構造になっています。NOR型はメモリ・セル2個につき1個のコンタクトがありますが、NAND型には、コンタクトが十数個に1個なので、メモリ・セルの間隔を縮めることができるため、メモリ・セルの高集積化が行えます。

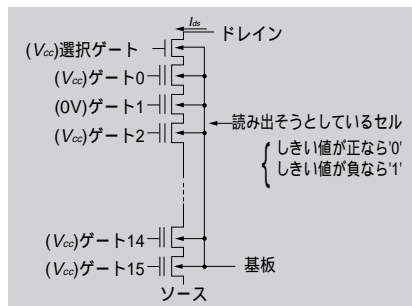
記憶方法

記憶方法は、フローティング・ゲートに電子がある状態を‘0’としています。NOR型とは違いコントロール・ゲートに $V_{cc}$ が加わると $I_{ds}$ が流れるようなしきい値に設定します。

‘1’の状態は、フローティング・ゲート中に電子がなくなり、正に帯電している状態となります。すると、メモリ・セルは常時ON状態（ディプレッション）になり、コントロール・ゲートが0Vでも $I_{ds}$ が流れるようになります。したがって、読み出し時に、コントロール・ゲートを $V_{cc}$ として、選択したいメモリ・セ



〔図4〕消去動作



〔図5〕NAND型フラッシュ・メモリの基本構造