

## 日立パワーデバイスが次世代高出力密度デュアルパッケージ (next High Power Density Dual - $n$ HPD<sup>2</sup>)を公開

$n$ HPD<sup>2</sup>は従来比で75%低下した内部インダクタンスを提供します。ワイドバンドギャップ半導体の特性を100%引き出すだけでなく、既存のシリコンデバイスの更なる能力向上を可能にします。

### $n$ HPD<sup>2</sup>の特長

- “低インダクタンス”** 2in1の回路構成によりパッケージの低インダクタンス化を実現しました。450A/3.3kVクラスの内部インダクタンス10nHは、最新の日立Fバージョン技術に対して75%の低減をしたものです。バスバーやコンデンサの最適化により、システム全体で合計70%のインダクタンスを低減できる可能性を有します。
- “高出力密度”** 2014年に製品化され、それまでの弊社従来製品<sup>\*1)</sup>より20%高い出力密度を市場へ提供している日立FバージョンIGBTモジュールから、さらに10%高い出力密度を提供します。また、SiCチップの搭載にも適しています。
- “拡張性”** 並列接続によって大電流化を容易に実現することができます。この設計コンセプトは、電圧クラス1700Vから6500Vまでの素子の標準化を提案します。
- “温度センサー”** システム側での温度モニタリングと過負荷条件下での高い信頼性を実現します。

<sup>\*1)</sup> 日立E2バージョンIGBTチップ技術と比較

$n$ HPD<sup>2</sup>製品ラインナップ

Package	VCES	IC
LV	1,700 V	900 A
LV / HV	3,300 V	450 A
HV	4,500 V	330 A
HV	6,500 V	225 A



LVパッケージ, HVパッケージ外観

