



# UM10204

## I<sup>2</sup>C バス仕様およびユーザーマニュアル

Rev. 5.0J — 2012 年 10 月 9 日  
(日本語翻訳 11 月 2 日)

ユーザーマニュアル

この日本語訳資料は、参考資料としてご提供しております。英語版のオリジナル資料は頻繁に更新されます。最終的なご確認は最新の英語版ユーザーマニュアルをご参照ください。

### 文書情報

情報	内容
キーワード	I <sup>2</sup> C、I <sup>2</sup> C バス、Standard-mode、Fast-mode、Fast-mode Plus、Fm+、Ultra Fast-mode、UFm、Hs、Hispeed、Hs、インター IC、SDA、SCL、USDA、USCL
概要	フィリップス・セミコンダクターズ（現在：NXP セミコンダクターズ）は、効率的な IC（デバイス）間制御をシンプルに実現するシンプルな 2 線式双方向バスを開発しました。このバスは I <sup>2</sup> C バス (Inter-IC バス) と呼ばれ、シリアル・データライン (SDA) とシリアル・クロックライン (SCL) の 2 本のバスラインで構成されます。Standard-mode では最大 100kbit/s、Fast-mode では最大 400kbit/s、Fast-mode Plus (Fm+) では最大 1Mbit/s、High-speed (Hs-mode) では最大 3.4Mbit/s の、8 ビット単位のシリアル双方向データ転送が可能です。Ultra Fast-mode (UFm) では、単方向、最大 5Mbit/s のデータ転送が可能です。



## 改定履歴

Rev	日付	説明
v.4	20121009	ユーザーマニュアル更新
変更		<ul style="list-style-type: none"> <li>• <a href="#">3.1.7 章「クロック同期」</a>: 「アイドル (バス)」を「フリー (バス)」に変更</li> <li>• <a href="#">3.1.8 章「調停」</a>: 「アイドル(バス)」を「フリー(バス)」に変更</li> <li>• <a href="#">3.1.12 章「予約済のアドレス」</a>: <ul style="list-style-type: none"> <li>– 「1111 1xx」の R/W ビットを 1 にし「将来の機能拡張に予約」を「デバイス ID」に変更</li> <li>– 第 3 パラグラフの古い記述を削除</li> </ul> </li> <li>• <a href="#">3.1.17 章「デバイス ID」</a>: <ul style="list-style-type: none"> <li>– 番号を付けたリストの中の「スタート・コマンド」を「スタートコンディション」に</li> <li>– 番号を付けたリストの中の「ストップ・コマンド」を「ストップコンディション」に</li> <li>– 注釈の「NACK コマンド」を「NACK」に</li> <li>– <a href="#">表 4「割当済のメーカー ID」</a>を更新</li> </ul> </li> <li>• <a href="#">3.2.8 章「10 ビットアドレス指定」</a>: <ul style="list-style-type: none"> <li>– 第 1 パラグラフ第 3 文。「NA1」を「W」に。第 4 文から「NA2」を削除</li> <li>– <a href="#">図 29</a>を更新</li> </ul> </li> <li>• <a href="#">3.2.9 章「UFm の予約済アドレス」</a>: 第 3 文を削除</li> <li>• <a href="#">7.2.1 章「fSCL 周波数の低下」</a>: <ul style="list-style-type: none"> <li>– 「70%から 70%&amp;」「30%から 30%」の記述訂正</li> </ul> </li> </ul>
v.4	20120213	ユーザーマニュアル Rev.4
v.3	20070619	今日、多くのアプリケーションではより長さの長いバス、高速なスピードが求められます。Fast-mode Plus は、Fast-mode と Standard-mode のスピードおよびソフトウェアコマンドとの下位互換性を維持しながらドライブ強度を 10 倍に高め、データ転送レートを 1Mbit/s に高速化することでこのようなニーズへ応えられるように開発されました。
v2.1	2000	I <sup>2</sup> C バス仕様のバージョン 2.1
v2.0	1998	I <sup>2</sup> C バスは、世界のメーカー 50 社以上にライセンス提供され、1,000 を超える様々な IC に実装されている世界的なデファクトスタンダードとなっています。しかし、今日の多くのアプリケーションではより高速なバス速度と低い電源電圧への対応が求められています。今回アップデートされた I <sup>2</sup> C バス仕様の新しいバージョンは、これらのニーズに応えるものです。
v1.0	1992	I <sup>2</sup> C バス仕様のバージョン 1.0
Original	1982	初版

## お問い合わせ先

詳細は弊社 Web サイトをご覧ください: <http://www.nxp.com>

お近くのオフィスの住所については電子メールでお問合せください: [salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

## 1. はじめに

I<sup>2</sup>C バスは、世界のメーカー 50 社以上が製造している 1,000 を超える様々な IC (デバイス) に採用されており、世界的なデファクトスタンダードとなっています。また、システム管理バス (SMBus)、パワーマネージメントバス (PMBus)、インテリジェント・プラットフォーム・マネージメント・インターフェース (IPMI)、表示データチャンネル (DDC)、アドバンスト・テレコム・コンピューティング・アーキテクチャ (ATCA) など、多様なコントロールアーキテクチャで使われています。

本書は、デバイスおよびシステムの設計担当者を対象に、I<sup>2</sup>C バスの機能と実際のアプリケーションの実装方法について、理解が深められるように編集されています。様々な動作モードの説明と共に、バスデータ転送、ハンドシェイク、バス調停スキームについての総合的な説明があります。また、動作モードごとのタイミングおよび電気特性を説明するセクションも用意されています。

I<sup>2</sup>C 互換チップの設計は、本書に記載された内容に従って行わなければなりません。また I<sup>2</sup>C デバイスを含むシステムの設計には、本書と各デバイスのデータシートを参照するようにしてください。

## 2. I<sup>2</sup>C バスの特徴

家電、通信器、産業のそれぞれのエレクトロニクスは、一見相互に関連性がないように見えますが、多くの類似点があります。たとえば、ほぼすべてのシステムに共通する要素として：

- インテリジェントな制御機能。通常はシングルチップ・マイクロコントローラ。
- 汎用回路。LCD ドライバや LED ドライバ、リモート I/O ポート、RAM、EEPROM、リアルタイムクロック、A/D コンバータや D/A コンバータなど。
- アプリケーション固有の回路。ラジオやビデオ・システムのデジタル・チューニングや信号処理、温度センサー、スマートカードなど。

フィリップス・セミコンダクターズ (現在の NXP セミコンダクターズ) は、これらのシステムの類似点に着目し、回路を単純化、ハードウェアの利用効率を高め、よりよい設計を実現するための IC 間制御を行うシンプルな 2 線式双方向バスを開発しました。このバスを「Inter IC バス」または「I<sup>2</sup>C バス」と呼びます。すべての I<sup>2</sup>C バス対応デバイスにはチップ上にインターフェース (オンチップインターフェース) が搭載されているので、I<sup>2</sup>C バスと直接相互に通信できます。これによりデジタル制御回路設計のインターフェースに関する多くの問題が解決できます。

I<sup>2</sup>C バスには次のような特徴があります。

- 必要なバスラインは 2 本のみ — シリアル・データライン (SDA) とシリアル・クロックライン (SCL)。
- バスに接続されている各デバイスを固有のアドレスによって指定でき、常にシンプルなマスタ / スレーブの関係で通信を行います — マスタはマスタトランスミッタまたはマスタレシーバとして動作します。
- 真のマルチマスタバス — 複数のマスタが同時にデータ転送を開始した場合のデータの破壊を防止する衝突検出と調停機能を備えます。
- Standard-mode (スタンダードモード :Sm) では最大 100kbit/s、Fast-mode (ファーストモード :Fm) では最大 400 kbit/s、Fast-mode Plus (ファーストモードプラス :Fm+) では最大 1Mbit/s、High-speed (ハイスピードモード ;Hs-mode) では最大 3.4Mbit/s の 8 ビット単位シリアル双方向データ転送が可能。
- Ultra Fast-mode (ウルトラファーストモード :UFm) では最大 5Mbit/s の 8 ビット単位、シリアル片方向データ転送が可能。

- オンチップ・フィルタリングによってバスデータラインのスパイクを除去。
- 同一バスに接続可能な IC の数をは、バスの最大容量で制限されます。条件により拡張可能。7.2 章を参照。

I<sup>2</sup>C バスアプリケーションの例を下図 (図 1) に示します。

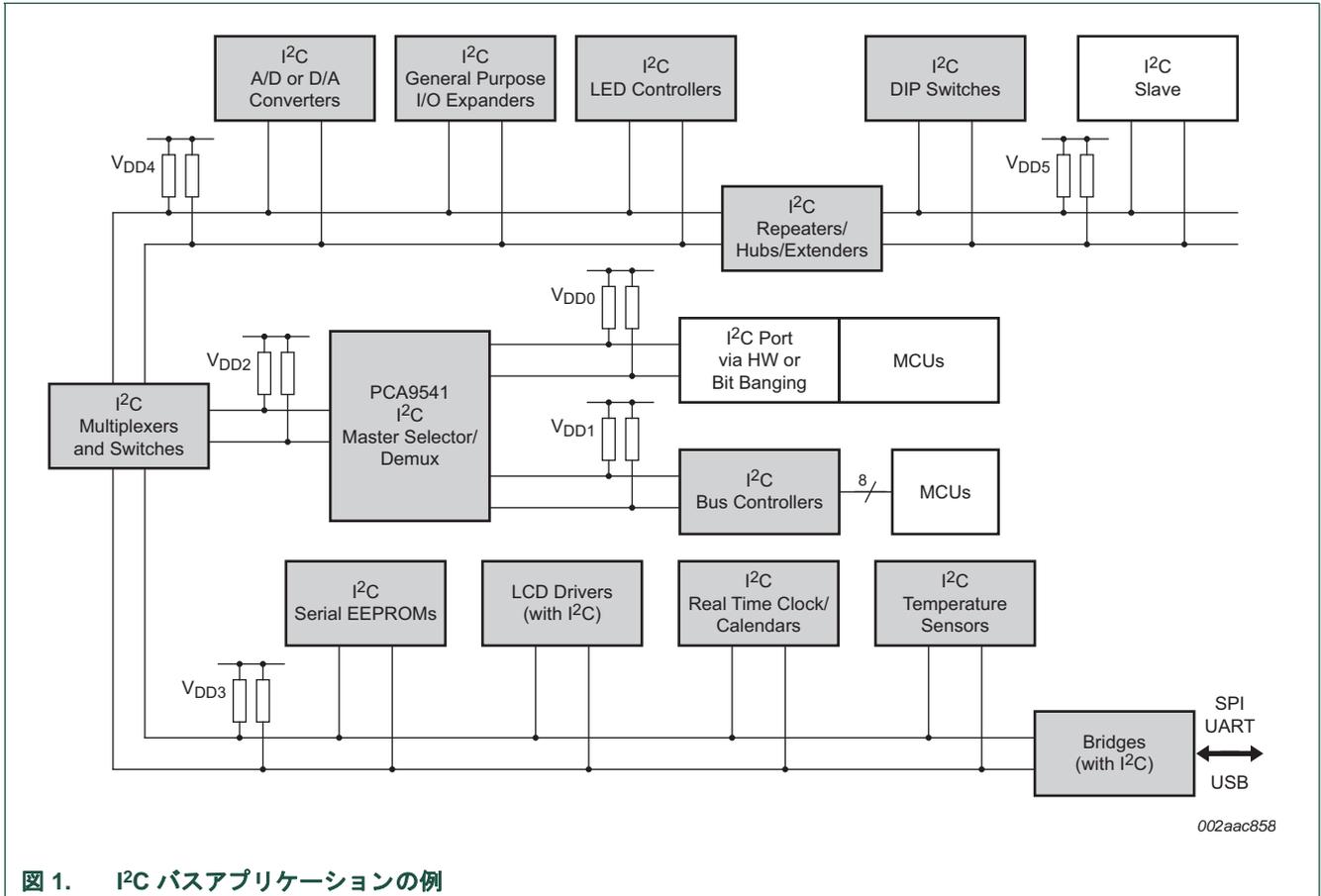


図 1. I<sup>2</sup>C バスアプリケーションの例

## 2.1 設計担当者にとってのメリット

I<sup>2</sup>C バス対応のデバイスを使用することで、機能ブロック図の作成から試作までのシステム設計過程の時間を短縮できます。また追加回路なしで I<sup>2</sup>C バスへ直接接続できるため、試作システムの変更やアップグレードも簡単にデバイスの接続、取り外しだけで実行できます。

特に設計担当者にとって役立つ I<sup>2</sup>C バス対応 IC の機能は ...

- ブロック図の核機能ブロックが実際の IC に対応しているため、ブロック図から最終的な配線図を短時間で作成可能。
- I<sup>2</sup>C バスインターフェースがすでにチップに内蔵されているため、直接接続が可能 (バスインターフェースの設計が不要)。
- アドレス指定およびデータ転送プロトコルが統合されているので、システムをソフトウェアで定義可能。
- 多くの場合、同じタイプのデバイスを様々な異なるアプリケーションに再利用することが可能。
- 機能ブロックとしての I<sup>2</sup>C 対応デバイスの再利用が可能。繰り返し使うことで設計担当者の習熟度が向上し、設計に要する時間を短縮できます。

- バス上の他の回路に影響を与えることなく、システムへのデバイスを追加・削除が可能。
- 障害診断とデバッグの実行が簡単 — 不具合のトレースが容易。
- ソフトウェア・モジュールを再利用可能なライブラリとして組み立てる手法で、ソフトウェアの開発期間を短縮

これらのメリットに加え、幅広い互換性を有している I<sup>2</sup>C バスの CMOS IC は、携帯機器やバッテリー式のシステムなどで特に役立つ様々な機能をデザイナーに提供します。

- 超低電流消費
- 優れたノイズ耐性
- 幅広い電源電圧範囲
- 幅広い動作温度範囲

## 2.2 メーカーにとってのメリット

I<sup>2</sup>C バス対応 IC はデザイナーを支援するだけでなく、設備機器のメーカーにも幅広い範囲で数多くのメリットをもたらします。

- シンプルな 2 線式シリアルであるため、ワイヤの接続本数が最小限で済みます。IC のピン数とプリント基板上の配線を少なくし、より小型で低価格のプリント基板を実現。
- I<sup>2</sup>C バスプロトコルに準拠して動作するため、アドレスデコーダや他の「グルーロジック」が不要。
- I<sup>2</sup>C バスはマルチマスタバスであるため、機器外部からマスタを接続して短時間でテストや調整を行うことが可能。
- 様々なリードレス・パッケージで提供 — さらなる省スペース化をサポート

これらのメリットはほんの一部に過ぎません。これに加え、I<sup>2</sup>C 対応デバイスの利用で柔軟なシステム設計が可能になり、派生品の開発や最新技術対応を素早行えます。たとえば基本モデルをベースにした製品ファミリ展開や、新型や機能強化モデル（メモリやリモコンの追加など）を開発する場合も、適切なデバイスをバス上に接続するだけです。より大容量の ROM が必要となった場合でも、NXP の製品ファミリから大容量 ROM を実装したマイクロコントローラを選択するだけで済みます。古い IC を新しい IC に取り替えることでデバイスへの新機能を追加し、パフォーマンスを高めることも可能です。

## 2.3 デバイス (IC) 設計担当者のメリット

マイクロコントローラの設計担当者には、常に少ピン化が求められています。I<sup>2</sup>C を使えば、個別のアドレス信号やチップイネーブル（チップセレクト）信号なしに、多様なペリフェラルを接続できます。I<sup>2</sup>C インターフェースに対応したマイクロコントローラは市場で有利です。なぜなら既に多くのペリフェラルデバイスがこのインターフェースを持っており、これらを有効に使うことができるためです。

# 3. I<sup>2</sup>C バスプロトコル

## 3.1 I<sup>2</sup>C バスプロトコル — Standard-mode (スタンダードモード : Sm)、Fast-mode (ファーストモード : Fm)、Fast-mode Plus (ファーストモードプラス : Fm+)

2本の線、シリアルデータ (SDA) とシリアルクロック (SCL) によって、バスに接続されたデバイス間での情報の転送を行います。各デバイスはそれぞれ固有のアドレスで認識され (マイクロコントローラ、LCD ドライバ、メモリ、キーボードインターフェースなど)、その機能に応じてトランスミッタ (送信側) やレシーバ (受信側) として動作しま

す。たとえば LCD ドライバはレシーバのみの機能を、メモリはデータのトランスミッタ/レシーバ両方の機能を備えます。データ転送時の各デバイスは、トランスミッタおよびレシーバの機能に加え、マスタまたはスレーブとしての役割を実行します。マスタデバイスは、バス上でデータ転送を開始し、転送を行うためのクロック信号を出力します。マスタ側からアドレス指定されたデバイスはスレーブとなります。

表 1. I<sup>2</sup>C バス — 用語解説

用語	説明
トランスミッタ	バスにデータを送信するデバイス
レシーバ	バスからデータを受信するデバイス
マスタ	転送の開始と終了を行う。転送時のクロック信号を出力
スレーブ	マスタからアドレス指定されるデバイス
マルチマスタ	メッセージを壊すことなく、複数のマスタが同時にバスを制御します
調停 (アービトレーション)	複数のマスタから同時にバス制御が試行されたときに、メッセージを壊すことなく 1 つのマスタのみに制御を認める手順
同期化	複数のデバイス間のクロック信号を同期する手順

I<sup>2</sup>C バスはマルチマスタバスであるため、バスの制御を行うデバイスを複数接続することが可能です。一般にマイクロコントローラが、マスタデバイスとなります。例として、2 つのマイクロコントローラ間のデータ転送を説明します (図 2 参照)。

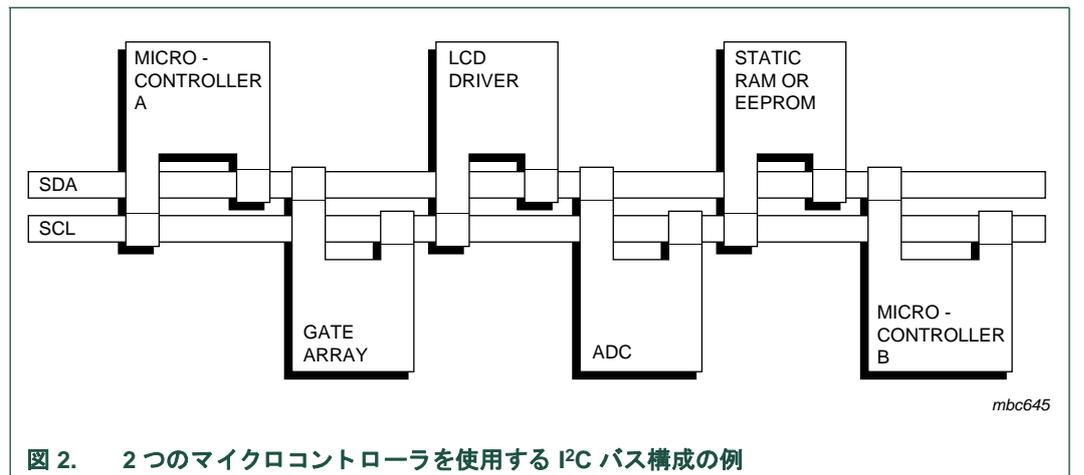


図 2. 2 つのマイクロコントローラを使用する I<sup>2</sup>C バス構成の例

mbc645

この例では、I<sup>2</sup>C バス上のマスタ / スレーブの関係とトランスミッタ / レシーバの関係を説明しています。これらの関係は永続的なものではなく、その時点におけるデータの転送方向によって変化します。データ転送の流れは次のとおりです。

1. マイクロコントローラ A がマイクロコントローラ B に情報を送信する場合。
  - マイクロコントローラ A (マスタ) が、マイクロコントローラ B (スレーブ) のアドレスを指定
  - マイクロコントローラ A (マスタトランスミッタ) が、マイクロコントローラ B (スレーブレシーバ) にデータを送信
  - マイクロコントローラ A が、転送を終了
2. マイクロコントローラ A がマイクロコントローラ B から情報を受信する場合。
  - マイクロコントローラ A (マスタ) が、マイクロコントローラ B (スレーブ) のアドレスを指定
  - マイクロコントローラ A (マスタレシーバ) が、マイクロコントローラ B (スレーブトランスミッタ) からのデータを受信
  - マイクロコントローラ A が、転送を終了

この受信の例の場合でも、転送タイミングと終了はマスタ (マイクロコントローラ A) が生成します。

複数のマイクロコントローラが I<sup>2</sup>C バスに接続された環境では、複数のマスタが同時にデータ転送を開始する場合があります。このような状況で混乱が生じないようにするために、調停の手順が定義されています。この手順は、I<sup>2</sup>C バスへのすべてのインターフェースがワイヤード AND 接続されていることを利用しています。

複数のマスタがバスへの情報の転送を試行した場合、一方のマスタが「1」を出力、他方のマスタが「0」を出力した時に、「1」を出力した側が制御を失います。調停が行われている間のクロック信号は、複数のマスタが出力することになりますが、SCL 線のワイヤード AND 接続を用いた同期が行われます (調停の詳細は [3.1.8 章](#) を参照)。

I<sup>2</sup>C バスのクロック信号は常にマスタデバイスが出力します。それぞれのマスタは、データを転送する際にクロックを出力します。マスタが出力するクロック信号を、低速スレーブや調停中の他のマスタが LOW に保持することで引き伸ばすことができます。

システム構成とその役割による、I<sup>2</sup>C バス仕様の必須 / オプション機能を下表 ([表 2](#)) に示します。

表 2. I<sup>2</sup>C バスプロトコル機能の適用について  
M = 必須、O = オプション、n/a = 適用不可

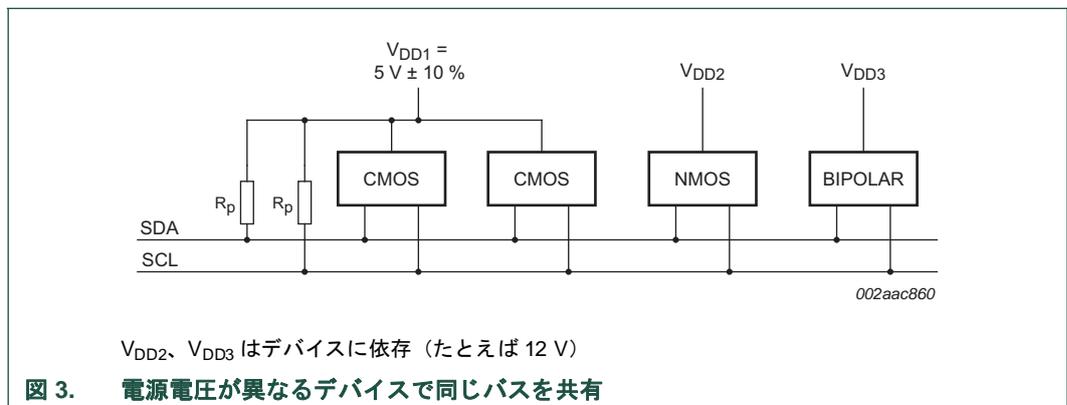
機能	構成		
	単一マスタ	マルチマスタ	スレーブ [1]
スタートコンディション	M	M	M
ストップコンディション	M	M	M
アクノリッジ	M	M	M
同期化	n/a	M	n/a
調停	n/a	M	n/a
クロックストレッチ	O[2]	O[2]	O
7ビットスレーブアドレス	M	M	M
10ビットスレーブアドレス	O	O	O
ゼネラルコールアドレス	O	O	O
ソフトウェアリセット	O	O	O
スタートバイト	n/a	O[3]	n/a
デバイス ID	n/a	n/a	O

- [1] スレーブとして機能するマスタにも該当
- [2] クロックストレッチは、一部のスレーブが備える機能です。システムにクロックをストレッチ（SCL を LOW にホールド）できるスレーブがない場合、これを処理できるようにマスタを設計する必要はありません。
- [3] 「ビットバンギング」（ソフトウェアエミュレーション）マルチマスタシステムの場合はスタートバイトを用いることができます。3.1.15 章参照。

### 3.1.1 SDA と SCL

SDA と SCL はどちらも双方向の信号ラインで、電流源またはプルアップ抵抗を通じてプラスの電源電圧に接続されます（図 3）。バスがフリー状態の場合、どちらのラインも HIGH になります。ワイヤード AND での接続であるため、デバイスの出力段はオープンドレインまたはオープンコレクタでなくてはなりません。Standard-mode では最大 100kbit/s、Fast-mode では最大 400kbit/s、Fast-mode Plus では最大 1Mbit/s、High-speed では最大 3.4Mbit/s のデータ転送が可能です。バスに接続できるインターフェースの数は、バスの静電容量によって制限されます。

単一のマスタで、バス上にクロックストレッチを行うデバイスが存在しなければ、マスタの SCL 出力をプッシュプル駆動にしても構いません。



### 3.1.2 SDA と SCL の論理レベル

I<sup>2</sup>C バスには様々な製造テクノロジー (CMOS、NMOS、バイポーラ) を基盤にしたデバイスを接続するため、論理「0」(LOW) と「1」(HIGH) は固定ではなく、使われる VDD のレベル依存としています。入力ファレンス (基準) レベルは VDD の 30% および 70%、VIL は 0.3VDD、VIH は 0.7VDD に設定されます。図 38 のタイミング図を参照してください。一部の古いデバイスの入力レベルは、固定の VIL = 1.5V と VIH = 3.0V となっていますが、すべての新しいデバイスは 30% と 70% の仕様に準拠しなければなりません。電気的特性仕様の詳細は 6 章を参照してください。

### 3.1.3 データの有効性

クロックが HIGH 期間にあるとき、SDA ラインのデータは安定していなければなりません。データラインの HIGH または LOW の状態の変更は、SCL ラインのクロック信号が LOW の場合にのみ可能です (図 4)。転送されるデータビット毎にクロックパルスが 1 回生成されます。

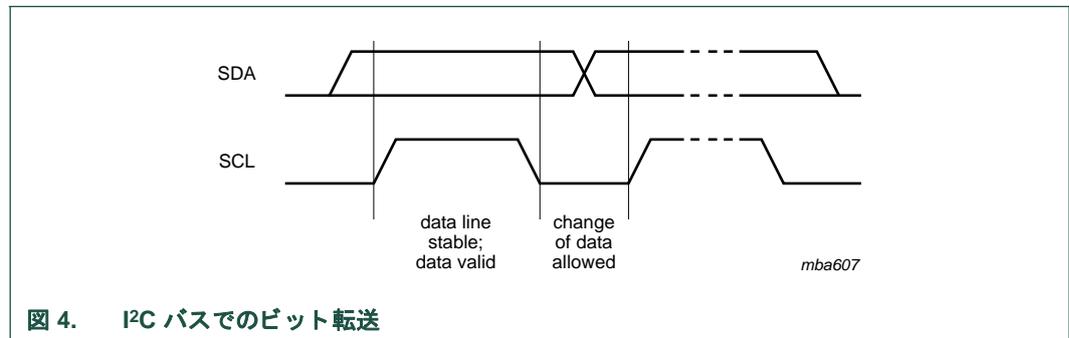


図 4. I<sup>2</sup>C バスでのビット転送

### 3.1.4 スタート (START) コンディションとストップ (STOP) コンディション

すべてのトランザクションは START (S) で始まり、STOP (P) で終了します (図 5)。SCL が HIGH の期間の、SDA ラインの HIGH から LOW への変化をスタートコンディション、LOW から HIGH への変化をストップコンディションと定義します。

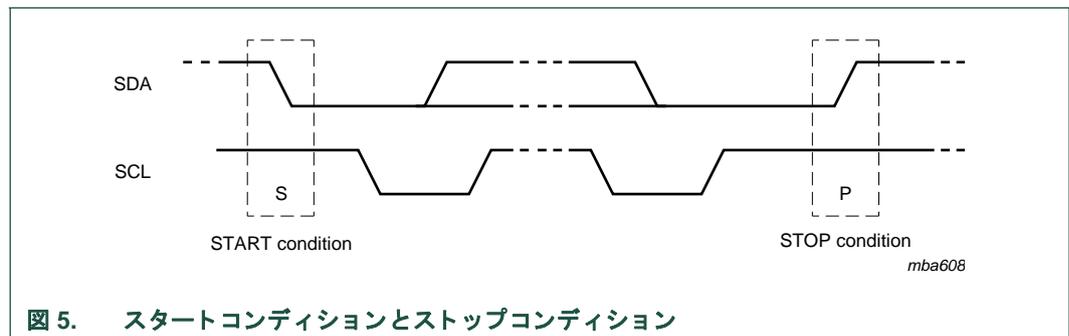


図 5. スタートコンディションとストップコンディション

スタート / ストップコンディションは、常にマスタが生成します。スタートコンディションの後、バスはビジー状態となります。ストップコンディションの後、一定の時間が経過するとバスはフリー状態となります。バスのフリー状況は 6 章で規定されます。

ストップコンディションではなくリピータースタートコンディション (repeated START condition: Sr) が生成されると、バスはビジー状態のまま置かれます。機能の点においてスタートコンディション (S) とリピータースタートコンディション (Sr) は全く同じです。以降、本マニュアルでは特に「Sr」と記載しない限り、「S」はスタートコンディションとリピータースタートコンディションの両方を意味します。

バスインターフェースがハードウェアで実装されているデバイスでは、スタートコンディションやストップコンディションの検出はどちらも容易でしょう。しかしたとえば、専用のインターフェースを備えていないマイクロコントローラがこれを認識するためには、クロック期間ごとに最低 2 回の SDA ラインのサンプリングを実行しなければなりません。

### 3.1.5 バイト・フォーマット

SDA ライン上のすべてのバイトは、8 ビット長でなければなりません。1 回の転送で送ることができるバイト数に制限はありません。各バイトには必ず、アクノリッジビットが続きます。データ転送は、MSB ファースト (最上位ビットから最下位ビットの順で転送) で行われます (図 6)。スレーブ側はマスタを強制的に待機状態とするためにクロックライン SCL を LOW に保持することができます。たとえばスレーブが自身の内部割り込み処理など、他の機能を実行する間、次の送信または受信の準備が出来るまで、マスタを待たせることができます。スレーブ内で次のデータバイトを処理する準備が整うと、クロックライン SCL をリリースしデータ転送を継続します。

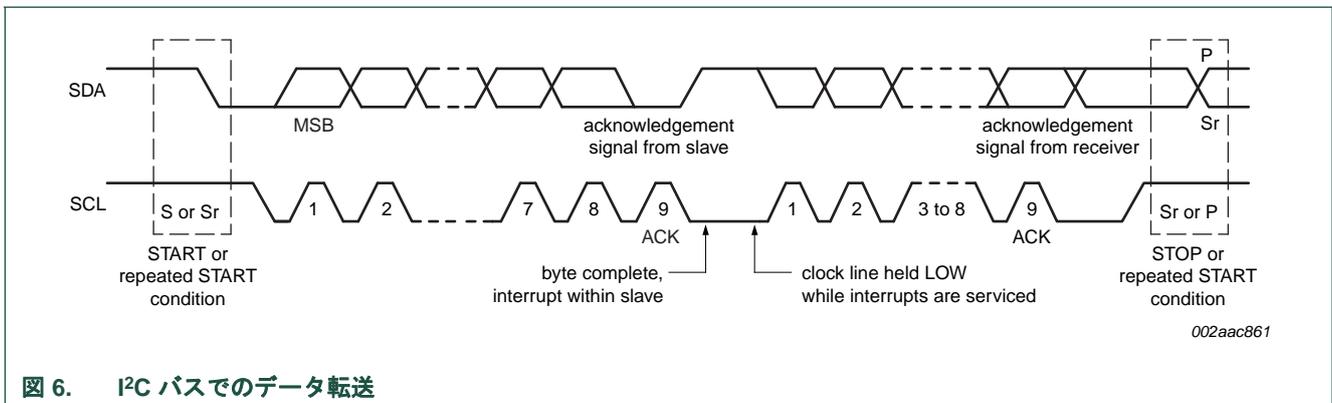


図 6. I<sup>2</sup>C バスでのデータ転送

### 3.1.6 アクノリッジ (ACK) とノット・アクノリッジ (NACK)

アクノリッジは、各バイトの後に付けられます。アクノリッジビットは受信側から送信側に対し、バイト受信の成功と、次のバイトの送信をして構わないことを通知します。アクノリッジの 9 番目のクロックパルスを含め、すべてのクロックパルスはマスタが出力します。

アクノリッジ信号は次のように定義されます: アクノリッジクロックパルスの期間、トランスミッタは SDA ラインをリリースします。レシーバは SDA ラインを LOW に引っ張り、クロックパルスが HIGH の間は、LOW の状態を保持します (図 4)。セットアップ時間とホールド時間は規定通りであることが必要です (図 6 参照)。

9 番目のクロックパルスの間に SDA が HIGH である場合を、ノット・アクノリッジ (NACK) と定義します。マスタはストップコンディションを生成して転送を中止するか、リピートスタートコンディションを生成して新たな転送を開始できます。NACK を発生させる条件は次の通り。

1. 転送されたアドレスのレシーバがバスに存在しない。つまりアクノリッジで応答するデバイスがない場合。
2. レシーバが何らかのリアルタイム機能を実行中でマスタとの通信を行える状態ではなく、送信も受信もできない場合。
3. 転送の間、受信したデータやコマンドをレシーバが理解できない場合。
4. 転送の間、レシーバがそれ以上データバイトを受信できない場合。
5. マスタレシーバがスレーブトランスミッタに対し転送の終了を伝える場合。

### 3.1.7 クロック同期

バスがフリー状態のとき、2つのマスタが同時に転送を開始すると、どちらのマスタがバスの制御権を得、転送を完遂できるようにするのかを決定しなければなりません。これを行うのがクロック同期と調停です。単一マスタのシステムであれば、クロック同期と調停は必要ありません。

クロック同期は、SCL ラインの I<sup>2</sup>C インターフェースのワイヤード AND 接続を使って実行されます。SCL ラインが HIGH から LOW へ変化すると、接続されているマスタは LOW 期間のカウントを開始、一定の時間 SCL ラインを LOW 状態に保持した後に HIGH へと変化させます (図 7)。しかし、もし別のマスタがまだクロックの LOW を保持していると、SCL は LOW のままとなります。このように SCL ラインは LOW 期間が最も長いマスタによって LOW 状態が保持されることとなります。LOW 期間が短いマスタは HIGH への変化を待つ状態に置かれます。

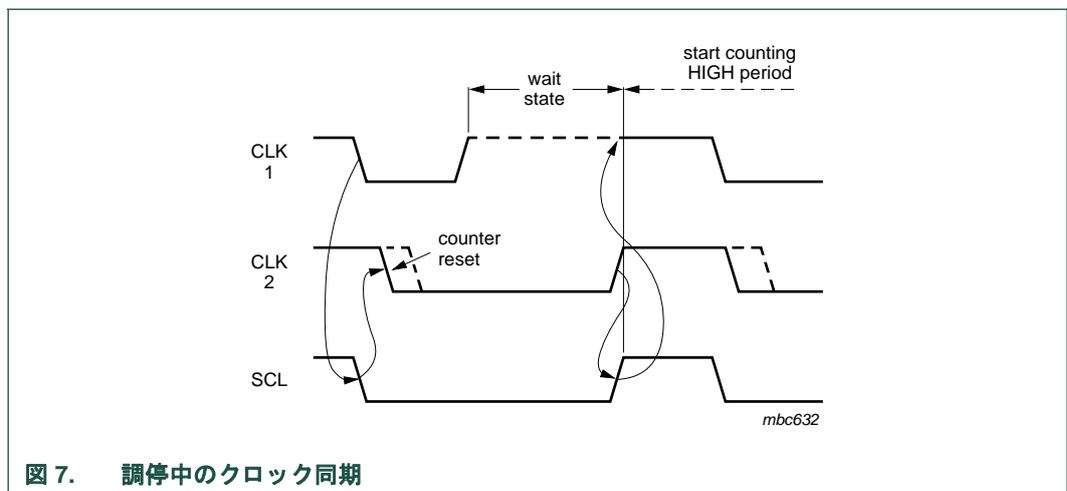


図 7. 調停中のクロック同期

接続されているすべてのマスタの LOW 期間が完了すると、クロックラインはリリースされ、HIGH 状態になります。これでマスタの内部クロックと SCL ラインの状態が同じとなり、すべてのマスタが HIGH 期間のカウントを開始します。SCL ラインは、HIGH 期間が最も早く完了したマスタによって再度 LOW になります。

このようにして SCL クロックの同期が行われます。結果として SCL の LOW 期間はクロック LOW の期間が最も長いマスタによって、HIGH 期間はクロック HIGH の期間が最も短いマスタによって決まります。

### 3.1.8 調停

調停も、クロック同期と同様に、システム内で複数のマスタを使用している場合にのみ必要となるプロトコルです。調停処理にスレーブは関与しません。マスタが転送を開始するのは、バスがフリーの場合のみです。2つのマスタがスタートコンディションの最小ホールド時間 ( $t_{HD,STA}$ ) 内にスタートコンディションを生成した場合、これはバス上では有効なスタートコンディションとなってしまいます。この後どちらのマスタの転送を完遂させるかを決定するため、調停が必要になります。

調停はビット単位で行われ、SCL が HIGH のとき、各マスタは SDA のレベルが自分の送信した内容と一致するかどうかをチェックします。このプロセスが完了するまでにたくさんのビット転送が行われることも考えられます。最終的にどちらのマスタもエラー (送信内容と SDA 状態の不一致) を検出できなかった場合には、どちらのマスタも同一の転送を行っていたということになります。HIGH の送信を行っていたにも関わらず SDA が LOW であることを検出すると、その時点でそのマスタは調停に失敗したことを認識し、SDA 出力をオフにします。もう 1つのマスタは転送処理を続行します。

調停のプロセスで情報が失われることはありません。調停に失敗（ロスト）したマスタは、ロストが発生したバイトの最後までクロックパルスを出力することができます。調停に失敗したマスタは、バスがフリー状態になった後、転送（トランザクション）を再実行しなくてはなりません。

スレーブ機能も兼ねているマスタが、アドレス指定の段階で調停に失敗した場合、調停に成功した側のマスタが、この失敗した側のアドレス指定を行うことも可能です。このため調停に失敗した側のマスタは、ただちにスレーブモードに切り替わらなくてはなりません。

マスタが2つの場合の調停プロセスを下図（[図 8](#)）に示します。バスに接続されているマスタの数によって、このプロセスはより多くのマスタ間で実行されることもあります。DATA1 を出力するマスタの、内部データレベルと実際の実際の SDA ラインのレベルが違った時に、DATA1 出力はオフになります。調停に成功したマスタのデータ転送は影響されません。

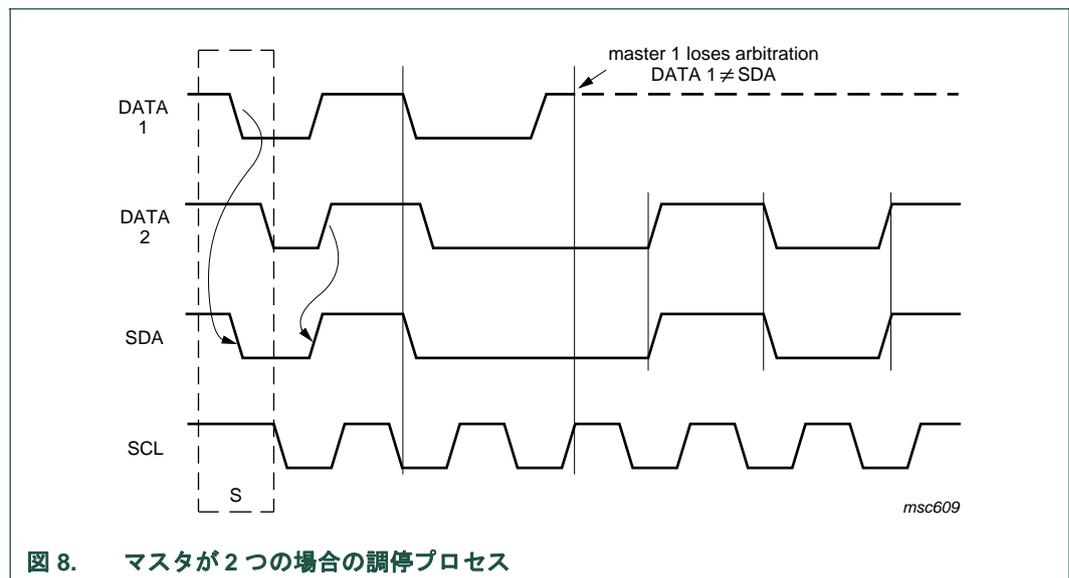


図 8. マスタが2つの場合の調停プロセス

I<sup>2</sup>C バスの制御権を得るかどうかは、それぞれのマスタが送信するアドレスとデータのみによって決まるため、センターマスタや予め決められた優先順位などは存在しません。

調停プロセスの進行中に、いずれかのマスタがリポートスタートコンディションやストップコンディションが生じた場合、定義されていない状態となります。具体的には次の組合せの場合に、未定義の状態が発生します。

- マスタ 1 がリポートスタートコンディションを送信、マスタ 2 がデータビットを送信
- マスタ 1 がストップコンディションを送信、マスタ 2 がデータビットを送信
- マスタ 1 がリポートスタートコンディションを送信、マスタ 2 がストップコンディションを送信

### 3.1.9 クロックストレッチ

トランザクションを一時停止させる場合、SCL ラインを LOW に保持するクロックストレッチが行われます。SCL ラインがリリースされる（再度 HIGH になる）まで、トランザクションを続行することはできません。クロックストレッチはオプションです。実際の多くのスレーブ・デバイスには SCL ドライバ（注：SCL に対する出力回路）は実装されておらず、クロックストレッチを行うことはありません。

データバイトの各ビットの受信を高速で実行できるデバイスでも、受信したバイトの格納や送信される別のバイトの準備には若干の時間が必要になるかも知れません。このため、スレーブはバイト転送とアクノリッジの後に SCL ラインを LOW に保持することで、次のバイト転送の準備ができるまでマスタを強制的に待機状態にするハンドシェイク処理が行えます（[図 7](#)）。

ビットレベルでは、たとえばマイクロコントローラのようなデバイスは各クロックの LOW 期間を延ばすことでバス・クロックを遅くすることができます。この結果、マスタの転送速度はこの（スレーブ）デバイスの内部的な動作速度に合わせて調整されることになるます。

Hs モードの場合、このハンドシェイク処理はバイトレベルでのみ使われます（[5.3.2 章](#)参照）。

### 3.1.10 スレーブアドレスと R/W ビット

データ転送の形式を下図（[図 9](#)）に示します。スタートコンディション（S）の後、スレーブアドレスが送信されます。このアドレスは 7 ビット長で、8 ビット目にデータ転送の方向を示すビット（R/W）が続きます。「0」は、送信（WRITE、書き込み）を、「1」はデータのリクエスト（READ、読み出し）を示します（[図 10](#)）。データの転送は必ずマスタが生成するストップコンディション（P）で終了しますが、マスタが続けて通信を行う場合は、ストップコンディションではなくリピータートコンディション（Sr）を生成して別のスレーブのアドレスを指定します。

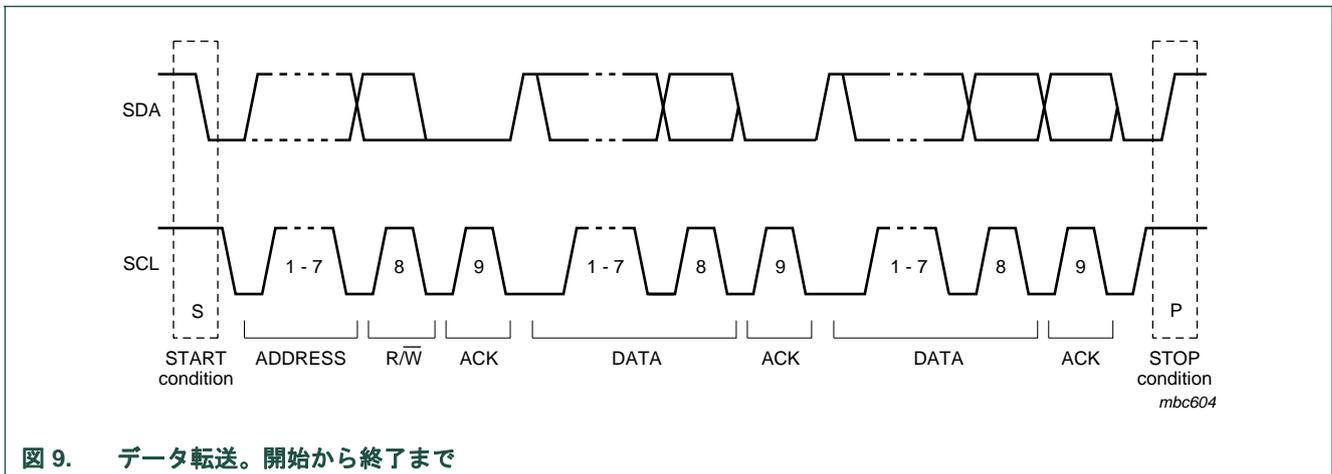


図 9. データ転送。開始から終了まで

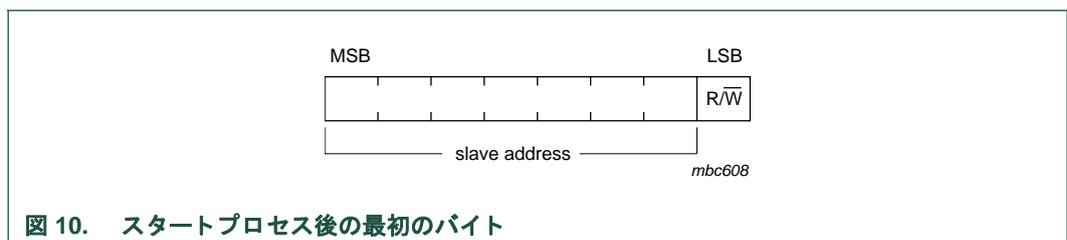


図 10. スタートプロセス後の最初のバイト

次のようなデータ転送フォーマットを使うことができます：

マスタトランスミッタからスレーブレシーバに送信。転送方向は不変 (図 11)、スレーブレシーバは各バイトにアクノリッジを返します。

- 1バイト目の後、スレーブからマスタへ読み出し (図 12)。最初のアクノリッジでマスタトランスミッタはマスタレシーバに、スレーブレシーバはスレーブトランスミッタになります。最初のアクノリッジはスレーブによって生成されますが、その後のアクノリッジはマスタによって生成されます。ストップコンディションはマスタによって生成され、その直前にはノット・アクノリッジ (A) が (マスタからスレーブへ) 返されます。
- 組合せフォーマット (図 13)。転送の方向を変える場合、改めてスタートコンディションと R/W ビットを反転させたスレーブアドレスが送信されます。マスタレシーバがリポートスタートコンディションを送信する直前にはノット・アクノリッジ (A) が返されます。

備考

1. 組合せのフォーマットは、たとえばシリアルメモリのコントロールに使用できます。最初のデータバイトによって内部メモリの位置を指定。スタートコンディションとスレーブアドレスを改めて送出した後に、データの転送を行います。
2. (連続したアクセスを行うために) 前回指定したメモリ位置を記憶し、(その後のアクセス位置情報の) オートインクリメントまたはデクリメントを行うかどうかは、デバイスの設計担当者が判断します。
3. シーケンス内の各バイトには、A ブロックまたは  $\bar{A}$  ブロックとして示されるアクノリッジビットが続きます。
4. I<sup>2</sup>C バス準拠デバイスは、スタートコンディションまたはリポートスタートコンディションを受信すると、たとえこれらのスタートコンディションがフォーマットとして適切でない場所で発生したとしても、バス・ロジックをリセットし、次にスレーブアドレスを受けるとしておかなければなりません。
5. スタートコンディションの直後にストップコンディションが続く空のメッセージは不正なフォーマットです。しかし、多くのデバイスがこのような状況でも適切に動作するようにデザインされています。
6. バスに接続されている各デバイスは、固有のアドレスによって指定できます。通常は 1 対 1 のマスタ / スレーブの関係でやりとりが行われますが、たとえば同じアドレスを持つ複数のスレーブに同時に受信・応答させるグループブロードキャストを行うことも可能です。この方法は、PCA9546A のようなバススイッチを介して、4 つのチャンネルに接続された同一アドレスを持つ複数のデバイスに対する設定を一度に行うような場面で役立ちます。この場合、各スレーブからのアクノリッジを個別に判断できないため、プログラミング結果の確認には個々のチャンネル 1 つずつ ON にしてデバイスの読み出しを行います。詳細はそれぞれのデバイスのデータシートを参照してください。

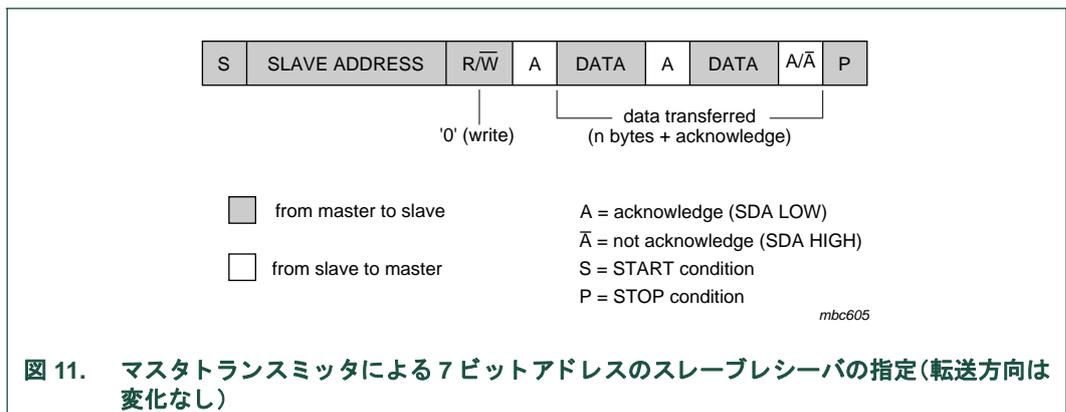


図 11. マスタトランスミッタによる 7 ビットアドレスのスレーブレシーバの指定 (転送方向は変化なし)

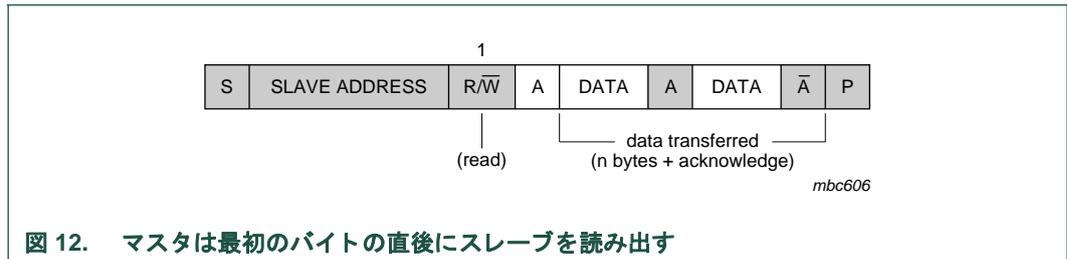


図 12. マスタは最初のバイトの直後にスレーブを読み出す

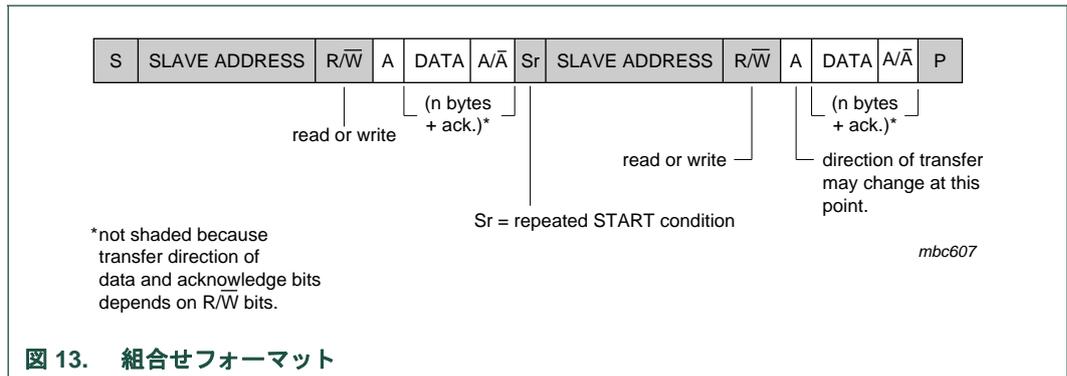


図 13. 組合せフォーマット

### 3.1.11 10 ビットアドレス指定

10 ビットアドレス指定によって、使用可能なアドレスの数を増やすことができます。7 ビットアドレスと 10 ビットアドレスのデバイスは同じ I<sup>2</sup>C バスに接続することができ、バスのすべてのスピードモードで使用できます。しかし現在のところ 10 ビットアドレスを使うデバイスは多くはありません。

10 ビットスレーブアドレスは、スタートコンディション (S) またはリピートスタートコンディション (Sr) に続く最初の 2 バイトで構成されます。

1 バイト目の先頭の 7 ビット、1111 0XX の末尾 2 ビット (XX) は 10 ビットアドレスの最上位 2 ビット、8 ビット目はメッセージの方向を決定する R/W ビットです。

この予約済アドレスビット 1111 XXX の組合せは全部で 8 つありますが、10 ビットアドレス指定では 4 つの組合せ 1111 0XX のみが使用されます。残りの 4 つの組合せ 1111 1XX は、将来のバスの拡張用に予約されています。

先に解説した 7 ビットアドレス指定の読み出し / 書き込みフォーマットは、すべて 10 ビットアドレス指定でも使用可能です。この詳細を次の 2 つの例で説明します。

- マスタトランスミッタがスレーブレシーバに 10 ビットスレーブアドレスを送信。転送方向は不変 (図 14)、スタートコンディションに 10 ビットアドレスが続く場合、各スレーブは自身のとアドレスの 1 バイト目の最初の 7 ビット (1111 0XX) を比較し、8 番目のビット (R/W 方向ビット) が「0」であることを確認します。複数のデバイスがこれにマッチし、アクノリッジ (A1) を返す場合もあります (A1)。マッチしたすべてのスレーブは、自身のアドレスと 2 バイト目の 8 ビットを比較し (XXXX XXXX)、マッチした 1 つのスレーブがアクノリッジを返します (A2)。マッチしたスレーブは、ストップコンディション (P) かリピートスタートコンディション (Sr) に続いて異なるスレーブアドレスを受信するまで、アドレス指定された状態となります。
- マスタレシーバが 10 ビット・スレーブアドレスのスレーブトランスミッタを読み出す。転送方向は 2 回目の R/W ビットの後に変化します (図 15)、アクノリッジビット A2 までの手順はマスタ・トランスミッタによるスレーブレシーバのアドレス指定と同じです。リピートスタートコンディション (Sr) の後でも、マッチするスレーブは先に



3.1.12 予約済のアドレス

2つのグループ(0000 XXX と 1111 XXX)に各8個のアドレスが、表3の通り予約されています。

表 3. 予約済のアドレス  
X = don't care; 1 = HIGH; 0 = LOW.

スレーブアドレス	R/W ビット	説明
0000 000	0	ゼネラルコールアドレス [1]
0000 000	1	スタートバイト [2]
0000 001	X	CBUS アドレス [3]
0000 010	X	異なるバスフォーマット用に予約 [4]
0000 011	X	将来の使用のため予約
0000 1XX	X	Hs-mod マスタコード
1111 1XX	X	デバイス ID
1111 0XX	X	10 ビットスレーブアドレス指定

- [1] ゼネラルコールアドレスは、ソフトウェアリセットを含む複数の機能に使われます。
- [2] スタートバイトの受信に対してデバイスがアクノリッジを返すことはできません。
- [3] CBUS アドレスは、同じシステム内での CBUS 対応デバイスと I<sup>2</sup>C バス対応デバイスの相互利用のために予約されています。I<sup>2</sup>C バスデバイスがこのアドレスに回答することは認められていません。
- [4] 異なるバスフォーマット用に予約されているアドレスは、I<sup>2</sup>C および他のプロトコルを混合して利用できるようにするためのものです。これらのフォーマットとプロトコルをサポートする I<sup>2</sup>C バス対応デバイスのみが、このアドレスに回答できます。

ローカルシステム内でのアドレスの割当ては、システムアーキテクトが行います。システム・アーキテクトは、バスで使用されるデバイスだけでなく、他の I<sup>2</sup>C バスデバイスを将来的に使用する可能性も考慮しておかなければなりません。しかしたとえば、ユーザー割当て可能な7つのアドレスピンを有するデバイスの場合、128のアドレスすべてを割り当てることができませんが、予約済のアドレスを本来の目的に使用しないことがあらかじめ分かっているのであれば、これらをスレーブアドレスとして使用することもできます。

3.1.13 ゼネラルコールアドレス

ゼネラルコールアドレスは、I<sup>2</sup>C バスに接続したすべてのデバイスを同時にアドレス指定するために用意されています。ただし、ゼネラルコールによるデータを用いないデバイスの場合、このアドレスにアクノリッジ返さず、無視します。ゼネラルコールアドレスによるデータを用いるデバイスの場合、このアドレスに対してアクノリッジを返し、スレーブレシーバとなります。マスタは何個のデバイスが実際にアクノリッジを返したかを知ることができません。2バイト目以降も、このデータを処理できるすべてのスレーブレシーバからのアクノリッジを受け取ります。スレーブは、これらのバイトのうち処理できないものに対してノット・アクノリッジを返し、無視します。この場合も、他のスレーブがアクノリッジを返すと、マスタはノット・アクノリッジを認識することはできません。ゼネラルコールアドレスの内容は、常に2バイト目で指定されます (図 16)。

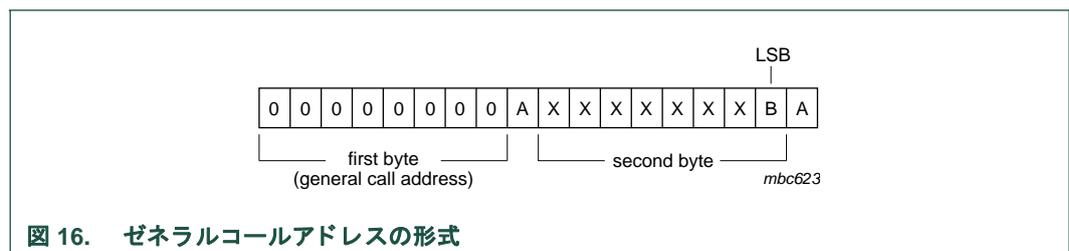


図 16. ゼネラルコールアドレスの形式

次の2つのケースを考慮しなくてはなりません。

- 最下位ビット B が「0」の場合。
- 最下位ビット B が「1」の場合。

ビット B が「0」の場合、2バイトの定義は次の通り。

- **0000 0110 (06h):** ハードウェアによるリセット、スレーブアドレスのプログラミング可能な部分を書込み。この2バイトシーケンスを受信すると、ゼネラルコールアドレスへ応答するようにデザインされているすべてのデバイスは、リセットしプログラム可能な部分を書き込みます。  
電源投入後にデバイスが SDA、SCL ラインを引っ張らないように注意しなければなりません。LOW レベルの発生はバスを停止させてしまいます。
- **0000 0100 (04h):** スレーブアドレスのプログラミング可能な部分のハードウェアによる書込み。挙動は上記と同じですが、デバイスをリセットしません。
- **0000 0000 (00h):** 2バイト目としてこのコードを使用することはできません。

プログラミングの手順は各デバイスのデータシートを参照してください。これ以外の残りのコードは規定されておらず、デバイスは無視しなければなりません。

ビット B が「1」の場合、2バイトシーケンスは「ハードウェア・ゼネラルコール」となります。このシーケンスは、たとえばキーボードスキャナなどのハードウェア・マスタデバイスが、自身のスレーブアドレスを通知できるように設けられたものです。このようなハードウェアマスタはメッセージの転送先となるデバイスを事前に知ることはできないので、システム側で認識してもらえないようにハードウェア・ゼネラルコールと自身のアドレスを送信します (図 17)。

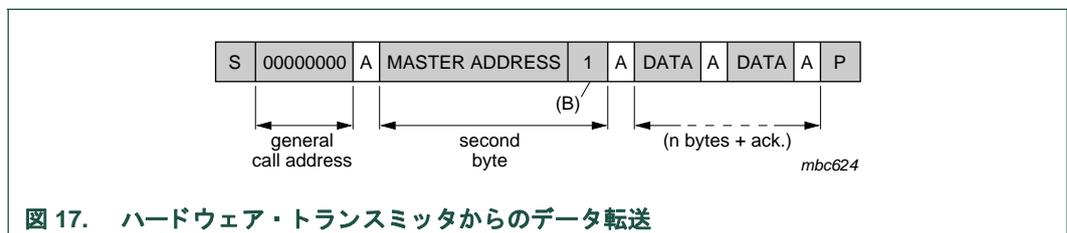
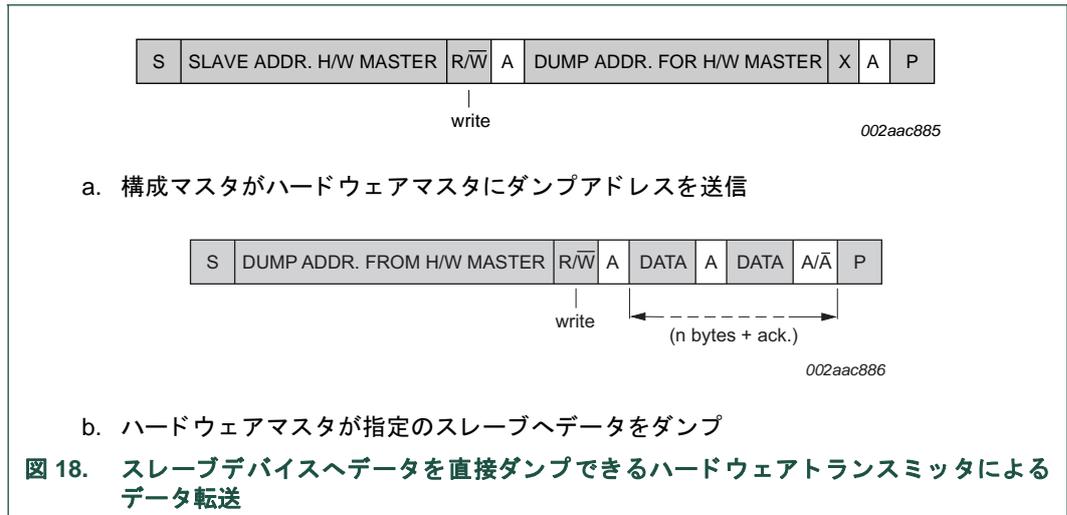


図 17. ハードウェア・トランスミッタからのデータ転送

2バイト目の先頭7ビットは、ハードウェアマスタのアドレスです。バスに接続されているインテリジェントデバイス（マイクロコントローラなど）はこのアドレスを認識して、ハードウェアマスタからの情報を受信します。ハードウェアマスタが同時にスレーブでもある場合、スレーブアドレスとマスタアドレスは同一となります。

システムリセットの後はハードウェアマスタ・トランスミッタがスレーブレシーバ・モードになるシステムも可能です。これを使えば、システム設定を行うマスタが（スレーブレシーバ・モードになった）ハードウェアマスタ・トランスミッタに、アドレスデータの送信先を教えることができます (図 18)。この処理を行った後は、ハードウェア・マスタはマスタトランスミッタ・モードで動作します。



### 3.1.14 ソフトウェアリセット

ゼネラルコール (0000 0000) の後、2 バイト目として 0000 0110 (06h) を送信すると、ソフトウェアリセットが実行されます。この機能はオプションで、すべてのデバイスがこのコマンドにตอบสนองするわけではありません。この 2 バイト・シーケンスの受信によって、ゼネラルコール・アドレスへตอบสนองするようにデザインされているすべてのデバイスはリセットし、プログラム可能な部分を書き込みます。電源投入後にデバイスが SDA、SCL ラインを引っ張らないように注意しなければなりません。LOW レベルの発生はバスを停止させてしまいます。

### 3.1.15 スタートバイト

マイクロコントローラの I<sup>2</sup>C バス対応には 2 つの方法があります。マイクロコントローラが I<sup>2</sup>C バスインターフェースをハードウェアで持っているなら、バスリクエストによる割り込みを用いたプログラムが可能でしょう。このようなインターフェースを実装していないデバイスの場合、ソフトウェアによってバスを継続的に監視しなければなりません。マイクロコントローラがバスの監視やポーリングを行う時間が増えると、本来の機能を実行する時間が削られてしまいます。

したがって高速なハードウェアを持つデバイスと、ソフトウェアポーリングに依存した比較的遅いマイクロコントローラには、スピードに差が出ます。

この遅いデバイスに対応するため、データ転送の前に通常よりも長いスタート手順を置くことが可能です (図 19)。このスタート手順は次の通り。

- スタートコンディション (S)
- スタートバイト (0000 0001)
- アクノリッジクロックパルス (ACK)
- リピートスタートコンディション (Sr)

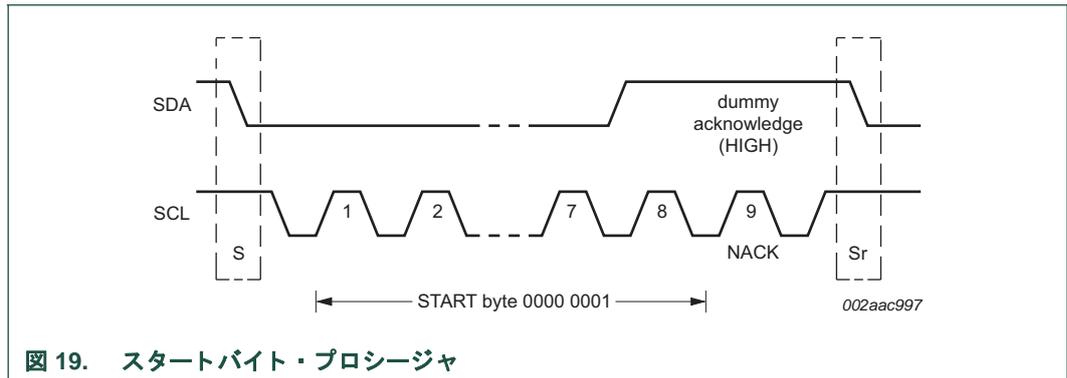


図 19. スタートバイト・プロシージャ

バス・アクセスを開始するマスタがスタートコンディション (S) の後に、スタートバイト (0000 0001) を送信します。これを受ける側のマイクロコントローラはスタートバイト中の 7 つの「0」のいずれかを検出できれば良いので、SDA ラインを低レートでサンプリングできます。この SDA ラインの LOW レベルを検出した後、マイクロコントローラはサンプリングを高いレートに切り替えてリピータートスタートコンディション (Sr) を検出し、その後の同期に使用します。

ハードウェアレシーバはリピータートスタートコンディション (Sr) の受信でリセットされるため、スタートバイトは無視されます。

スタートバイトの後、アクノリッジクロックパルスが出力されますが、これはバスのフォーマットに合わせるためのもので、どのデバイスも、スタートバイトに対してアクノリッジを返すことはできません。

### 3.1.16 バスクリア

クロック (SCL) が LOW の状態で動かなくなってしまう状況の発生はあまり考えられませんが、もしこのような状況が発生した場合には、使用している I<sup>2</sup>C デバイスに HW リセット入力があれば、それを使用してリセットすべきです。HW リセット入力がない場合は、電源の再投入でパワーオンリセット (POR) を試みます。

データライン (SDA) が LOW の状態で動かなくなってしまった場合、マスタはクロック・パルスを 9 回送信しなければなりません。バスを LOW にしているデバイスはこの 9 回のクロックの内に SDA をリリースする必要があるし、これがうまくいかなかった場合は HW リセットを使用するか、電源の再投入でバスをクリアします。

### 3.1.17 デバイス ID

デバイス ID フィールド (図 20) はオプションとして用意される読取専用の 3 バイト (24 ビット) ワードで、次の情報を提供します。

- メーカー (製造業者) 固有の 12 ビットの (例: NXP)
- 9 ビットのパーツ ID、メーカーが割当て (例: PCA9698)
- 3 ビットのダイ (チップ) のリビジョン、メーカーが割当て (例: RevX)

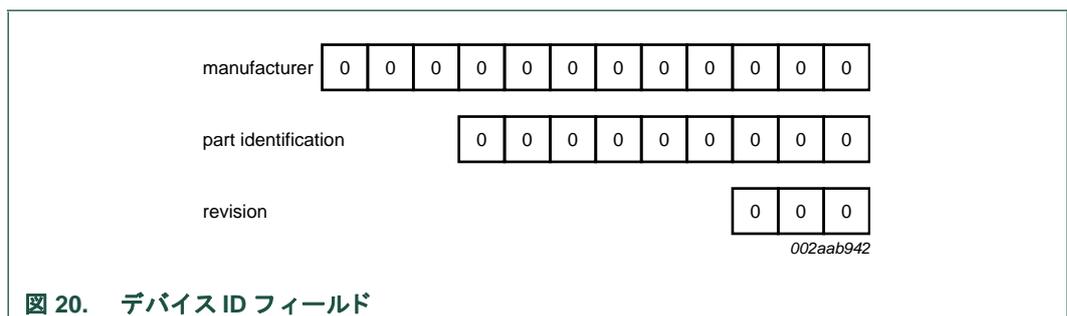


図 20. デバイス ID フィールド

デバイス ID は読み出し専用で、デバイス内でハードワイヤされた情報です。アクセスの方法は次の通り。

1. スタートコンディション
2. マスタがデバイス ID 用に予約済のアドレスとこれに続く R/W 0、書き込み) を送出 (1111 1000)。
3. マスタが、識別しようとしているデバイスのスレーブアドレスを送信。最下位ビットの値は「Don't care」。このバイトにアクノリッジを返すのは 1 デバイスのみ (指定したバススレーブアドレスを有しているデバイス)。
4. マスタがリピートスタートコンディションを送出。

**注意：** (Sr ではなく) ストップコンディションとこれに続くスタートコンディションを送出すると、スレーブのステートマシンがリセットされてしまうため、デバイス ID の読取りを実行できません。またストップコンディションまたはリピートスタートコンディションの後に別のスレーブアドレスにアクセスした場合も、スレーブのステートマシンがリセットされてしまうので、デバイス ID の読み出しを実行できません。

5. マスタがデバイス ID 用に予約済のアドレスとこれに続く R/W 1、読み出し) を送出 (1111 1000)。
6. デバイス ID の読み出しが可能になり、最初にメーカーを表す 12 ビット (最初のバイト +2 バイト目の上位 4 ビット)、パーツ ID の 9 ビット (2 バイト目の下位 4 ビット +3 バイト目の上位 5 ビット)、最後にダイのリビジョンを表す 3 ビット (3 バイト目の下位 3 ビット) のビットが続きます。
7. マスタは最後のバイトに NACK を返し読み出しシーケンスを終了。これによってスレーブデバイスのステートマシンがリセットされ、マスタは STOP コマンドを送出します。

**注意：** デバイス ID の読み出しは、マスタが NACK を返すことによっていつでも中止できます。

マスタが 3 バイト目に対しても ACK を返すと、スレーブは最初のバイトに戻って、NACK を検出するまでデバイス ID のシーケンスを送信します。

表 4. 割当済のメーカー ID

メーカービット											会社名	
11	10	9	8	7	6	5	4	3	2	1		0
0	0	0	0	0	0	0	0	0	0	0	0	NXP セミコンダクターズ
0	0	0	0	0	0	0	0	0	0	0	1	NXP セミコンダクターズ(予約済)
0	0	0	0	0	0	0	0	0	0	1	0	NXP セミコンダクターズ(予約済)
0	0	0	0	0	0	0	0	0	0	1	1	NXP セミコンダクターズ(予約済)
0	0	0	0	0	0	0	0	0	1	0	0	Ramtron International
0	0	0	0	0	0	0	0	0	1	0	1	Analog Devices
0	0	0	0	0	0	0	0	0	1	1	0	STMicroelectronics
0	0	0	0	0	0	0	0	0	1	1	1	ON Semiconductor
0	0	0	0	0	0	0	0	1	0	0	0	Sprintek Corporation
0	0	0	0	0	0	0	0	1	0	0	1	ESPROS Photonics AG
0	0	0	0	0	0	0	0	1	0	1	0	Fujitsu Semiconductor
0	0	0	0	0	0	0	0	1	0	1	1	Flir
0	0	0	0	0	0	0	0	1	1	0	0	O <sub>2</sub> Micro
0	0	0	0	0	0	0	0	1	1	0	1	Atmel

メーカー ID の発行を希望される場合は、NXP までメールで (i2c.support@nxp.com) お問い合わせください。

### 3.2 I<sup>2</sup>C バスプロトコル — Ultra Fast-mode (ウルトラファーストモード : UFm)

UFm I<sup>2</sup>C バスは 2 線式プッシュプルシリアルバスで、DC から 5MHz までの片方向データ転送をサポートします。1MHz 以上のスピードで、LED コントローラやその他フィードバックが不要なデバイスを動かすのに最適です。UFm I<sup>2</sup>C バスプロトコルは、START、スレーブアドレス、コマンドビット、9 番目のクロック、STOP ビットで構成される標準の I<sup>2</sup>C バスプロトコルをベースにしています。コマンドビットは書き込みのみで、9 番目のクロックのデータビットは HIGH となります。またこのバスは片方向通信のため ACK サイクルは無視されます。UFm シリアルクロック (USCL) とシリアルデータ (USDA) の 2 本のワイヤはプッシュプル駆動されます。

スレーブデバイスには固有のアドレス (マイクロコントローラ、LCD ドライバ、LED コントローラ、GPO 等に関係なく) が与えられ、レシーバとしてのみ機能します。常にレシーバとしてだけ動作すればよい、たとえば LED ドライバは UFm で対応できる一方、データの送受信が必要なメモリなどは UFm がサポートしないデバイスとなります。

UFm I<sup>2</sup>C バスはプッシュプル駆動されるので、Sm、Fm、Fm+ I<sup>2</sup>C バスのようなワイヤード AND オープンドレインを使ったマルチマスタ機能はありません。UFm においてデータ転送を開始し、転送許可のクロック信号を生成するデバイスは 1 個のマスタだけです。アドレス指定される他のすべてのデバイスはスレーブです。

表 5. UFm I<sup>2</sup>C バス — 用語解説

用語	説明
トランスミッタ	バスにデータを送信するデバイス
レシーバ	バスからのデータを受信するデバイス
マスタ	転送を開始し、クロック信号を生成して転送を終了するデバイス
スレーブ	マスタにアドレス指定されるデバイス

UFm I<sup>2</sup>C バスに接続されている、1 個のマスタと複数のスレーブ間におけるデータ転送例を説明します (図 21)。

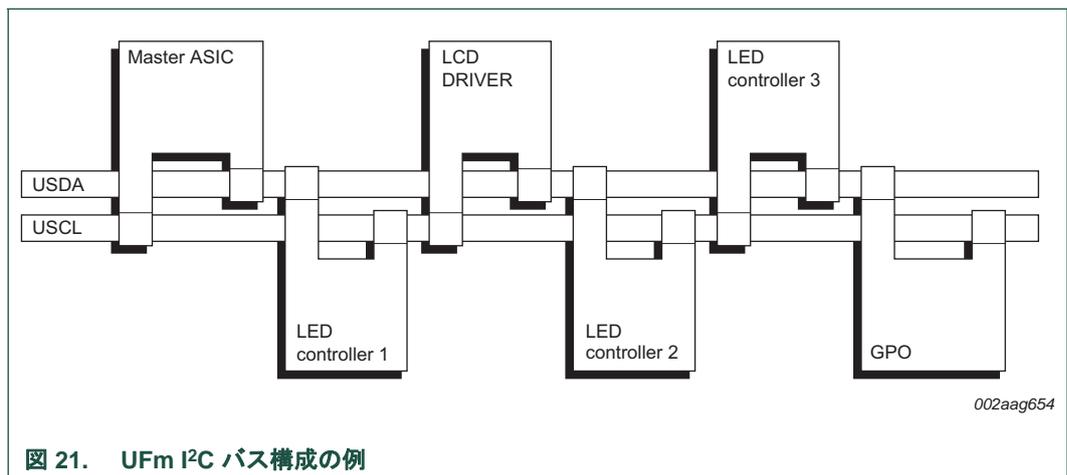


図 21. UFm I<sup>2</sup>C バス構成の例

次の例で、UFm I<sup>2</sup>C バス上のマスタトランスミッタとスレーブレシーバの関係を示します。データの転送は一方のみなので、これらの関係は永続的です。データ転送は次の手順で行われます。

マスタ ASIC から LED コントローラ 2 への情報送信の例

- ASIC A (マスタトランスミッタ) が USDA でアドレスを、USCL でクロックを送出し、LED コントローラ 2 (スレーブレシーバ) のアドレスを指定。
- ASIC A (マスタトランスミッタ) が LED コントローラ 2 (スレーブレシーバ) に、USDA でデータを、USCL でクロックを送出。
- ASIC A が、転送を終了。

プッシュプル出力同士が競合状態となるため、複数の UFm マスタを UFm I<sup>2</sup>C バスに接続することはできません。バスでは同時に 1 つのマスタしか存在できないため、システムにマスタを追加する必要がある場合は、他のマスタから完全に分離しなければなりません。

UFm I<sup>2</sup>C バスでのクロック信号の出力は、常にマスタデバイスが行います。マスタは、データをバス上に転送する際にクロック信号を出力します。UFm I<sup>2</sup>C にはクロックストレッチや調停プロセスで使われるクロックの同期は存在しないためスレーブデバイスがマスタからのバス・クロック信号を変更することはできません。

バス仕様の必須部分とオプション部分を下表 (表 6) に示します。

表 6. UFm への I<sup>2</sup>C バス機能の対応

M = 必須、O = オプション、n/a = 適用不可能

機能	構成
	単一マスタ
スタートコンディション	M
ストップコンディション	M
アクリッジ	n/p
同期化	n/p
調停	n/p
クロックストレッチ	n/p
7ビット・スレーブアドレス	M
10ビット・スレーブアドレス	O
ゼネラルコールアドレス	O
ソフトウェアリセット	O
スタートバイト	O
デバイス ID	n/p

### 3.2.1 USDA 信号と USCL 信号

USDA と USCL はどちらもプッシュプル出力の片方向ラインで、バスがフリーの場合、どちらのラインも出力段の上側トランジスタによって HIGH になります。Ultra Fast-mode では最大 5000kbit/s までの転送が可能です。バスに接続されているインターフェースの数はバスの負荷や、ケーブル終端、コネクタ、分岐部分からの反射によって制限を受けます。

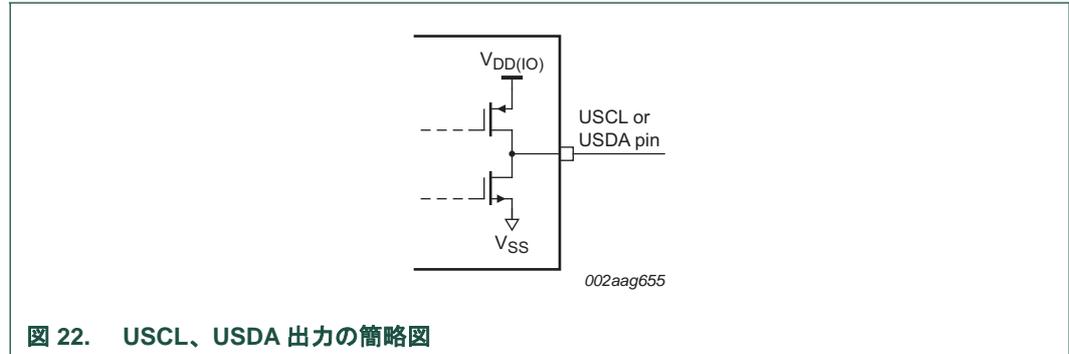


図 22. USCL、USDA 出力の簡略図

### 3.2.2 USDA 論理レベルと USCL 論理レベル

I<sup>2</sup>C バスには様々な製造テクノロジー (CMOS、NMOS、バイポーラ) を基盤にしたデバイスを接続するため、論理「0」(LOW) と「1」(HIGH) は固定ではなく、使われる V<sub>DD</sub> のレベルに依存します。入力リファレンス (基準) レベルは V<sub>DD</sub> の 30% および 70%、V<sub>IL</sub> は 0.3V<sub>DD</sub>、V<sub>IH</sub> は 0.7V<sub>DD</sub> に設定されます。図 40 のタイミング図を参照してください。電気的特性仕様の詳細は 6 章を参照してください。

### 3.2.3 データの有効性

クロックが HIGH 期間にあるとき、SDA ラインのデータは安定していなければなりません。データラインの HIGH または LOW の状態の変更は、SCL ラインのクロック信号が LOW の場合のみ可能です (図 23)。転送されるデータビット毎にクロックパルスが 1 回生成されます。

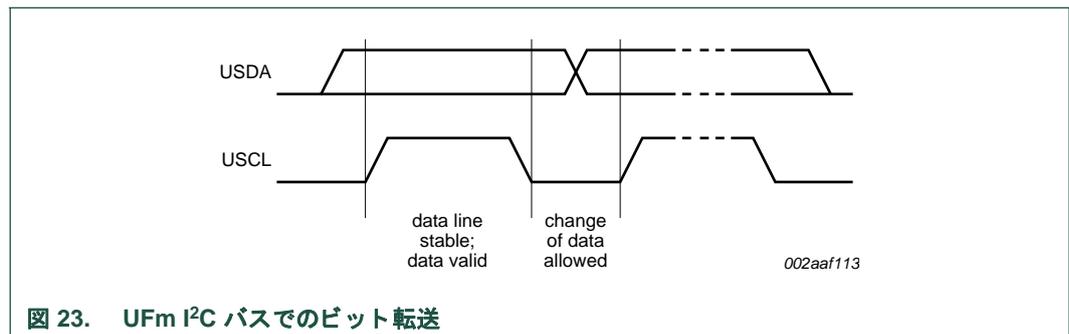


図 23. UFM I<sup>2</sup>C バスでのビット転送

### 3.2.4 スタートコンディションとストップコンディション

バスがビジー状態でないとき、データラインとクロックラインはどちらも HIGH になります。すべてのトランザクションは START (S) で始まり、STOP (P) で終了します (図 24)。USCL が HIGH の期間の、USDA ラインの HIGH から LOW へ変化をスタートコンディションと定義し、LOW から HIGH への変化をストップコンディションと定義します。

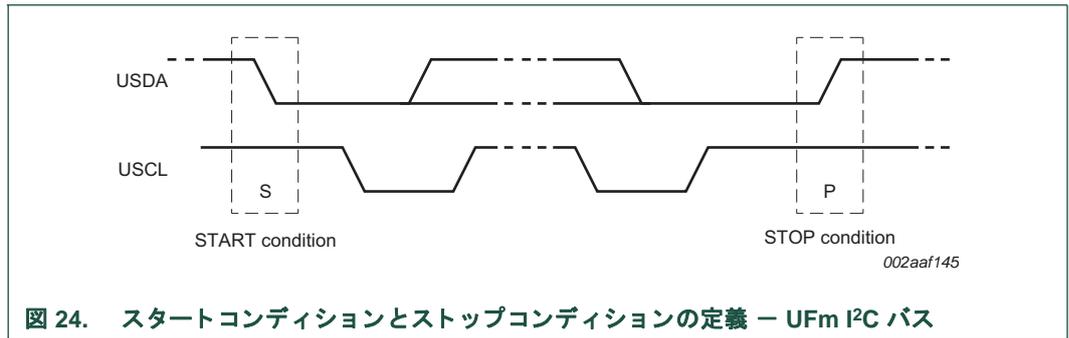


図 24. スタートコンディションとストップコンディションの定義 – UFm I<sup>2</sup>C バス

スタート / ストップコンディションは、常にマスタが生成します。スタートコンディションの後、バスはビジー状態となります。ストップコンディションの後、一定の時間が経過するとバスはフリー状態となります。バスのフリー状況は 6 章に規定があります。

ストップコンディションではなくリピータースタートコンディション (repeated START condition: Sr) が生成されると、バスはビジー状態のまま置かれます。機能の点においてスタートコンディション (S) とリピータースタートコンディション (Sr) はまったく同じです。以降、本マニュアルでは特に「Sr」と記載しない限り、「S」はスタートコンディションとリピータースタートコンディションの両方を意味します。

バスインターフェースがハードウェアで実装されているデバイスでは、スタートコンディションやストップコンディションの検出はどちらも容易でしょう。しかしたとえば、専用のインターフェースを備えていないマイクロコントローラがこれを認識するためには、クロック期間ごとに最低 2 回の SDA ラインのサンプリングを実行する必要があります。

### 3.2.5 バイト・フォーマット

USDA ライン上のすべてのバイトは、8 ビット長でなければなりません。1 回の転送ごとに送ることができるバイトの数に制限はありません。各バイトの後のアキュリッジサイクルの間、マスタは USDA に HIGH を出力します。データは、最上位ビット (MSB) から送信されます (図 25)。スレーブは、たとえば内部割り込みの処理などの機能を実行中であつたり、データの完全なバイトを受信できなかった場合でも、クロックを LOW に保持することはできません。

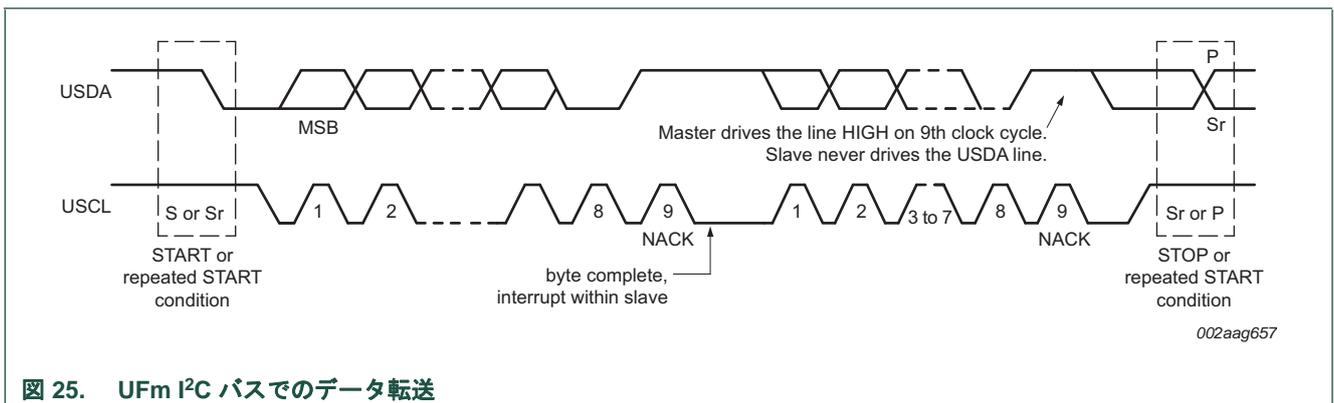


図 25. UFm I<sup>2</sup>C バスでのデータ転送

3.2.6 アクノリッジ (ACK) とノット・アクノリッジ (NACK)

スレーブは 9 番目のクロックサイクルに回答できないので、ACK と NACK は不要です。しかし U<sup>Fm</sup> でも I<sup>2</sup>C バスプロトコルとの互換性のため、そのクロックサイクルが存在します。この ACK・NACK は 9 番目のクロックサイクルに置かれます。マスタは 9 番目のクロックパルスを含め、すべてのクロックパルスを生成します。9 番目のデータビットは必ず HIGH (「1」) が出力されます。スレーブデバイスが SDA ラインをドライブすることはできません。

3.2.7 スレーブアドレスと R/W ビット

データ転送のフォーマットを下図 (図 26) に示します。スタートコンディション (S) の後、スレーブアドレスが送信されます。このアドレスは 7 ビット長で、8 ビット目にデータの方向を示すビット (R/W) が続きます。「0」は送信 (書き込み) を示します。「1」はデータのリクエスト (読み出し) を示しますが、通信は片方向なので U<sup>Fm</sup> ではサポートしていません (スタートバイトを除く 3.2.12 章参照) (図 27) データの転送は必ずマスタが生成するストップコンディション (P) で終了しますが、マスタが続けて通信を行う場合は、ストップコンディションではなくリポートスタートコンディション (Sr) を生成して別のスレーブのアドレスを指定します。

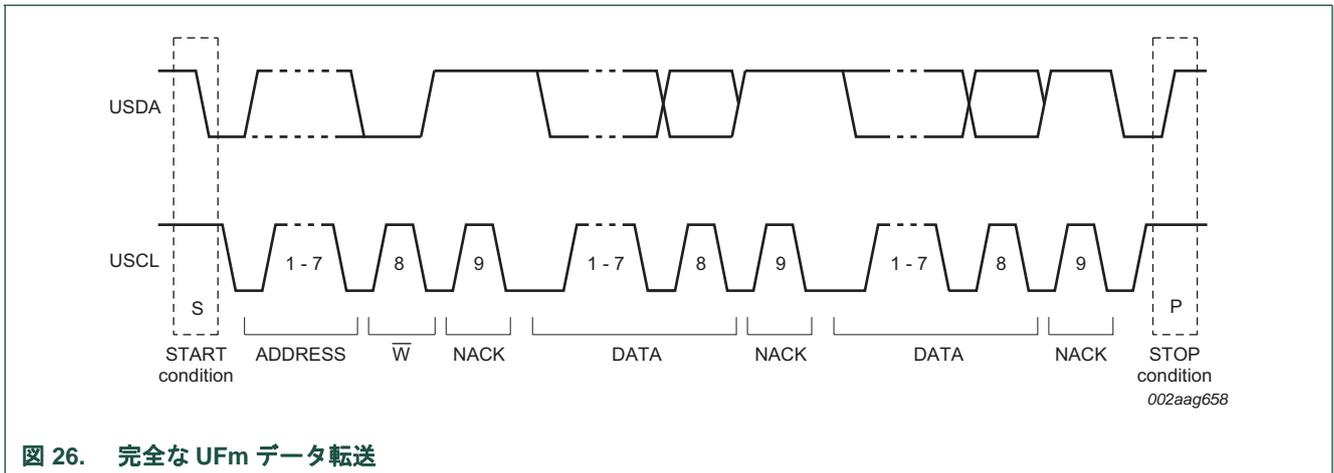


図 26. 完全な U<sup>Fm</sup> データ転送

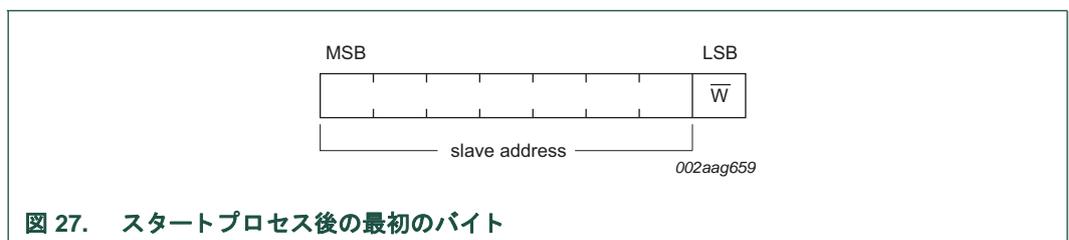


図 27. スタートプロセス後の最初のバイト

U<sup>Fm</sup> データ転送形式は次の通り。

- マスタトランスミッタからスレーブレシーバに送信。転送方向は不変 (図 28)、マスタはデータ受信は行いませんが I<sup>2</sup>C バスプロトコルに合わせて 9 番目のビットで「1」を出力、アクノリッジは生成されません。



- 転送方向は不変 (図 29)、スタートコンディションに 10 ビットアドレスが続く場合、各スレーブは自身のアドレスに対してスレーブアドレスの最初のバイトの最初の 7 ビット (1111 0XX) を比較し、8 番目のビット (R/W 方向ビット) が「0」かどうかを確認します。マッチしたすべてのスレーブは、自身のアドレスに対してスレーブアドレスの 2 番目のバイトの 8 ビットを比較しますが (XXXX XXXX)、マッチするのは 1 スレーブのみです。マッチしたスレーブは、ストップコンディション (P) かりピートスタートコンディション (Sr) に続いて異なるスレーブアドレスを受信するまで、アドレス指定された状態となります。



図 29. マスタトランスミッタによるスレーブレシーバのアドレス指定 (10 ビットアドレス)

スタートバイト 0000 0001 (01h) は、7 ビットアドレス指定の場合と同様に 10 ビットアドレス指定に先行することができます (3.2.12 章参照)。

### 3.2.9 UFm の予約済アドレス

UFm I<sup>2</sup>C バスは、他の I<sup>2</sup>C バスモードとは異なる物理層を有しています。このため、利用可能なアドレスの範囲も異なります。2 つのグループ (0000 XXX と 1111 XXX) に各 8 個のアドレスが、下表 (表 7) の通り予約されています。

表 7. 予約済のアドレス  
X = don't care; 1 = HIGH; 0 = LOW.

スレーブアドレス	R/W ビット	説明
0000 000	0	ゼネラルコールアドレス [1]
0000 000	1	スタートバイト [2]
0000 001	X	将来の使用のため予約
0000 010	X	将来の使用のため予約
0000 011	X	将来の使用のため予約
0000 1XX	X	将来の使用のため予約
1111 1XX	X	将来の使用のため予約
1111 0XX	X	10 ビット・スレーブアドレス指定

[1] ゼネラルコールアドレスは、ソフトウェアリセットを含む複数の機能で使用されます。

[2] スタートバイトの受信時も、UFm デバイスによるアクノリッジは認められていません。

ローカルシステム内でのアドレスの割当ては、システムアーキテクトが行います。システムアーキテクトは、バスで使用されるデバイスだけでなく、他の I<sup>2</sup>C バスデバイスを将来的に使用する可能性も考慮しておかなければなりません。しかしたとえば、ユーザー割当て可能な 7 つのアドレスピンを有するデバイスの場合、128 のアドレスすべてを割り当てることができますが、予約済のアドレスを本来の目的に使用しないことがあらかじめ分かっているのであれば、これらをスレーブアドレスとして使用することもできます。

### 3.2.10 ゼネラルコールアドレス

ゼネラルコール・アドレスは、I<sup>2</sup>C バスに接続したすべてのデバイスを同時にアドレス指定するために用意されています。ただし、ゼネラルコールによるデータを用いないデバイスの場合、このアドレスを無視します。ゼネラルコールアドレスによるのデータを用いるデバイスの場合、スレーブシーバとして機能します。マスタはゼネラルコールに対して応答するデバイスの数を知ることは出来ません。2 バイト目以降も、このデータを処理できるすべてのスレーブシーバは受信を続けます。スレーブはこれらのバイトのうち処理できないものは無視しなければなりません。ゼネラルコールアドレスの内容は、常に 2 バイト目で指定されます (図 30)。

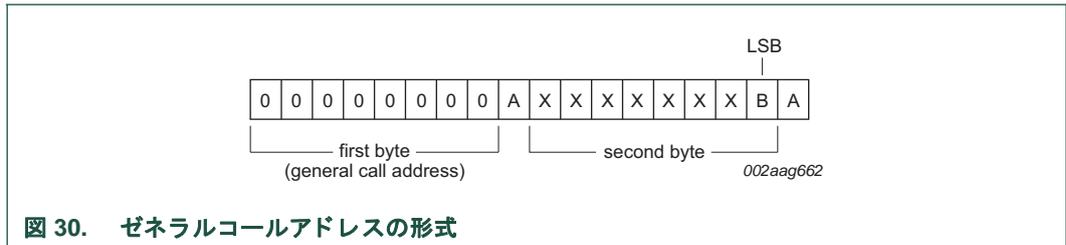


図 30. ゼネラルコールアドレスの形式

次の 2 つのケースを考慮しなくてはなりません。

- 最下位ビット B が「0」の場合。
- 最下位ビット B が「1」の場合。

ビット B が「0」の場合、2 番目のバイトの定義は次の通り。

**0000 0110 (06h)** — ハードウェアにより、リセットスレーブアドレスのプログラミング可能な部分を書込み。この 2 バイトシーケンスを受信すると、ゼネラルコールアドレスへ応答するようにデザインされているすべてのデバイスはリセットし、プログラム可能な部分を書き込みます。

**0000 0100 (04h)** — ハードウェアによって、スレーブアドレスのプログラミング可能な部分を書込み。挙動は上記と同じですが、デバイスをリセットしません。

**0000 0000 (00h)** — 2 バイト目としてこのコードを使用することはできません。

ビット B が「1」の場合、2 バイトシーケンスは無視されます。

### 3.2.11 ソフトウェアリセット

ゼネラルコール (0000 0000) の後、2 バイト目として 0000 0110 (06h) を送信すると、ソフトウェアリセットが実行されます。この機能はオプションで、すべてのデバイスがこのコマンドに応答するわけではありません。この 2 バイトシーケンスの受信によって、ゼネラルコールアドレスへ応答するようにデザインされているすべてのデバイスはリセットし、プログラム可能な部分を書き込みます。

### 3.2.12 スタートバイト

マイクロコントローラの I<sup>2</sup>C バス対応には 2 つの方法があります。マイクロコントローラが I<sup>2</sup>C バスインターフェースをハードウェアで持っているなら、バスリクエストによる割り込みを用いたプログラムが可能でしょう。このようなインターフェースを実装していないデバイスの場合、ソフトウェアによってバスを継続的に監視しなければなりません。マイクロコントローラがバスの監視やポーリングを行う時間が増えると、本来の機能を実行する時間が削られてしまいます。

したがって高速なハードウェアを持つデバイスと、ソフトウェアポーリングに依存した比較的遅いマイクロコントローラには、スピードに差が出ます。

この遅いデバイスに対応するため、データ転送の前に通常よりも長いスタート手順を置くことが可能です (図 31)。このスタート手順の内容は次の通り。

- スタートコンディション (S)
- スタートバイト (0000 0001)
- アクノリッジクロックパルス (NACK)
- リピートスタートコンディション (Sr)

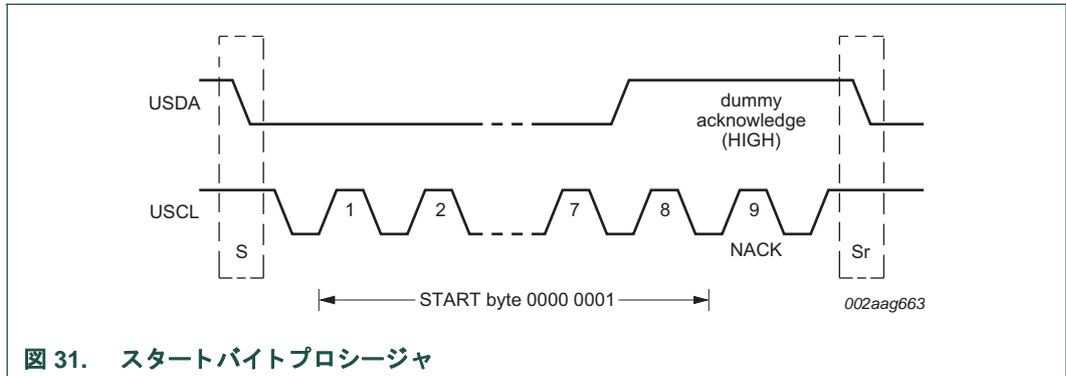


図 31. スタートバイトプロシージャ

バスアクセスを開始するマスタがスタートコンディション (S) の後に、スタートバイト (0000 0001) を送信します。これを受ける側のマイクロコントローラはスタートバイト中の7つの「0」のいずれかを検出できれば良いので、SDA ラインを低レートでサンプリングできます。この SDA ラインの LOW レベルを検出した後、マイクロコントローラはサンプリングを高いレートに切り替えてリピートスタートコンディション (Sr) を検出し、その後の同期に使用します。

ハードウェアレシーバはリピートスタートコンディション (Sr) の受信でリセットされるため、スタートバイトは無視されます。

スタートバイトの後、アクノリッジクロックパルスが出力されますが、これはバスのフォーマットに合わせるためのもので、どのデバイスも、スタートバイトに対してアクノリッジを返すことはできません。

### 3.2.13 応答しないスレーブのリセット

スレーブからの応答がなくなるという状況はあまり考えられませんが(スレーブからの応答を得るには UFM I<sup>2</sup>C バスを介してではなく外部信号を用います)、もしこのような状況が発生した場合には、使用している I<sup>2</sup>C デバイスに HW リセット入力があれば、それを使用してリセットすべきです。HW リセット入力がない場合は、電源の再投入でパワーオンリセット (POR) を試みます。

### 3.2.14 デバイス ID

UFM はデバイス ID フィールドをサポートしていません。

## 4. I<sup>2</sup>C バス通信プロトコル — その他の用法

I<sup>2</sup>C バスは、いくつかのシステムアーキテクチャの通信プロトコルに採用されています。これらのアーキテクチャでは、I<sup>2</sup>C の基本仕様に加えて一連のコマンドセットとアプリケーション固有の拡張が行われています。一般に、このようなアーキテクチャでは、使われる I/O エキスパンダのようなシンプルな I<sup>2</sup>C バスデバイスがプロトコルと物理インターフェースを決めています。

### 4.1 CBUS の互換性

Standard-mode I<sup>2</sup>C バスには、CBUS レシーバを接続できます。ただし、この場合もう 1 つのバスライン「DLEN」の接続が必要で、アクノリッジビットは省略されます。通常、I<sup>2</sup>C データ送信は 8 ビットバイトのシーケンスですが、CBUS 対応デバイスのフォーマットは異なっています。

I<sup>2</sup>C と CBUS が混在したバスでは、I<sup>2</sup>C バスデバイスは CBUS メッセージにตอบสนองしてはいけません。このため、どの I<sup>2</sup>C バス対応デバイスもตอบสนองしない特別な CBUS アドレス (0000 001X) が予約されています。CBUS アドレスの送信後、DLEN ラインをアクティブにして CBUS フォーマットのデータを送信します。ストップコンディションの後は、すべてのデバイスがデータを受信できる状態に戻ります。

マスタトランスミッタは、CBUS アドレスの送信後に CBUS フォーマットを送信できません。送信はストップコンディションで終了し、すべてのデバイスがこれを認識します。

**注意：**CBUS を使用するが、どのような CBUS 対応デバイスが使用されるかが不明な場合、設計担当者は使用するデバイスが要求するホールド時間を設定できます。

### 4.2 SMBus — システム管理バス

SMBus は I<sup>2</sup>C ハードウェアおよび I<sup>2</sup>C ハードウェアアドレスを使用しますが、独自システムとして第 2 レベルのソフトウェアが追加されています。特に、SMBus 仕様ではアドレスの動的割当てを可能にするアドレス解決プロトコル (ARP) が含まれます。

ハードウェアとソフトウェアの動的な再構成によって、バスデバイスを「ホットプラグ」接続し、システムを再起動無しで使うことが可能になっています。デバイスは自動的に認識され、固有のアドレスが割り当てられます。これによりプラグ・アンド・プレイを実現しています。プロトコル上では、マスタとスレーブを、システムホストと他のデバイスとして区別して扱います。

今日、SMBus はほとんどの PC でシステム管理バスとして使われています。1995 年に Intel 社他によって開発された SMBus は、高い互換性と携帯機器向けの省電力化のために、I<sup>2</sup>C の電気特性とソフトウェア特性に変更を加えています。また、SMBus にはシンク (引き込み) 電流が 4mA の「ハイパワー」バージョン 2.0 があります。I<sup>2</sup>C チップはこのシンク電流を駆動できないため、プルアップ抵抗を I<sup>2</sup>C バスのレベルに調整しなければなりません。

#### 4.2.1 I<sup>2</sup>C と SMBus の準拠関係

SMBus プロトコルと I<sup>2</sup>C プロトコルは基本的に同じです：SMBus マスタはプロトコルレベルで I<sup>2</sup>C デバイスを制御でき、またその反対も可能です。I<sup>2</sup>C はモードによって 0Hz ~ 100kHz、0Hz ~ 400kHz、0Hz ~ 1MHz、0Hz ~ 3.4MHz で使うことができるのに対し、SMBus クロックは 10kHz ~ 100kHz と定義されています。このため、10kHz より低い動作の I<sup>2</sup>C バスでは、デバイスがタイムアウトしてしまうため、SMBus には対応できません。

論理レベルも若干異なり、I<sup>2</sup>C の V<sub>DD</sub> CMOS レベルは 30%/70% であるのに対し、SMBus の TTL は LOW=0.8 V、HIGH=2.1 V になっています。V<sub>DD</sub> > 3.0 V であれば問題はありませんが、I<sup>2</sup>C デバイスが 3.0 V を下回っている場合、HIGH/LOW 論理レベルが適切に認識されない問題が発生します。

#### 4.2.2 タイムアウト機能

通信時間が長くなると、SMBus のタイムアウト機能によってデバイスがリセットされます。これはバスのロックアップを防止するためのもので、最低クロック周波数を 10 kHz と規定しています。I<sup>2</sup>C は「DC」バスとしても動作し、マスタからのアクセスを受けている間、スレーブデバイスが何らかのルーチンを実行するためマスタ・クロックをストレッチすることもできます。これにより、マスタにスレーブがビジーであることを、通信状態保持したまま通知できます。スレーブはタスクが完了した後に、通信を継続します。I<sup>2</sup>C バスではこの「待たせる長さ」に制限はありませんが、SMBus システムでは 35 ms に制限されています。

SMBus プロトコルは、何らかのタスクに時間がかかり過ぎている場合、これはバス上に問題があり、このモードをクリアするためにすべてのデバイスをリセットしなければならない状態であると判断します。このため、スレーブデバイスはクロックを長時間 LOW 状態にすることはできません。

#### 4.2.3 SMBus 1.0 と SMBus 2.0 の違い

SMBus 仕様によって、ローパワーとハイパワーの 2 つの電気特性クラスが規定されます。SMBus 1.0 と 1.1 の仕様で規定されていた最初のクラスはスマートバッテリーを念頭に考えられたものでしたが、他の低電力デバイスにも適用することが可能です。

バージョン 2.0 では、ローパワーとは別にハイパワーの電気特性が規定されています。このクラスは高いドライブ能力が求められる、たとえば PCI アドインカード間やシステムボードのデバイス接続に適しています。

デバイスにはバスの V<sub>DD</sub> や他の電源 V<sub>Bus</sub> (たとえばスマートバッテリー) から電力を供給することが可能で、それぞれのクラスの SMBus 電気仕様に準拠している限り、相互運用が可能です。

NXP のデバイスは、SMBus 1.0 よりも高い電気的能力を持っています。大きな違いは、V<sub>OL</sub> = 0.4 V の電流シンク能力です。

- SMBus ローパワー = 350 μA
- SMBus ハイパワー = 4 mA
- I<sup>2</sup>C バス = 3 mA

プルアップ抵抗が 3 mA で調整されていれば、SMBus の「ハイパワー」デバイスと I<sup>2</sup>C バスデバイスを連携させることができます。

詳細は [www.nxp.com/redirect/smbus.org](http://www.nxp.com/redirect/smbus.org) を参照。

### 4.3 PMBus – パワーマネージメントバス

PMBus は、SMBus を通じたパワーコンバータとシステムホスト間の通信で、パワーコンバータをよりインテリジェント制御する標準的な方法です。PMBus 仕様では標準デバイスコマンドセットが規定され、各供給元からのデバイスが同一の機能を持つよう定義されています。PMBus デバイスは SMBus Version 1.1 に転送機能を拡張したものとなっています。

詳細は [www.nxp.com/redirect/pmbus.org](http://www.nxp.com/redirect/pmbus.org) を参照。

### 4.4 インテリジェントプラットフォーム管理インターフェース (IPMI)

インテリジェントプラットフォーム管理インターフェース (IPMI) では、インテリジェントプラットフォーム管理ハードウェア用の、標準化・抽象化されたメッセージベースのインターフェースが規定されます。また、IPMI ではプラットフォーム管理デバイスとその特性を記述する標準化レコードも規定されます。IPMI による温度や電圧、ファン、シャーシ・イントルージョン (chassis intrusion) などのパラメータの監視で、システムの信頼性を高めます。

IPMI は、自動アラート、自動システムシャットダウン / 再起動、リモート再起動、電力制御などの一般的なシステム管理機能を提供します。インテリジェントプラットフォーム管理ハードウェア用に標準化されたインターフェースによって、ハードウェアの障害をモニタリングにより早期に予測できると共に、ハードウェアの問題を診断することが可能になります。

管理能力の拡張、モニタリング、シャーシ内のイベント通知を実現する、この標準化されたバスとプロトコルは：

- I<sup>2</sup>C ベース
- マルチマスタ
- シンプルなリクエスト / レスポンス・プロトコル
- IPMI コマンドセットを使用
- 非 IPMI デバイスもサポート
- 物理的には I<sup>2</sup>C (ただし書込み専用。マスタ対応デバイス)、ホットスワップは不要
- ベースボード管理コントローラ (BMC) が、システム内の他の管理コントローラから IPMI リクエストメッセージを受信することが可能
- バス上で非インテリジェント・デバイスや管理コントローラをサポート
- BMC はコントローラとして機能し、システムソフトウェアに IPMB へのアクセスを提供

ハードウェアとソフトウェアの実装は分離されており、新しいセンサーやイベントを追加する場合もソフトウェアの変更は不要です。

詳細は [www.nxp.com/redirect/intel.com/design/servers/ipmi](http://www.nxp.com/redirect/intel.com/design/servers/ipmi) を参照。

## 4.5 ATCA (Advanced Telecom Computing Architecture)

ATCA (Advanced Telecom Computing Architecture) は、コンパクト PCI (cPCI) の後継となる、より大きいカード、広いピッチ、大きな電源供給が可能なラックマウント型通信ハードウェアを標準化しています。ATCA は温度管理のためのフォルトトレラントスキームとしてボード間のバス通信に I<sup>2</sup>C をします。

現在、Intel 社、Lucent 社、Motorola 社などの大手を含め、世界中で 100 社以上の企業が ATCA をサポートしています。

ATCA 対応ファンプロトコルには一般的なアプローチが 2 つあります。1 つはインテリジェント FRU (フィールド交換可能ユニット) によるもので、ファンコントロールを IPMB (インテリジェントプラットフォーム管理バス) に直接接続できます。もう 1 つは管理 (Managed) FRU または非インテリジェント FRU によるものです。

デュアル I<sup>2</sup>C バスを管理するためのハードウェアとソフトウェアを含めることが要件となっています。これには、オンボードで分離された回路への電力供給、3 ステートが可能で立上り時間アクセラレータ (rise time accelerator) を備えるバッファを介したデュアル I<sup>2</sup>C バスが必要となります。I<sup>2</sup>C コントローラは、マルチマスタ I<sup>2</sup>C デュアルバスをサポートすると共に、プロトコルに規定されている標準のファンコマンドを処理しなければなりません。また、オンボード温度レポート、トレイ能力レポート、ファンのオフ機能、不揮発性ストレージも必要です。

詳細は [www.nxp.com/redirect/picmg.org/v2internal/newinitiative](http://www.nxp.com/redirect/picmg.org/v2internal/newinitiative) を参照。

## 4.6 ディスプレイ・データチャネル (DDC)

ディスプレイデータチャネル (DDC) は、モニタやディスプレイの識別情報や特性をホストに知らせるための規格です。DDC バージョン 2 の仕様では、I<sup>2</sup>C バス標準モード仕様に準拠することが求められます。このディスプレイとホスト間の双方向通信を用いて、例えばモニタにどのように画像が表示されるのかというような情報や、I<sup>2</sup>C バスに接続されている他のデバイスの制御を可能にします。

詳細は [www.nxp.com/redirect/vesa.org](http://www.nxp.com/redirect/vesa.org) を参照。

## 5. バスの速度

オリジナルの I<sup>2</sup>C バスの動作は 100kbit/s に制限されていました。しかしその後、仕様が追加され、現在は 5 つの動作速度カテゴリが存在します。Standard-mode (スタンダードモード : Sm)、Fast-mode (ファーストモード : Fm)、Fast-mode Plus (ファーストモードプラス : Fm+)、High-speed mode (ハイスピードモード : Hs-mode) のデバイスは下位互換性 — どのデバイスもより低い速度での動作が可能です。

片方向通信である Ultra Fast-mode (ウルトラファーストモード : UFm) デバイスのみ、前バージョンとの互換性がありません。

- 双方向バス
  - **Standard-mode (Sm):** 最大ビットレート 100kbit/s
  - **Fast-mode (Fm):** 最大ビットレート 400 kbit/s
  - **Fast-mode Plus (Fm+):** 最大ビットレート 1 Mbit/s
  - **High-speed mode (Hs-mode):** 最大ビットレート 3.4 Mbit/s
- 片方向バス
  - **Ultra Fast-mode (UFm):** 最大ビットレート 5 Mbit/s

## 5.1 Fast-mode (Fm) – ファーストモード

Fast-mode デバイスは最大 400kbit/s でデータの送受信ができます。最低要件は 400kbit/s の転送と同期できること；遅いデバイスであれば SCL 信号の LOW 期間を延長して転送を下げることができます。SDA ラインと SCL ラインのプロトコル、フォーマット、論理レベル、最大容量性負荷は Standard-mode I<sup>2</sup>C バス仕様と同じです。Fast-mode デバイスは下位互換性があり、0 ~ 100kbit/s の I<sup>2</sup>C バスと通信可能です。しかし Standard-mode デバイスには上位互換性がないため、Fast-mode I<sup>2</sup>C バスシステムに組み込むことはできません。Fast-mode I<sup>2</sup>C バスの高い転送レートをサポートでないデバイスで予期せぬ状況が生じる恐れがあります。

Fast-mode I<sup>2</sup>C バスでは Standard-mode に次のような仕様が追加されています。

- 最大ビットレートは 400 kbit/s。
- シリアルデータ (SDA) とシリアルクロック (SCL) の信号タイミングの変更。CBUS をはじめとする他のバスシステムは、高いビットレートで動作できないため非互換。
- Fast-mode デバイスの入力、スパイク抑制と SDA/SCL のシュミットトリガ入力を装備。
- Fast-mode デバイスの出力バッファに、SDA/SCL 信号の立下りエッジのスロープ制御を装備。
- Fast-mode デバイスへの電力供給がオフになった場合、SDA および SCL の I/O ピンはバスラインが遮断されないようにフロート状態にすること。
- バスラインに接続される外部プルアップ・デバイスは、Fast-mode I<sup>2</sup>C バスの短い最大許容立上り時間に対応できるように調整する必要があります。バス負荷が 200pF までの場合、各バスラインのプルアップに抵抗を使うことができますが、バス負荷が 200pF ~ 400pF の場合には電流源 (最大 3mA) またはスイッチト抵抗回路 (7.2.4 章参照) を用いる必要があるでしょう。

## 5.2 Fast-mode Plus (Fm+) – ファーストモードプラス

Fast-mode Plus (Fm+) デバイスでは、バスの転送速度と駆動できるバス静電容量が引き上げられています。Fm+ デバイスは最大 1Mbit/s のビットレートで情報の転送が可能で、Fast-mode デバイスや Standard-mode デバイスとの下位互換性を保ち、複数の転送速度が混在するバスシステムでも双方向通信が可能です。Fast-mode/Standard-mode システムと同じシリアルバスプロトコルとデータフォーマットが使われます。また、Fm+ デバイスは Fast-mode/Standard-mode デバイスより大きなドライブ電流によって、より長い、負荷の大きいバスをバスバッファ無しで駆動できます。

Fast-mode Plus (Fm+) には、Standard-mode と同じ 400pF の負荷で Fm+ のタイミング仕様を満たすことができる強力な駆動段が必要です。下位互換性を確保するため、Standard-mode の立上り時間 1 $\mu$ s もサポートします。Fast-mode Plus のみで構成されているアプリケーションの場合、Fast-mode Plus ではこれまでの立上り / 立下り時間を扱える一方で高い駆動能力を持っているため、セットアップ、最低 LOW 時間、HIGH 時間扱うことができ、かつ、Standard-mode の立上り / 立下り時間  $t_r=300$  ns と  $t_f=1\mu$ s を超えなければ、より大きなバス静電容量に対応できます。バス速度と負荷容量のバランスを調整することで、最大容量を約 10 倍まで増やすことが可能です。

## 5.3 Hs-mode – ハイスピードモード

Hs-mode (ハイスピードモード) デバイスでは、I<sup>2</sup>C バスの転送速度が飛躍的に高められています。Hs-mode デバイスは最大ビットレート 3.4Mbit/s で転送を行うことができ、Fast-mode Plus、Fast と Standard-mode の各デバイスとの下位互換性を持っているので、複数の転送速度が混在するバスシステムでも双方向通信が可能です。Hs-mode のデータ転送では調停とクロック同期が実行されない点を除き、シリアルバスプロトコルとデータフォーマットは Fast-mode/Standard-mode (F/S-mode) のシステムと変わりません。

### 5.3.1 転送

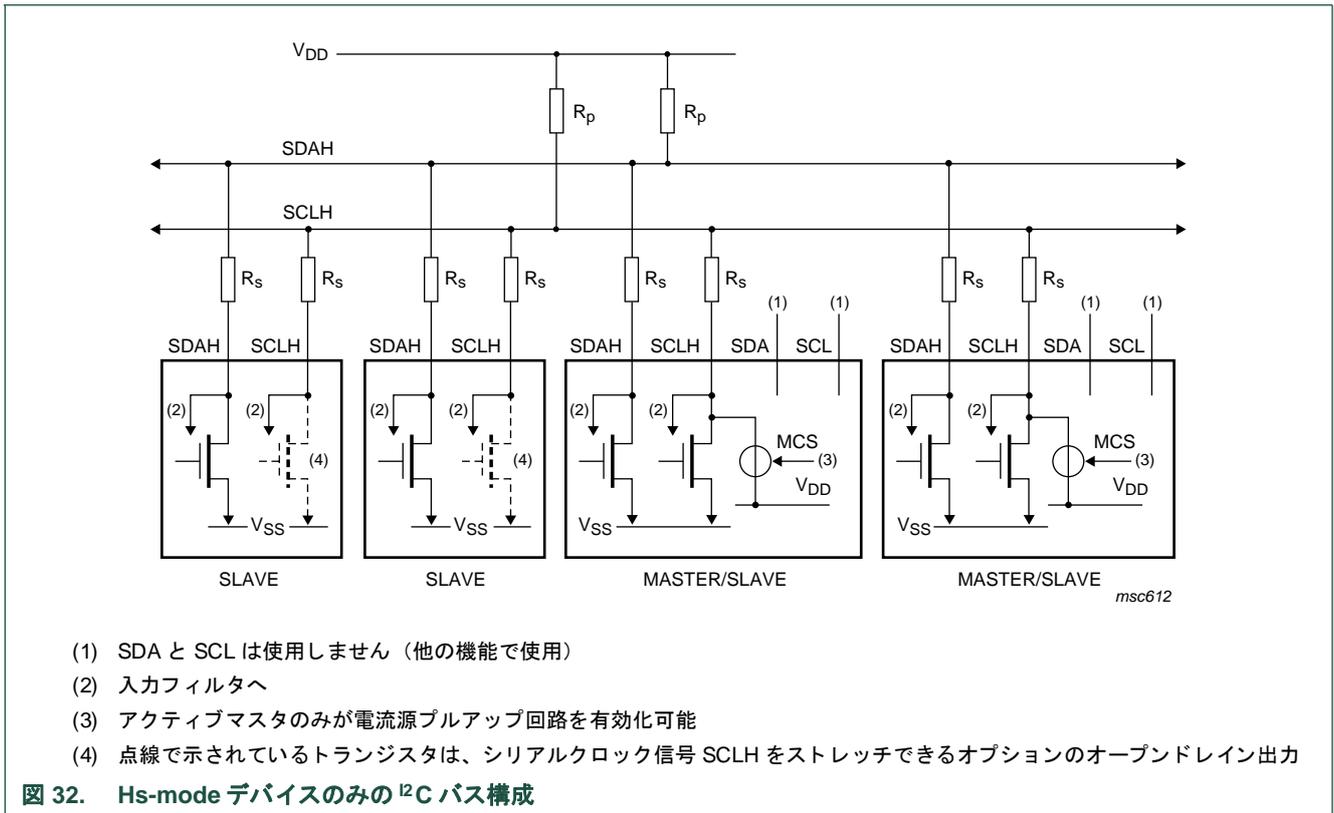
最大 3.4 Mbit/s のビット転送速度を実現するため、通常の I<sup>2</sup>C バス仕様に次の変更が加えられています：

- Hs-mode マスタデバイスに、SDAH 信号用のオープンドレイン出力バッファ、SCLH 出力にオープンドレイン・プルダウンと電流源プルアップ回路を備えています。この電流源回路によって信号の立上り時間が短縮されます。Hs-mode では同時に 1 個のマスタの電流源を有効にできます。
- ビット処理能力を高めるため、Hs-mode の間、マルチマスタシステムではデータ転送時の調停 / クロック同期は実行されません。調停のプロセスは必ず、先行する F/S-mode のマスタコード転送で完結します。
- Hs-mode マスタデバイスが、HIGH/LOW 比 1 対 2 のシリアルクロック信号を生成。これによって、セットアップ時間とホールド時間のタイミング要件が緩和されます。
- マスタデバイスに内蔵ブリッジを実装することが可能（オプション）。Hs-mode での転送時、Hs-mode デバイスの高速データ（SDAH）ラインと高速シリアルクロック（SCLH）ラインはこのブリッジによって F/S-mode デバイスの SDA/SCL ラインと分離され、SDAH/SCLH ラインの静電負荷を軽減、立上り時間と立下り時間が高速化されます。
- スレーブデバイスにおける Hs-mode と F/S-mode の唯一の違いは、動作速度です。Hs-mode スレーブでは、SCLH および SDAH 出力にオープンドレイン出力バッファを備えます。SCLH ピンではオプションでプルダウントランジスタを使って SCLH 信号の LOW レベルをストレッチできますが、Hs-mode 転送時でこれが可能なのは、アクノリッジビットの後のみです。
- Hs-mode デバイスの SDAH/SCLH の入力は、スパイク抑制とシュミットトリガを装備。Hs-mode デバイスの出力バッファは、SDAH/SCLH 信号の立下りエッジのスロープ制御を装備。

Hs-mode デバイスのみで構成されたシステムの、物理的な I<sup>2</sup>C バス構成を下図（[図 32](#)）に示します。マスタデバイスの SDA ピンと SCL ピンはバス速度混合型システム用で、Hs-mode のみのシステムには接続されません。このような場合、これらのピンは他の機能のために使うことができます。

オプションの直列抵抗  $R_s$  は、I<sup>2</sup>C バスデバイスの I/O 段をバスラインの高電圧スパイクから保護し、リングングと干渉を最小限に抑えます。

プルアップ抵抗  $R_p$  は、バスがフリー状態のときに SDAH/SCLH ラインを HIGH レベルに保ち、信号が LOW から HIGH へ変化する際には規定の立上り時間内にプルアップします。バスラインの静電容量負荷が大きい場合（>100 pF）、立上り時間の仕様に合わせて抵抗  $R_p$  を外部電流源によるプルアップに置き換えることが可能です。アクノリッジビットによって処理が継続されない限り、Hs-mode 転送での SCLH クロックパルスの立上り時間は、アクティブマスタの内部電流源プルアップ回路 MCS によって短縮されます。



### 5.3.2 Hs-mode のシリアルデータ形式

Hs-mode でのシリアルデータ転送形式は、Standard-mode I<sup>2</sup>C バス仕様に準拠していません。Hs-mode は、次のコンディションの後のみ開始できます (すべて F/S-mode)。

1. スタートコンディション (S)
2. 8ビットマスタコード (0000 1XXX)
3. ノット・アクノリッジビット ( $\bar{A}$ )

詳細を [図 33](#) および [図 34](#) に示します。このマスタコードの主な機能は次の 2 つです。

- 競合するマスタ間の調停と同期化を F/S-mode 速度で実行し、1 マスタを有効にします。
- Hs-mode のデータ転送開始を通知。

Hs-mode マスタコードは予約済の 8 ビット・コードで、スレーブアドレスの指定や他の目的には使用されません。また、各マスタには固有のマスタコードがあるので、1 つの I<sup>2</sup>C バスシステム上に最大 8 つのマスタを接続できます (ただしマスタコード 0000 1000 はテストおよび診断用に予約されています)。Hs-mode マスタデバイスのマスタコードはソフトウェアによる設定が可能で、システムの設計担当者が指定します。

調停とクロック同期は、マスタコードとノット・アクノリッジビット ( $\bar{A}$ ) の送信中のみ実行され、その後は有効とされた 1 つのマスタのみがアクティブになります。マスタコードは、他のデバイスに対して Hs-mode 転送が開始されること、また接続しているデバイスは Hs-mode 仕様に対応する必要があることを示します。マスタコードにアクノリッジできるデバイスはないので、マスタコードにはノット・アクノリッジ ( $\bar{A}$ ) が続きます。

ノット・アクノリッジビット ( $\bar{A}$ ) の後、SCLH ラインが HIGH レベルにプルアップされ、アクティブとなったマスタは Hs-mode に切り替わり、SCLH 信号用の電流源プルアップ回路をオンにします (時間  $t_H$ 、[図 34](#))。他のデバイスは SCLH 信号の LOW 期間をストレッチすることで時間  $t_H$  の前にシリアル送信を遅らせることができるので、アクティブマスタはすべてのデバイスが SCLH ラインをリリースし、SCLH 信号が HIGH レベルに達したときに電流源プルアップ回路をオンにできます。

次に、アクティブマスタはリポートスタートコンディション (Sr) およびこれに続けて R/W ビットと共に 7 ビットのスレーブアドレス (または 10 ビット・スレーブアドレス。[3.1.11 章参照](#)) を送信し、指定したスレーブからアクノリッジビット (A) を受信します。

リポートスタートコンディションの後、および各アクノリッジビット (A) またはノット・アクノリッジビット ( $\bar{A}$ ) の後、アクティブマスタは電流源プルアップ回路をオフにします。これによって、他のデバイスは SCLH 信号の LOW 期間をストレッチすることでシリアル送信を遅らせることができます。アクティブマスタは、すべてのデバイスが SCLH 信号をリリースして HIGH レベルに戻った時に、電流源プルアップ回路を再度オンにし、SCLH 信号の立上り時間の最後の部分をスピードアップします。

Hs-mode でのデータ送信はリポートスタートコンディション (Sr) で継続し、ストップコンディション (P) の後に、F/S-mode に戻ります。マスタは複数の Hs-mode をリポートスタートコンディション (Sr) で繋いで転送することでマスタコードによるオーバーヘッドを軽減できます。

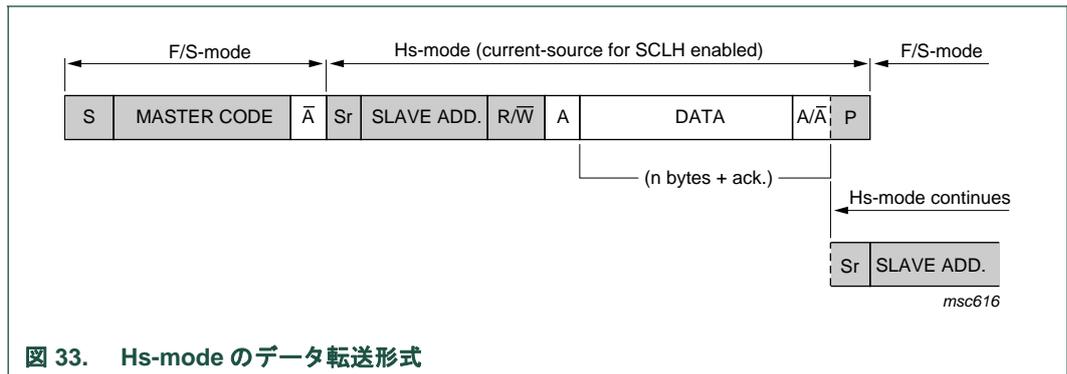


図 33. Hs-mode のデータ転送形式

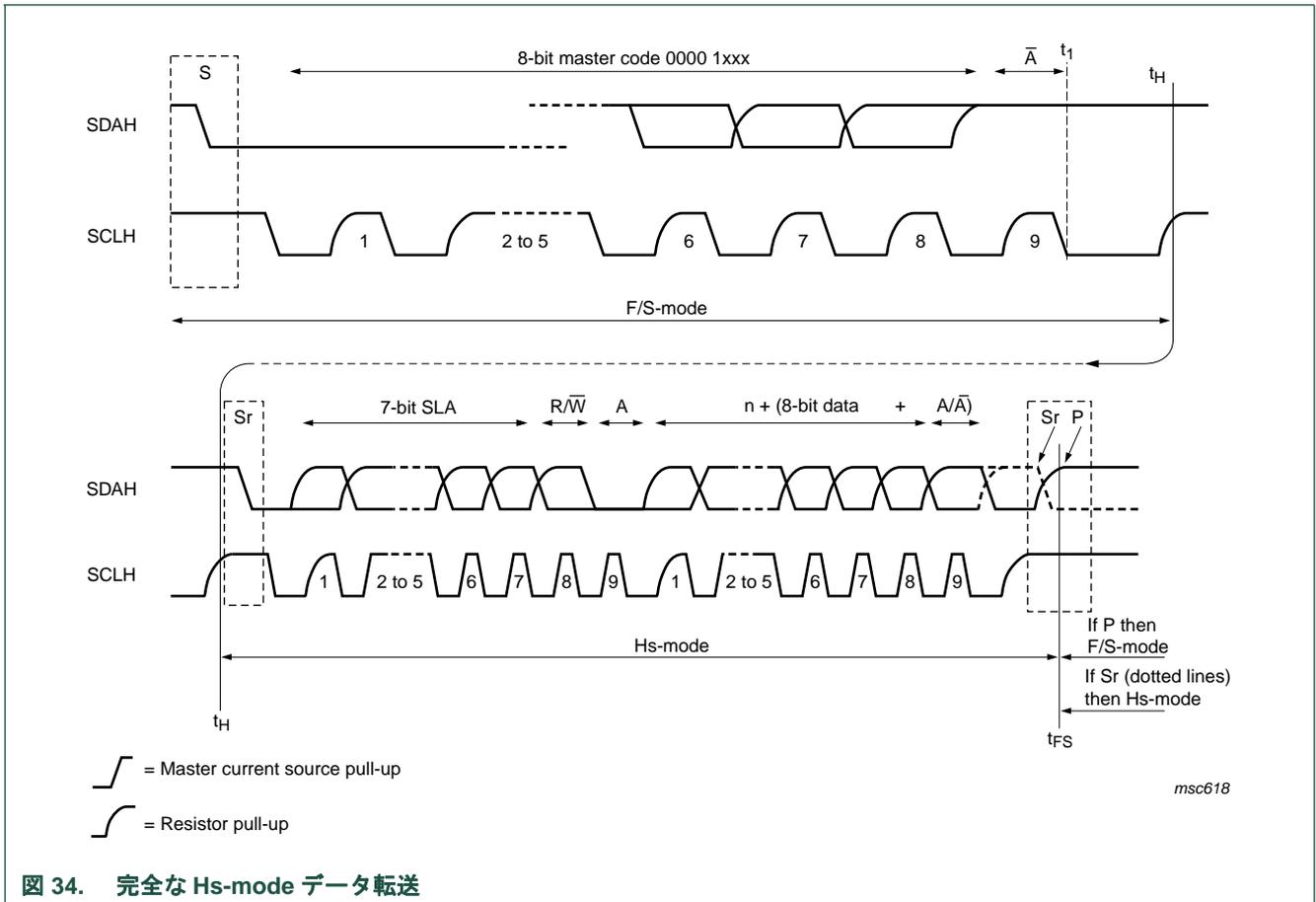


図 34. 完全な Hs-mode データ転送

### 5.3.3 F/S-mode から Hs-mode への切替

リセットと初期化の後、Hs-mode デバイスは Fast-mode になっていなくてはなりません (Fast-mode は Standard-mode と下位互換性を有しているため事実上は F/S-mode)。各 Hs-mode デバイスは Fast-mode と Hs-mode 間の切替が可能で、これらの切替は I<sup>2</sup>C バスのシリアル転送で制御されます。

時間  $t_1$  の前 (図 34)、接続されている各デバイスは Fast-mode で動作しています。時間  $t_1$  と  $t_H$  の間 (この時間間隔はデバイスによってストレッチ可能)、各接続デバイスは「S 00001XXX A」のシーケンスを認識し、内部回路を Fast-mode 設定から Hs-mode 設定に移行しなければなりません。時間  $t_1$  と  $t_H$  の間の、接続されているマスタとスレーブデバイスによる切替のプロセスは次の通り。

#### アクティブ (選ばれた) マスタ

1. Hs-mode のスパイク抑制要件にしたがって SDAH/SCLH 入力フィルタを調整。
2. Hs-mode の要件にしたがってセットアップ時間とホールド時間を調整。
3. Hs-mode の要件にしたがって SDAH/SCLH 出力段のスロープ制御を調整。
4. 時間  $t_H$  の後に要求される Hs-mode のビットレートに切替。
5. 時間  $t_H$  で SCLH 出力段の電流源プルアップ回路を有効化。

#### 非アクティブマスタまたは選ばれなかったマスタ

1. Hs-mode のスパイク抑制要件にしたがって SDAH/SCLH 入力フィルタを調整。
2. ストップコンディションを検出してバスが再度フリーになるまで待機。

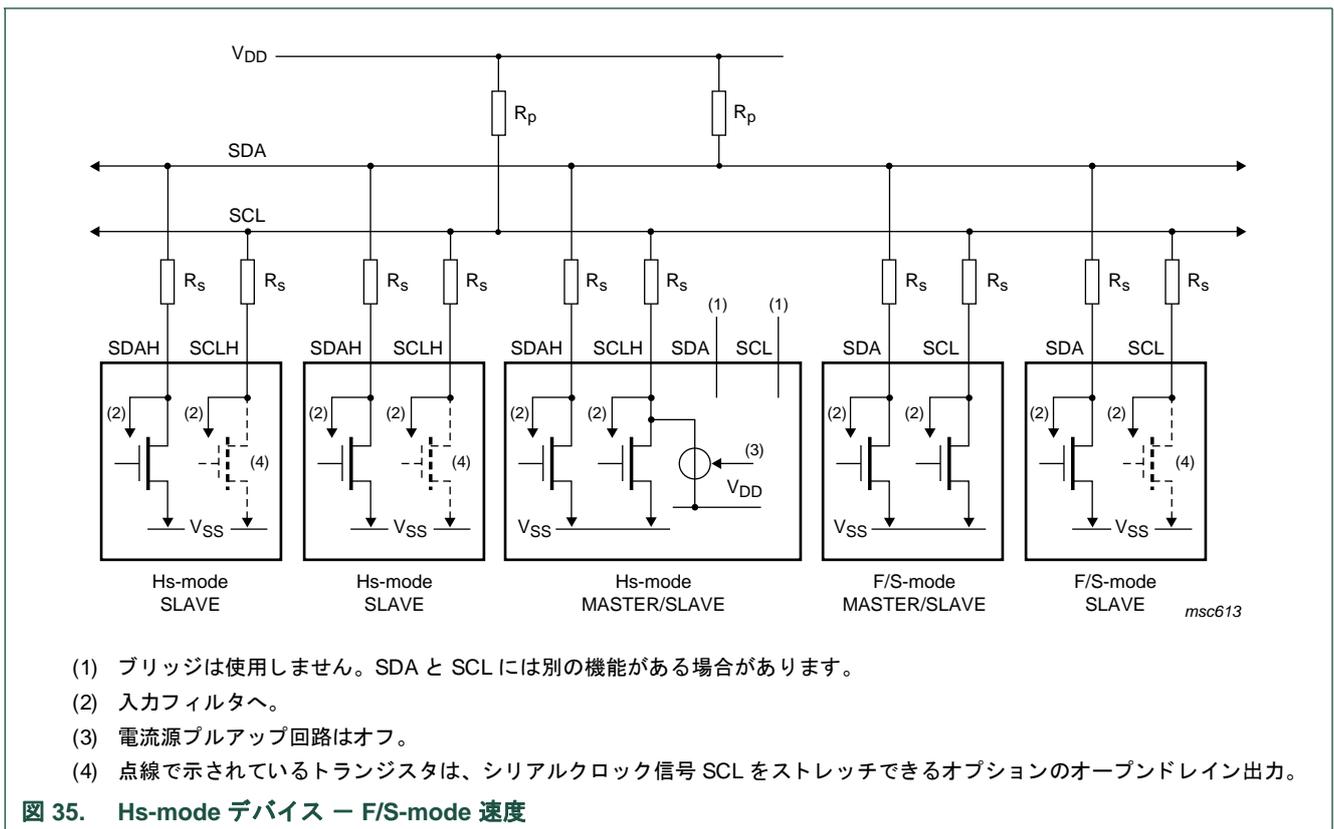
#### すべてのスレーブ

1. Hs-mode のスパイク抑制要件にしたがって SDAH/SCLH 入力フィルタを調整。
2. Hs-mode の要件にしたがってセットアップ時間とホールド時間を調整。この要件は、入力フィルタの調整時にすでに満たされていることもあります。
3. 必要に応じ、SDAH 出力段のスロープ制御を調整。スレーブデバイスの場合、スロープ制御を適用できるのは SDAH 出力段のみで、回路の許容範囲によっては、内部回路を切り替える必要なしに Fast-mode の要件と Hs-mode の要件の両方を満たすことが可能。

時間  $t_{FS}$  の時点で (図 34)、各接続デバイスはストップコンディション (P) を認識し、内部回路を Hs-mode 設定から、時間  $t_1$  の前と同様の Fast-mode 設定に戻さなければなりません。これは、Fast-mode 仕様に規定されたバスのフリー最短時間 (表 10) の内に完了しなければなりません。

### 5.3.4 低速度モードでの Hs-mode デバイス

Hs-mode デバイスは完全な下位互換性を持っており、F/S-mode I<sup>2</sup>C バスシステムに接続できません (図 35)。この構成ではマスタコードは送信されないため、すべてのマスタデバイスは F/S-mode のまま、電流源はオフの状態、F/S-mode の速度で通信を実行します。F/S-mode バスシステムへの接続には SDAH ピンと SCLH ピンを使用するので、Hs-mode マスタデバイスの SDA ピンと SCL ピン (ある場合) は他の機能のために使うことができます。



### 5.3.5 同一シリアルバスシステム上での速度混在モード

Hs-mode デバイス、Fast-mode デバイス、Standard-mode デバイスを組合わせて混在するシステムを作る場合、相互接続ブリッジを使用して、ビットレートが異なる様々なデバイスを接続できます (図 36、図 37)。

適切なタイミングで Hs-mode セクションと F/S-mode セクションの接続 / 接続解除を行うために、ブリッジが 1 個必要です。このブリッジには、供給電圧が異なる複数のデバイスの接続を可能にするレベルシフト機能が含まれています。たとえば、SDA ピンと SCL ピンが 5 V をサポートしていれば、 $V_{DD2}$  が 5V の F/S-mode デバイスを  $V_{DD1}$  が 3 V 以下の Hs-mode デバイスに接続することが可能です ( $V_{DD2} \geq V_{DD1}$ )。このブリッジは Hs-mode マスタデバイスに統合され、SDAH、SCLH、SDA、SCL のシリアル信号で制御されます。このようなブリッジは、どの IC にも自律的回路として実装できます。

TR1、TR2、TR3 は N チャネルトランジスタで、TR1 と TR2 はトランスファゲート機能を持ち、TR3 はオープンドレインプルダウン段となっています。TR1 または TR2 は双方向に LOW レベルを転送する機能を持ち、ドレインとソースの両方が HIGH レベルとなった場合はドレインとソース間がハイインピーダンスとなります。またこれらのトランジスタはレベルシフタとして機能も持っており、SDAH と SCLH は  $V_{DD1}$  に、SDA と SCL は  $V_{DD2}$  にプルアップされます。

F/S-mode 速度では、いずれかの Hs-mode マスタに内蔵されたブリッジが SDAH/SCLH ラインが SDA/SCL ラインに接続され、Hs-mode デバイスが低い速度で F/S-mode デバイスと通信します。F/S-mode 転送の間、すべての接続デバイス間において調停と同期が可能です (3.1.7 章参照)。Hs-mode 転送の間は、2 つのバスセクションを分離するためにブリッジがオープンとなり、Hs-mode デバイス間で 3.4Mbit/s の通信が可能になります。Hs-mode デバイスと F/S-mode デバイス間の調停はマスタコード (0000 1XXX) の間のみ実行されます。通常は 4 つのゼロが先行するスレーブアドレスは他に存在しないので、Hs-mode マスタがバスを得ます。他のマスタは、予約済の 8 ビットコード (0000 0XXX) によってのみ選ばれることができます。この場合、ブリッジは閉じたまま、転送は F/S-mode で実行されます。このようなシステムにおける通信速度の例を下表 (表 8) に示します。

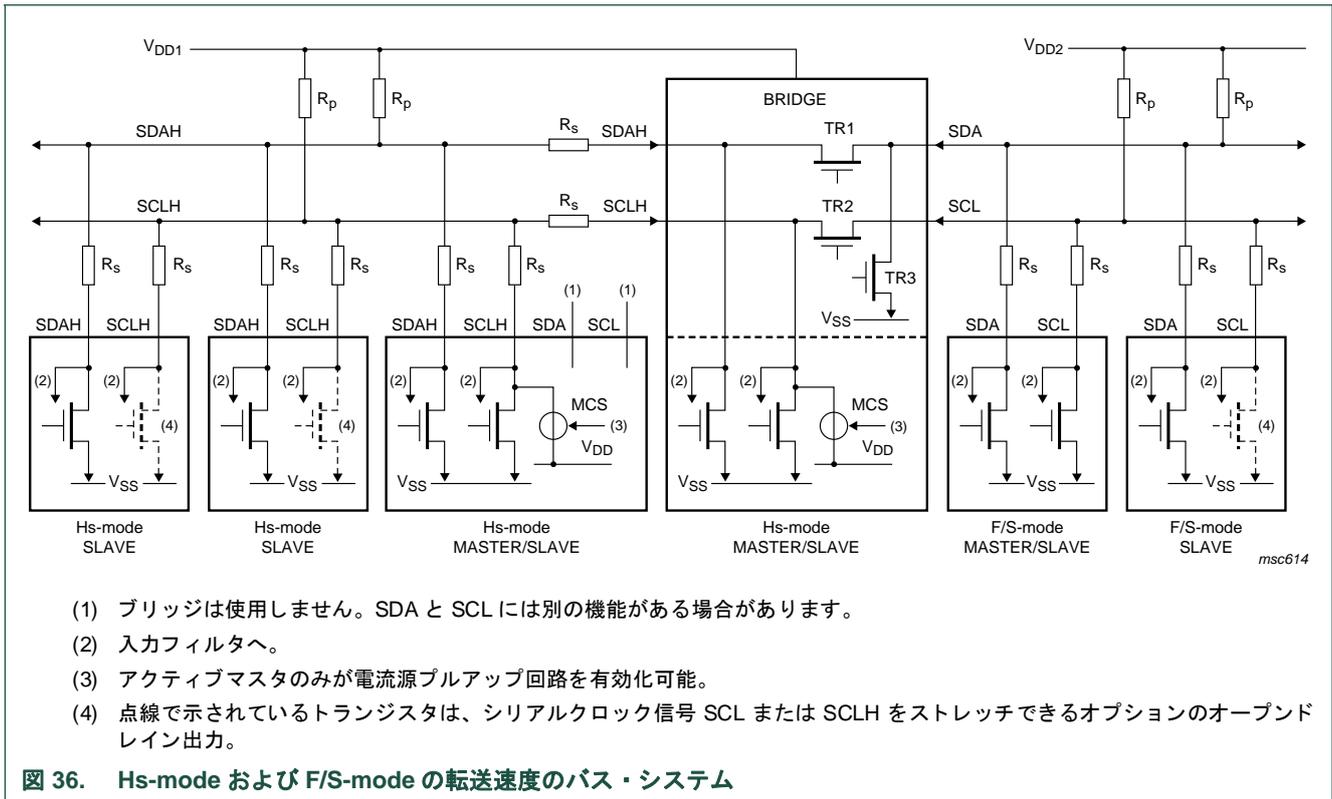


表 8. 速度混合型のバスシステムにおける通信ビットレート

伝送対象	シリアルバス・システム構成			
	Hs + Fast + Standard	Hs + Fast	Hs + Standard	Fast + Standard
Hs ↔ Hs	0 ~ 3.4 Mbit/s	0 ~ 3.4 Mbit/s	0 ~ 3.4 Mbit/s	-
Hs ↔ Fast	0 ~ 100 kbit/s	0 ~ 400 kbit/s	-	-
Hs ↔ Standard	0 ~ 100 kbit/s	-	0 ~ 100 kbit/s	-
Fast ↔ Standard	0 ~ 100 kbit/s	-	-	0 ~ 100 kbit/s
Fast ↔ Fast	0 ~ 100 kbit/s	0 ~ 400 kbit/s	-	0 ~ 100 kbit/s
Standard ↔ Standard	0 ~ 100 kbit/s	-	0 ~ 100 kbit/s	0 ~ 100 kbit/s

注意：表 8 では、3.4Mbit/s での動作時、Hs デバイスは Fm デバイスおよび Sm デバイスから分離されていることが前提となっています。バス速度は、バスに接続されているデバイスの中で最も遅いデバイスの最大通信レートが上限になります。

### 5.3.6 速度混合型バス・システムにおける Standard、Fast-mode、Fast-mode Plus での転送

上図 (図 36) のブリッジは対応するシリアルバスラインを相互接続し、1 つのシリアルバスシステムを形成しています。マスタコード (0000 1XXX) は転送されなければ、電流源プルアップ回路はオフのまま、すべての出カステージはオープンドレインとなります。Hs-mode デバイスを含め、各デバイス間の通信は F/S-mode I<sup>2</sup>C バス仕様のプロトコル、フォーマット、速度で実行されます。

### 5.3.7 速度混合型バスシステムにおける Hs-mode での転送

スタートコンディション、マスタコード、ノット・アクノリッジ  $\bar{A}$  (F/S-mode 速度) によって開始される Hs-mode 転送のタイミングを下図 (図 37) に示します。このタイミング図は 2 つに分けられていますが、全体として時間  $t_H$  でつながる 1 連のタイミングです。

マスタコードは、アクティブ・マスタまたは非アクティブ・マスタのブリッジによって認識されます (図 36)。ブリッジでは以下の処理が実行されます。

- $t_1$  と  $t_H$  の間で (図 37)、トランジスタ TR1 がオープンとなり SDAH ラインと SDA ラインを分離、その後トランジスタ TR3 が閉じて SDA ラインを  $V_{SS}$  にプルダウンします。
- SCLH と SCL の両方が HIGH になると (図 37 の  $t_H$ )、トランジスタ TR2 をオープン、SCLH ラインと SCL ラインを分離します。TR2 は、Sr の後 SCLH が LOW になる前にオープンにしなければなりません。

Hs-mode 転送は、 $t_H$  の後のリピータースタートコンディション (Sr) で開始します。Hs-mode 転送の間、SCL ラインは HIGH のままで、SDA ラインは LOW のレベルに置かれ、ストップコンディション (P) の準備状態となります。

各アクノリッジビット (A) またはノット・アクノリッジビット ( $\bar{A}$ ) の後、アクティブマスタは電流源プルアップ回路をオフにします。これにより、他のデバイスは SCLH 信号の LOW 期間のストレッチが可能になり、次のシリアル送信を遅らせることができます。アクティブマスタは、すべてのデバイスが SCLH 信号をリリースして HIGH レベルになると、立上り時間早くするための電流源プルアップ回路を再度有効化します。バスハングアップからの回復を行う場合に備えて、F/S-mode デバイスはいつでも SCL ラインを最低 1 $\mu$ s の間プルダウンすることによって、ブリッジを閉じることができます (TR1 と TR2 はクローズ、TR3 はオープン)。

Hs-mode はストップコンディション (P) で終了し、バスシステムは F/S-mode に戻ります。SDAH でストップコンディション (P) を検出すると、アクティブマスタは電流源 MCS をオフにします (図 37 の  $t_{FS}$ )。ブリッジもこのストップコンディションを認識し、以下の処理が実行されます。

1.  $t_{FS}$  の後トランジスタ TR2 を閉じ、SCLH を SCL に接続 (この時点でどちらも HIGH)。 $t_{FS}$  の後トランジスタ TR3 をオープンにして、SDA ラインをリリース、プルアップ抵抗  $R_p$  によって HIGH になります。これが F/S-mode デバイスのストップコンディションになります。TR3 は、ストップコンディションと次のスタートコンディションの間のバス・フリー時間が必ず Fast-mode に準拠するように、迅速にオープンしなければなりません (表 10 の  $t_{BUF}$  を参照)。
2. SDA が HIGH に達した後 (図 37 の  $t_2$ )、トランジスタ TR1 を閉じて SDAH と SDA を接続します (備考: バスラインのスパイクを防止するため、すべてのラインが HIGH になってから接続されます)。TR1 と TR2 は、Fast-mode 仕様に準拠するようバス・フリー時間内に閉じなければなりません (表 10 の  $t_{BUF}$  を参照)。

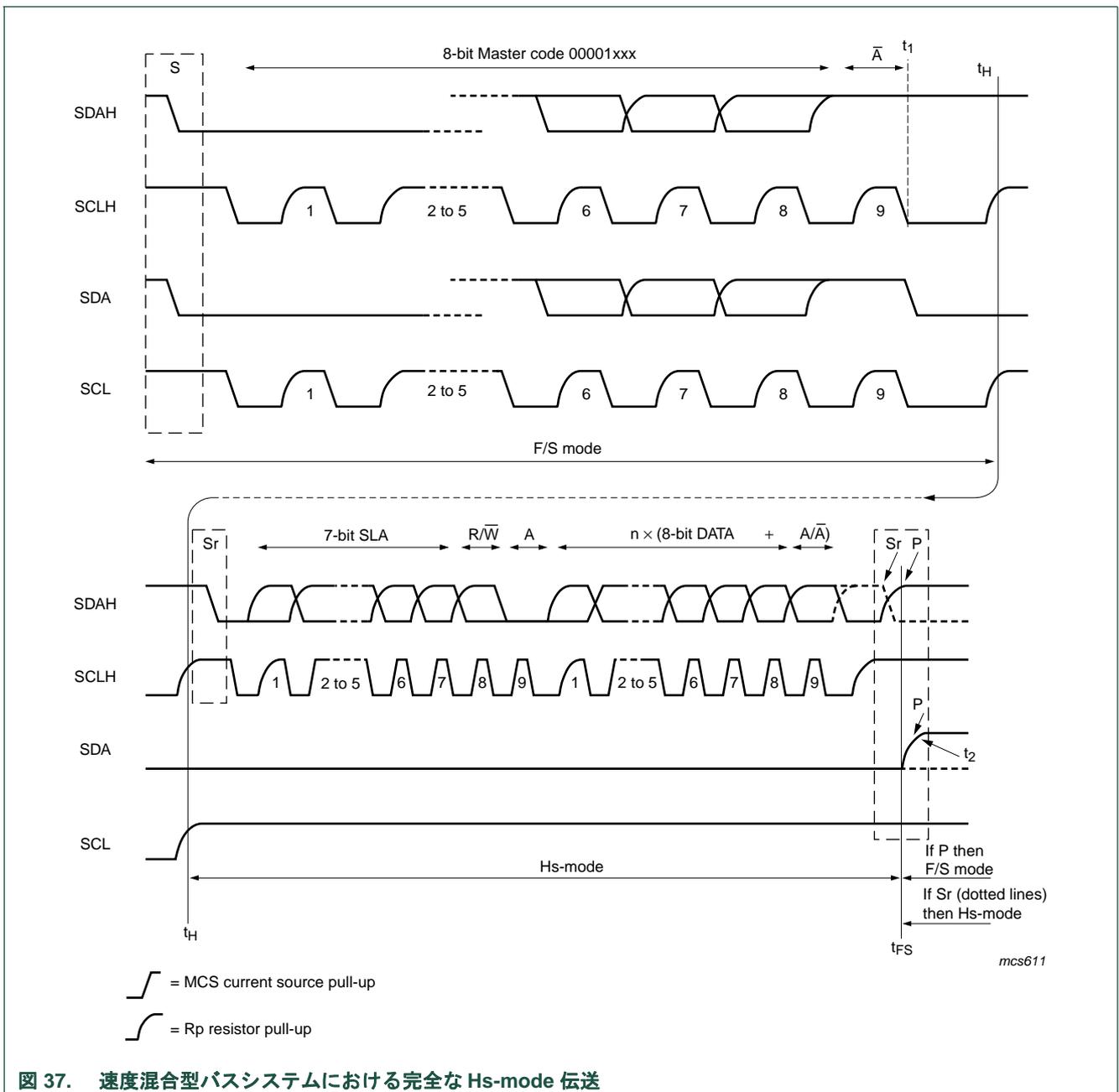


図 37. 速度混合型バスシステムにおける完全な Hs-mode 伝送

### 5.3.8 速度混合型バスシステムのブリッジのタイミング要件

上図 (図 37) のように  $t_1$ 、 $t_H$ 、 $t_{FS}$  におけるブリッジの動作は、SDAH ラインと SCLH ラインに影響しないように実行されなければなりません。また、ブリッジは SDA ラインと SCL ラインについて、Fast-mode 仕様のタイミングに準拠しなければなりません。

## 5.4 Ultra Fast-mode

Ultra Fast-mode (UFm) デバイスは、高速な I<sup>2</sup>C バス転送を実現します。UFm デバイスのビットレートは最大 5Mbit/s です。UFm デバイスはプッシュプルドライバを装備し、プルアップ抵抗をなくすことによって高い転送速度を実現しています。シリアルバスプロトコルとデータフォーマットは、Sm、Fm、Fm+ システムと同じものが使われます。UFm バスデバイスは、双方向 I<sup>2</sup>C バスデバイスと非互換です。

## 6. I/O ステージとバスラインの電気特性とタイミング

### 6.1 Standard、Fast、Fast-mode Plus デバイス

I/O レベル、I/O 電流、スパイク抑制、出力スロープ制御、ピン静電容量を [表 9](#) に、また I<sup>2</sup>C バスのタイミング特性、バスライン静電容量、ノイズマージンを [表 10](#) に示します。I<sup>2</sup>C バスのタイミング規定は [図 38](#) を参照してください。

[表 10](#) に規定されている SCL クロックの HIGH と LOW の最小期間によって、Standard-mode デバイスは 100kbit/s、Fast-mode デバイスは 400kbit/s、Fast-mode Plus デバイスは 1000kbit/s の最大ビット転送レートとなります。デバイスはそれぞれの最大ビットレートでデータを送信または受信に対応、あるいは、クロック同期の処理 ([3.1.7 章](#) 参照) を利用した SCL 信号の LOW 期間のストレッチによりマスタを強制的に待機状態にしながら転送する方法に対応できなければなりません。後者の場合、転送レートは低くなります。

表 9. SDA および SCL I/O ステージの特性  
n/a = 該当せず

シンボル	パラメータ	条件	Standard-mode		Fast-mode		Fast-mode Plus		単位
			最小	最大	最小	最大	最小	最大	
V <sub>IL</sub>	LOW レベル入力電圧 [1]		-0.5	0.3V <sub>DD</sub>	-0.5	0.3V <sub>DD</sub>	-0.5	0.3V <sub>DD</sub>	V
V <sub>IH</sub>	HIGH レベル入力電圧 [1]		0.7V <sub>DD</sub> [2]		0.7V <sub>DD</sub> [2]		0.7V <sub>DD</sub> [1]	[2]	V
V <sub>hys</sub>	シュミットトリガ入力のヒステリシス		-	-	0.05V <sub>DD</sub>	-	0.05V <sub>DD</sub>	-	V
V <sub>OL1</sub>	LOW レベル出力電圧 1	(オープンドレインまたはオープンコレクタ) シンク電流 3 mA、V <sub>DD</sub> > 2 V	0	0.4	0	0.4	0	0.4	V
V <sub>OL2</sub>	LOW レベル出力電圧 2	(オープンドレインまたはオープンコレクタ) シンク電流 2 mA [3]、V <sub>DD</sub> ≤ 2 V	-	-	0	0.2V <sub>DD</sub>	0	0.2V <sub>DD</sub>	V
I <sub>OL</sub>	LOW レベル出力電流	V <sub>OL</sub> = 0.4 V V <sub>OL</sub> = 0.6 V [4]	3	-	3	-	20	-	mA
t <sub>of</sub>	V <sub>IHmin</sub> から V <sub>IHmax</sub> への出力立下り時間		-	250 [5]	20 × (V <sub>DD</sub> / 5.5 V) [6]	250 [5]	20 × (V <sub>DD</sub> / 5.5 V) [6]	120 [7]	ns
t <sub>SP</sub>	入力フィルタで抑制する必要があるスパイクのパルス幅		-	-	0	50 [8]	0	50 [8]	ns
I <sub>I</sub>	入力電流各 I/O ピン	0.1V <sub>DD</sub> < V <sub>I</sub> < 0.9V <sub>DDmax</sub>	-10	+10	-10 [9]	+10 [9]	-10 [9]	+10 [9]	μA
C <sub>i</sub>	各 I/O ピンの静電容量 [10]		-	10	-	10	-	10	pF

[1] 一部の古い Standard-mode デバイスでは、入力レベルが V<sub>IL</sub> = 1.5 V および V<sub>IH</sub> = 3.0 V に固定されています。詳細は各デバイスのデータシートを参照してください。

[2] 最大 V<sub>IH</sub> = V<sub>DD(max)</sub> + 0.5 V または 5.5 V のいずれか低い方。詳細は各デバイスのデータシートを参照してください。

[3] V<sub>DD</sub> < 2 V の、より小さな電流の場合も V<sub>DD</sub> 3.0 V 時 3mA をドライブする抵抗で同じ RC 時定数となります。

[4] 400 kHz で最大バス負荷をドライブするためには、0.6V V<sub>OL</sub> で 6mA I<sub>OL</sub> が必要。この仕様を満たしていないデバイスを用いても、400kHz/400pF ではありませんが機能がはします。  
[5] 表 10 に記載されている SDA/SCL バスラインの最大 t<sub>r</sub> (300 ns) は、出力ステージに規定されている最大 t<sub>of</sub> (250 ns) より大きくなっています。これは、図 45 のように直列保護抵抗 (R<sub>S</sub>) を SDA/SCL の各ピンとバスラインの間に接続しても、最大 t<sub>r</sub> を超えないようにするためのものです。

[6] Fast-mode との低位互換性が必要。

[7] Fast-mode Plus では、出力段とバスタイミングの立下り時間は同じになっています。直列抵抗使用の可否は、設計担当者の判断に委ねられます。

[8] SDA および SCL 入力の入カフィルタは、50ns 未満のノイズスパイクを抑制。

[9] V<sub>DD</sub> がオフの場合、Fast-mode デバイスと Fast-mode Plus デバイスの I/O ピンは SDA/SCL ラインに影響しないようにしなければなりません。

[10] マルチプレクサやスイッチなど特別な目的を有するデバイスの場合、複数の信号線を接続するためこの静電容量を超える場合があります。

表 10. SDA および SCL バスラインの特性 — Standard、Fast、Fast-Fast-mode Plus I<sup>2</sup>C バスデバイス [1]

シンボル	パラメータ	条件	Standard-mode		Fast-mode		Fast-mode Plus		単位
			最小	最大	最小	最大	最小	最大	
f <sub>SCL</sub>	SCL クロック周波数		0	100	0	400	0	1000	kHz
t <sub>HD,STA</sub>	ホールド時間 (リポート) スタートコンディション パルスを生成	この期間後、最初のクロック パルスを生成	4.0	-	0.6	-	0.26	-	μs
t <sub>LOW</sub>	SCL クロックの LOW 期間		4.7	-	1.3	-	0.5	-	μs
t <sub>HIGH</sub>	SCL クロックの HIGH 期間		4.0	-	0.6	-	0.26	-	μs
t <sub>SU,STA</sub>	リポートスタートコンディションの セットアップ時間		4.7	-	0.6	-	0.26	-	μs
t <sub>HD,DAT</sub>	データホールド時間 [2]	CBUS 対応マスタ (4.1 章の 「注意」を参照)	5.0	-	-	-	-	-	μs
t <sub>SU,DAT</sub>	データセットアップ時間	I <sup>2</sup> C バスデバイス	0 [3]	- [4]	0 [3]	- [4]	0	-	μs
t <sub>r</sub>	SDA 信号と SCL 信号の立上り時間		250	-	100 [5]	-	50	-	ns
t <sub>f</sub>	SDA 信号と SCL 信号の立下り時間 [3] [6] [7] [8]		-	1000	20	300	-	120	ns
t <sub>SU,STO</sub>	ストップコンディションのセット アップ時間		4.0	-	0.6	-	0.26	-	μs
t <sub>BUF</sub>	ストップおよびスタートコンディ ション間のバスのフリー時間		4.7	-	1.3	-	0.5	-	μs
C <sub>b</sub>	各バスラインの容量性負荷 [10]		-	400	-	400	-	550	pF
t <sub>VD,DAT</sub>	データ有効時間 [11]		-	3.45 [4]	-	0.9 [4]	-	0.45 [4]	μs
t <sub>VD,ACK</sub>	データ有効アクノリッジ時間 [12]		-	3.45 [4]	-	0.9 [4]	-	0.45 [4]	μs
V <sub>IL</sub>	LOW レベルのノイズマージン	接続されている各デバイス (ヒステリシスを含む)	0.1V <sub>DD</sub>	-	0.1V <sub>DD</sub>	-	0.1V <sub>DD</sub>	-	V
V <sub>NH</sub>	HIGH レベルのノイズマージン	接続されている各デバイス (ヒステリシスを含む)	0.2V <sub>DD</sub>	-	0.2V <sub>DD</sub>	-	0.2V <sub>DD</sub>	-	V

[1] すべての値は V<sub>IH(min)</sub> (0.3V<sub>DD</sub>) および V<sub>IL(max)</sub> (0.7V<sub>DD</sub>) レベルが前提 (表 9 参照)。

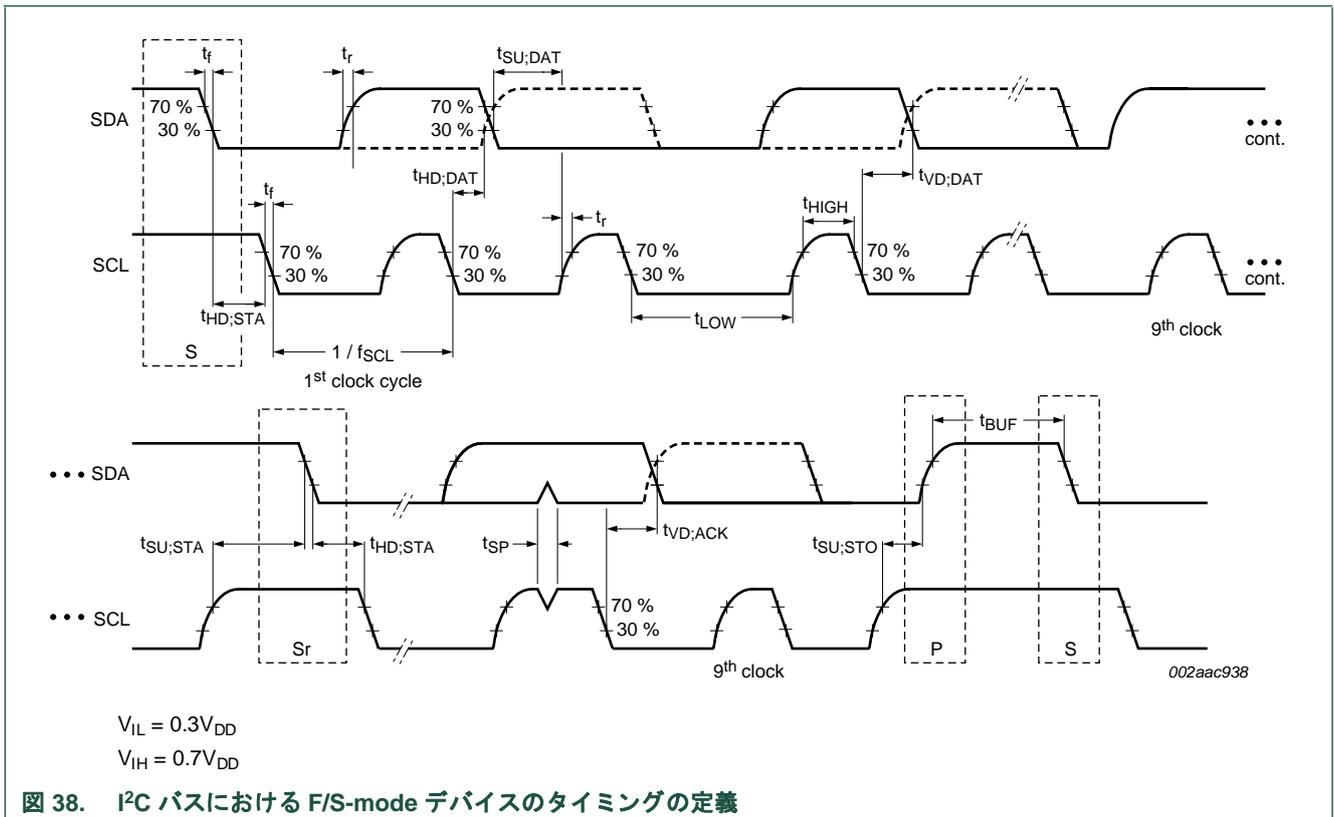
[2] t<sub>HD,DAT</sub> は SCL の立下りエッジから計測されたデータホールド時間で、転送中のデータとアクノリッジに適用。

[3] デバイスは、SCL 立下りエッジが未定義となる領域 (SCL 信号が V<sub>IH(min)</sub> とするまで) の時間を扱うために、SDA シグナルに最低 300ns のホールド時間を用意しなくてはなりません。

[4] Standard-mode および Fast-mode の最大 t<sub>HD,DAT</sub> は、それぞれ 3.45μs、0.9μs とすることが可能ですが、最大 t<sub>VD,DAT</sub> または t<sub>VD,ACK</sub> より短くなければなりません。この最大時間は、デバイスが SCL 信号の LOW 期間 (t<sub>LOW</sub>) をストレッチしない場合に適用。SCL をストレッチした場合、データはクロックのリリース前、セットアップ時間まで有効でなければなりません。

[5] Fast-mode I<sup>2</sup>C バスデバイスを Standard-mode I<sup>2</sup>C バスで使用することは可能ですが、t<sub>SU,DAT</sub> 250 ns の要件を満たしていることが必要です。デバイスが SCL 信号の LOW 期間をストレッチしない場合、これは自動的に適用されます。デバイスが SCL 信号の LOW 期間をストレッチした場合は、データビットを SDA ラインへ、SCL ラインがリリース前 t<sub>r(max)</sub> + t<sub>SU,DAT</sub> = 1000 + 250 = 1250 ns (Standard-mode I<sup>2</sup>C バス仕様) に出力しなければなりません。アクノリッジのタイミングもこのセットアップ時間に準拠する必要があります。

- [6] Hs-mode デバイスが混在する場合、[表 10](#) に基づく早い立下り時間も可能。
- [7] SDA および SCL バスラインの最大  $t_r$  は 300 ns に規定。SDA 出力ステージの最大立下り時間 ( $t_f$ ) は 250 ns に規定。これによって、指定されている最大  $t_r$  を超えることなく直列保護抵抗を SDA/SCL のピンとバスラインの間に接続できます。
- [8] Fast-mode Plus では、出力ステージとバスタイミングの立下り時間は同じになっています。直列抵抗使用の可否は、設計担当者の判断に委ねられます。
- [9] Fast-mode との下位互換性が必要。
- [10] 許容可能なバスの最大静電容量は、アプリケーションの実際の動作電圧および周波数によってこの値とは異なる場合があります。バス静電容量が高い環境でのテクニックについては [7.2 章](#) を参照してください。
- [11]  $t_{VD, DAT} = \text{SCL LOW}$  から SDA 出力へのデータ信号の時間 (HIGH または LOW、いずれか悪い方)。
- [12]  $t_{VD, ACK} = \text{SCL LOW}$  から SDA 出力へのアクノリッジ信号の時間 (HIGH または LOW、いずれか悪い方)。



## 6.2 Hs-mode デバイス

Hs-mode I<sup>2</sup>C バスデバイスの I/O レベル、I/O 電流、スパイク抑制、出力スロープ制御、ピン静電容量を下表 (表 11) に示します。バスラインの HIGH/LOW レベルのノイズマージンは、F/S-mode I<sup>2</sup>C バスデバイスの仕様と同じです。

図 39 は、Hs-mode タイミングのすべてのタイミングパラメータです。Hs-mode には、「通常」のスタートコンディション「S」はありません。アドレスビット、R/W ビット、アクノリッジビット、データビットのタイミング・パラメータはすべて同じです。アクノリッジビットの後の最初の SCLH クロック信号の立上りエッジは、内部電流源の支援なしに外部  $R_p$  単独で SCLH をプルアップしなければならないため、値が大きくなります。

バスラインの Hs-mode タイミングパラメータを下表 (表 12) に示します。HIGH および LOW の最小期間と SCLH クロック信号の最大立上り / 立下り時間によって、最大ビットレートが決まります。

Hs-mode マスタ内部で LOW レベル期間が 200 ns、HIGH レベル期間が 100ns で生成した SCLH 信号は、最大ビットレート 3.4Mbit/s の外部クロックパルスのタイミング要件 (立上り / 立下り時間を含む) を満たすことができます。このため、Hs-mode マスタは基本周波数 10MHz またはその倍数にあるクロックを使用して SCLH 信号を生成できます。SCLH クロックの最大 HIGH 期間と LOW 期間に制限はなく、また最小ビットレートにも制限はありません。タイミングパラメータは、各バスライン最大 100 pF の容量性負荷までは変化しないので、最大 3.4 Mbit/s のビットレートが実現可能です。バスラインの容量性負荷が大きい場合、ビットレートは徐々に下がります。バスの容量性負荷が 400 pF の場合のタイミングパラメータは表 12 の通りで、最大ビットレートは 1.7Mbit/s となります。容量性負荷が 100pF から 400pF の間の値となる場合、タイミングパラメータは直線補完した値が適用されます。オープンエンドの反射を防止するため、立上り時間と立下り時間は、SDAH と SCLH の転送ラインの最大伝搬時間に従います。

表 11. SDAH、SCLH、SDA、SCL I/O 段特性 – Hs-mode I<sup>2</sup>C バス・デバイス

シンボル	パラメータ	条件	Hs-mode		単位
			最小	最大	
V <sub>IL</sub>	LOW レベル入力電圧		-0.5	0.3V <sub>DD</sub> <sup>[1]</sup>	V
V <sub>IH</sub>	HIGH レベル入力電圧		0.7V <sub>DD</sub> <sup>[1]</sup>	V <sub>DD</sub> + 0.5 <sup>[2]</sup>	V
V <sub>hys</sub>	シュミットトリガ入力のヒステリシス		0.1V <sub>DD</sub> <sup>[1]</sup>	-	V
V <sub>OL</sub>	LOW レベル出力電圧	(オープンドレイン) シンク電流 3 mA – SDAH、SDA、SCLH			
		V <sub>DD</sub> > 2 V	0	0.4	V
		V <sub>DD</sub> ≤ 2 V	0	0.2V <sub>DD</sub>	V
R <sub>onL</sub>	SDA と SDAH の間、または SCL と SCLH 間の電流の抵抗の転送ゲート	V <sub>OL</sub> レベル; I <sub>OL</sub> = 3 mA	-	50	Ω
R <sub>onH</sub> <sup>[2]</sup>	SDA と SDAH の間、または SCL と SCLH 間の抵抗の転送ゲート	どちらの信号 (SDA と SDAH、SCL と SCLH) も V <sub>DD</sub> レベル	50	-	kΩ
I <sub>CS</sub>	SCLH 電流源のプルアップ電流	0.3V <sub>DD</sub> ~ 0.7V <sub>DD</sub> 間の SCLH 出力レベル	3	12	mA
t <sub>rCL</sub>	SCLH 信号の立上り時間	出力立上り時間 (電流源オン)、外部プルアップ電流源 3 mA			
		容量性負荷 10 pF ~ 100 pF	10	40	ns
		容量性負荷 400 pF <sup>[3]</sup>	20	80	ns
t <sub>rCL</sub>	SCLH 信号の立下り時間	出力立下り時間 (電流源オン)、外部プルアップ電流源 3 mA			
		容量性負荷 10 pF ~ 100 pF	10	40	ns
		容量性負荷 400 pF <sup>[3]</sup>	20	80	ns
t <sub>rDA</sub>	SDAH 信号の立下り時間	容量性負荷 10 pF ~ 100 pF	10	80	ns
		容量性負荷 400 pF <sup>[3]</sup>	20	160	ns
t <sub>SP</sub>	入力フィルタで抑制する必要があるスパイクのパルス幅	SDAH および SCLH	0	10	ns
I <sub>i</sub> <sup>[4]</sup>	入力電流各 I/O ピン	0.1V <sub>DD</sub> ~ 0.9V <sub>DD</sub> 間の入力電圧	-	10	μA
C <sub>i</sub>	各 I/O ピンの静電容量 <sup>[5]</sup>		-	10	pF

[1] 規定の I<sup>2</sup>C バスシステムレベルに準拠していない非標準の供給電圧を使用するデバイスは、プルアップ抵抗 R<sub>p</sub> が接続されている V<sub>DD</sub> 電圧に入力レベルを合わせなければなりません。

[2] レベルシフト機能を実装しているデバイスは、SDA と SCL で最大入力電圧 5.5 V をサポートすることが必要。

[3] 容量性負荷が 100 pF ~ 400 pF の場合、立上り / 立下り時間にはこの間を直線補完された値が適用されます。

[4] 供給電圧がオフになった場合、スレーブデバイスの SDAH および SCLH の I/O ステージ出力にはフロートになる必要があります。通常、電流源出力回路には V<sub>DD</sub> へのクリッピングダイオードが実装されているため、この要件は Hs-mode マスタデバイスの SCLH および SDAH I/O ステージでは必須ではありません。これは、Hs-mode マスタデバイスの供給電圧をオフにすると、SDAH/SCLH ラインに影響することを意味します。

[5] マルチプレクサやスイッチなど特別な目的を有するデバイスの場合、複数のバスに接続するためこの静電容量を超える場合があります。

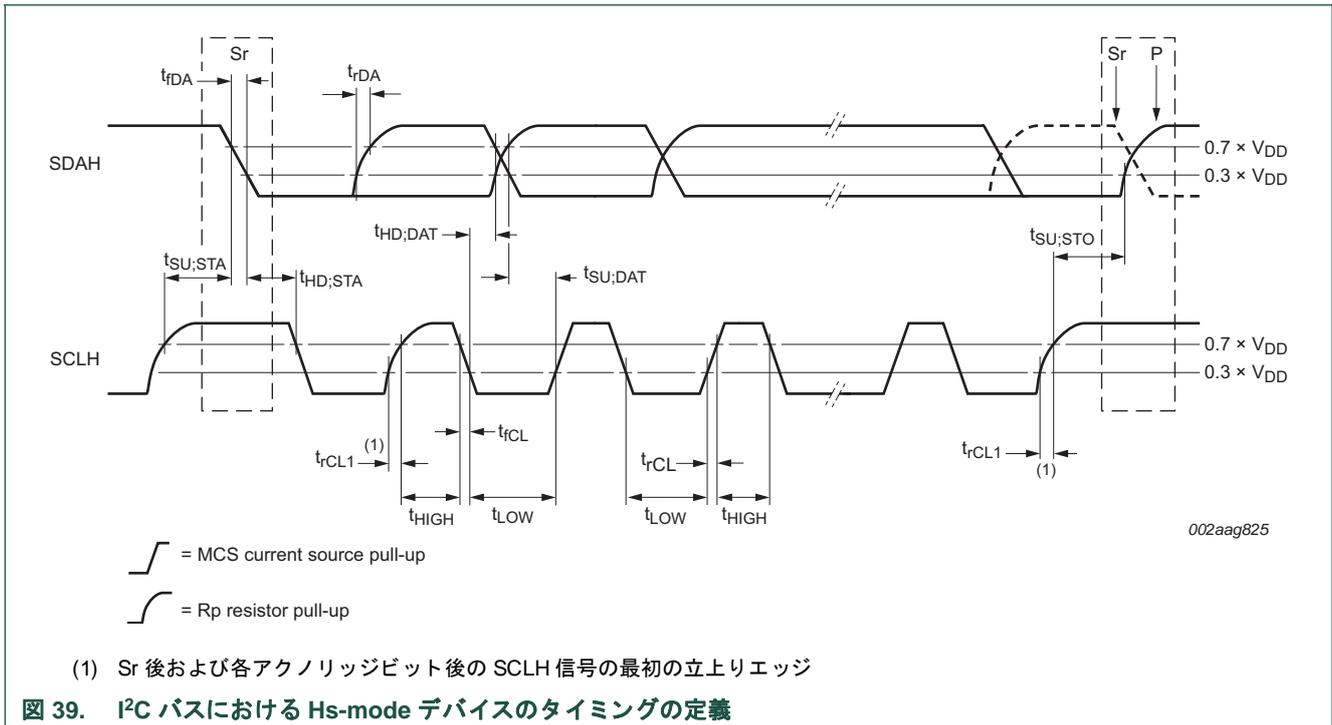
表 12. SDAH、SCLH、SDA、SCL バスラインの特性 – Hs-mode I<sup>2</sup>C バスデバイス [1]

シンボル	パラメータ	条件	C <sub>b</sub> = 400 pF (最大)		C <sub>b</sub> = 400 pF [2]		単位
			最小	最大	最小	最大	
f <sub>SCLH</sub>	SCLH クロック周波数		0	3.4	0	1.7	MHz
t <sub>SU;STA</sub>	リポートスタートコンディションのセットアップ時間		160	-	160	-	ns
t <sub>HD;STA</sub>	ホールド時間 (リポート) スタートコンディション		160	-	160	-	ns
t <sub>LOW</sub>	SCL クロックの LOW 期間		160	-	320	-	ns
t <sub>HIGH</sub>	SCL クロックの HIGH 期間		60	-	120	-	ns
t <sub>SU;DAT</sub>	データセットアップ時間		10	-	10	-	ns
t <sub>HD;DAT</sub>	データホールド時間		0 [3]	70	0 [3]	150	ns
t <sub>rCL</sub>	SCLH 信号の立上り時間		10	40	20	80	ns
t <sub>rCL1</sub>	リポートスタートコンディション後およびアクノリッジビット後の SCLH 信号の立上り時間		10	80	20	160	ns
t <sub>rCL</sub>	SCLH 信号の立下り時間		10	40	20	80	ns
t <sub>rDA</sub>	SDAH 信号の立上り時間		10	80	20	160	ns
t <sub>rDA</sub>	SDAH 信号の立下り時間		10	80	20	160	ns
t <sub>SU;STO</sub>	ストップコンディションのセットアップ時間		160	-	160	-	ns
C <sub>b</sub> [2]	各バスラインの容量性負荷	SDAH および SCLH ライン	-	100	-	400	pF
		SDAH + SDA ラインと SCLH + SCL ライン	-	400	-	400	pF
V <sub>nL</sub>	LOW レベルのノイズマージン	接続されている各デバイス (ヒステリシスを含む)	0.1V <sub>DD</sub>	-	0.1V <sub>DD</sub>	-	V
V <sub>nH</sub>	HIGH レベルのノイズマージン	接続されている各デバイス (ヒステリシスを含む)	0.2V <sub>DD</sub>	-	0.2V <sub>DD</sub>	-	V

[1] すべての値は V<sub>IH(min)</sub> および V<sub>IL(max)</sub> レベルが前提 (表 11 参照)。

[2] バスライン負荷が 100 pF ~ 400 pF の場合、タイミングパラメータにはこの間を直線補完した値が適用されます。

[3] デバイスは、SCL 立下りエッジが未定義となる領域の時間を扱うために、内部的にのホールド時間を用意してはなりません。SCLH 信号の立下りエッジ入力を入力する回路のしきい値が低いほど、このホールド時間を小さくできます。



### 6.3 Ultra Fast-mode デバイス

UFm デバイスの I/O レベル、I/O 電流、スパイク抑制、出力スロープ制御、ピン静電容量を下表 (表 13) に示します。また、表 14 に UFm I<sup>2</sup>C バスのタイミング特性を示します。タイミング規定は図 40 を参照してください。表 14 に規定されている SCL クロックの HIGH および LOW の最小期間によって、Ultra Fast-mode の最大ビット転送レートは 5000kbit/s となります。デバイスは、それぞれの最大ビットレートでのデータ転送の送信または受信ができなければなりません。

表 13. USDA、USCL I/O 段特性

n/a = 該当せず

シンボル	パラメータ	条件	Ultra Fast-mode		単位
			最小	最大	
V <sub>IL</sub>	LOW レベル入力電圧 [1]		-0.5	+0.3V <sub>DD</sub>	V
V <sub>IH</sub>	HIGH レベル入力電圧 [1]		0.7V <sub>DD</sub> [1]	- [2]	V
V <sub>hys</sub>	シュミットトリガ入力のヒステリシス		0.05V <sub>DD</sub>	-	V
V <sub>OL</sub>	LOW レベル出力電圧	シンク電流 4 mA、V <sub>DD</sub> > 2 V	0	0.4	V
V <sub>OH</sub>	HIGH レベル出力電圧	ソース電流 4 mA、V <sub>DD</sub> > 2 V	V <sub>DD</sub> - 0.4	-	V
I <sub>L</sub>	リーク電流	V <sub>DD</sub> = 3.6 V	-1	+1	μA
		V <sub>DD</sub> = 5.5 V	-10	+10	μA
C <sub>i</sub>	入力容量 [3]		-	10	pF
t <sub>SP</sub>	入力フィルタで抑制する必要があるスパイクのパルス幅 [4]		-	10	ns

- [1] 実際のスイッチポイントは各デバイスのデータシートを参照してください。
- [2] 最大 V<sub>IH</sub> = V<sub>DD(max)</sub> + 0.5 V または 5.5 V のいずれか低い方。詳細は各デバイスのデータシートを参照してください。
- [3] マルチプレクサやスイッチなど特別な目的を有するデバイスの場合、複数のバスに接続するためこの静電容量を超える場合があります。
- [4] USDA および USCL 入力の入力フィルタは、10ns 未満のノイズスパイクを抑制。

表 14. U<sup>F</sup>m I<sup>2</sup>C バス周波数およびタイミング仕様

シンボル	パラメータ	条件	Ultra Fast-mode		単位
			最小	最大	
$f_{USCL}$	USCL クロック周波数		0	5000	kHz
$t_{BUF}$	ストップおよびスタートコンディション間のバスのフリー時間		80	-	ns
$t_{HD;STA}$	ホールド時間 (リピート) スタートコンディション		50	-	ns
$t_{SU;STA}$	リピートスタートコンディションのセットアップ時間		50	-	ns
$t_{SU;STO}$	ストップコンディションのセットアップ時間		50	-	ns
$t_{HD;DAT}$	データホールド時間		10	-	ns
$t_{VD;DAT}$	データ有効時間 [1]		10	-	ns
$t_{SU;DAT}$	データセットアップ時間		30	-	ns
$t_{LOW}$	USCL クロックの LOW 期間		50	-	ns
$t_{HIGH}$	USCL クロックの HIGH 期間		50	-	ns
$t_f$	USDA シグナルと USCL シグナルの立下り時間		-[2]	50	ns
$t_r$	USDA シグナルと USCL シグナルの立上り時間		-[2]	50	ns

[1]  $t_{VD;DAT}$  = USCL LOW に続いて USDA データが有効である最低時間。

[2] U<sup>F</sup>m 信号の一般的な立上り (または立下り) 時間は、25 ns (立上り時間は 30% レベルから 70% レベル、立下り時間は 70% レベルから 30% レベルで計測)。

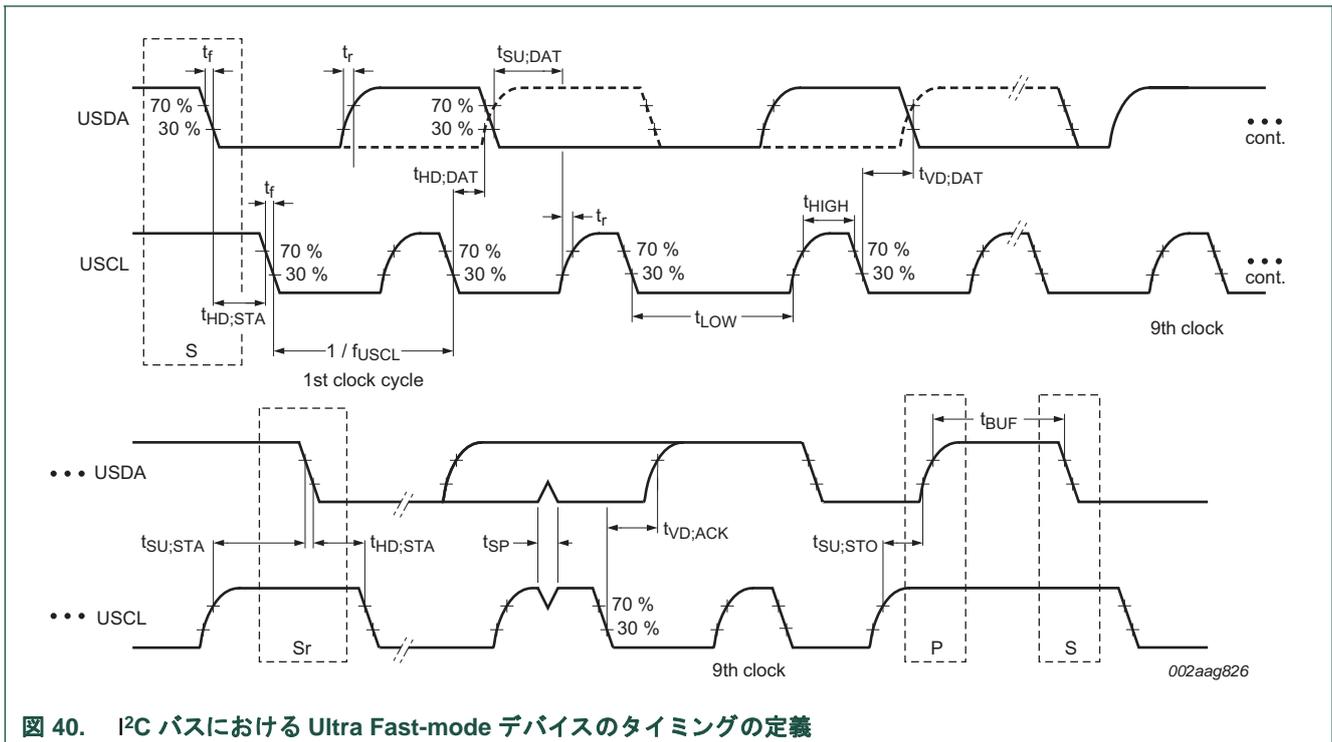


図 40. I<sup>2</sup>C バスにおける Ultra Fast-mode デバイスのタイミングの定義

## 7. I<sup>2</sup>C バスデバイスからバスラインへの電気接続

### 7.1 プルアップ抵抗のサイジング

バス容量はワイヤ、接続部およびピンの静電容量の総和です。このバス容量と信号の立ち上がり時間の規定によってプルアップ抵抗  $R_p$  の最大値が決まります。バス容量と  $R_{p(max)}$  の関係を下図 (図 41) に示します。

$V_{DD}$  に対する入力しきい値を  $V_{IH} = 0.7V_{DD}$  および  $V_{IL} = 0.3V_{DD}$  とした、RC 時定数を計算します。 $V(t) = V_{DD} (1 - e^{-t/RC})$  で求めることができ、 $t$  はチャージ開始からの時間、RC は時定数です。

$$V(t_1) = 0.3 \times V_{DD} = V_{DD} (1 - e^{-t_1/RC}); \text{よって } t_1 = 0.3566749 \times RC$$

$$V(t_2) = 0.7 \times V_{DD} = V_{DD} (1 - e^{-t_2/RC}); \text{よって } t_2 = 1.2039729 \times RC$$

$$T = t_2 - t_1 = 0.8473 \times RC$$

図 41 および式 1 は、Standard、Fast、Fast-mode Plus の各モードにおけるバス静電容量に対する最大  $R_p$  を示しています。各モードにおける  $R_{p(max)}$  は表 10 の最大立ち上がり時間 ( $t_r$ ) とバス容量 ( $C_b$ ) の関数として規定されます。

$$R_{p(max)} = \frac{t_r}{0.8473 \times C_b} \tag{1}$$

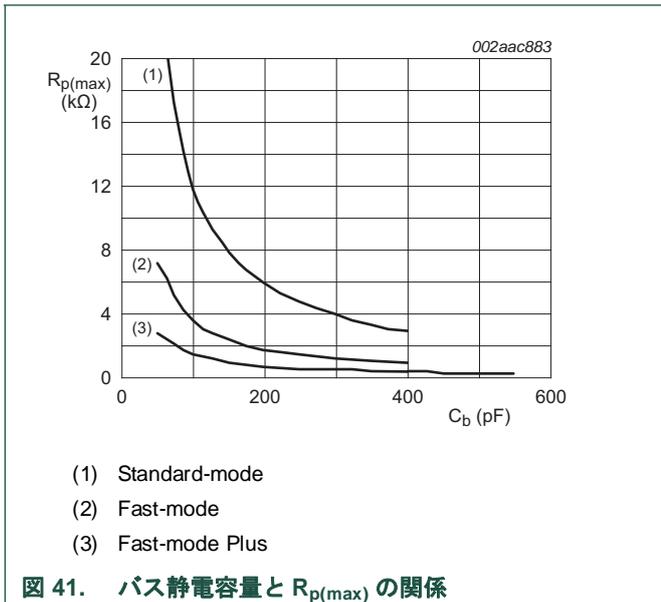


図 41. バス静電容量と  $R_{p(max)}$  の関係

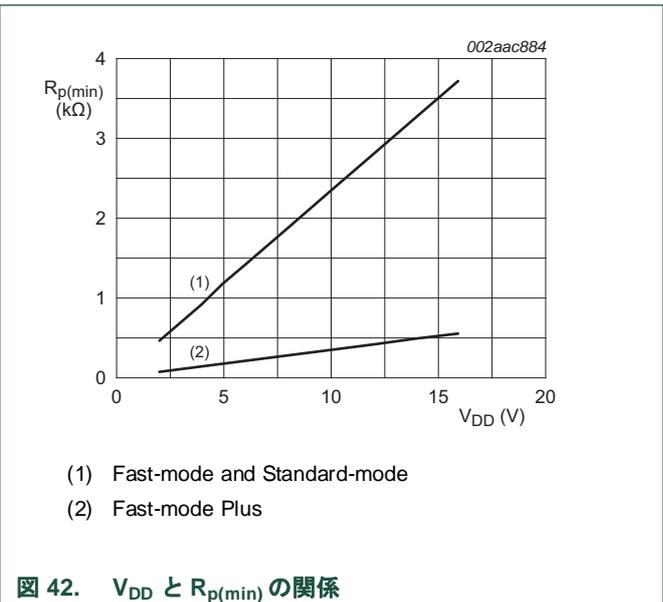


図 42.  $V_{DD}$  と  $R_{p(min)}$  の関係

Standard-mode および Fast-mode では規定の最小シンク電流が 3 mA、Fast-mode Plus の最小シンク電流は 20 mA により、供給電圧によって抵抗  $R_p$  の最小値が制限されます。 $R_{p(min)}$  は  $V_{DD}$  の関数です。図 42 に式 2 の関係を示します。

$$R_{p(min)} = \frac{V_{DD} - V_{OL(max)}}{I_{OL}} \tag{2}$$

タイミング仕様の準拠に必要な  $R_p$  の最小値と最大値を明確になりました。消費電流を節約したい携帯機器の設計には、大きい方の値を使って  $I_{DD}$  を制限すると良いでしょう。

## 7.2 バス容量の最大許容値を超える動作

バス静電容量の制限は、立上り時間を制限と、定格周波数での動作を可能とするために規定されています。ほとんどの設計ではこの容量を範囲内とすることが可能ですが、アプリケーションによっては制限を超えることも考えられます。バス容量が制限を超える場合、いくつかの方法を検討できます。

- $f_{SCL}$  の周波数の低下 (7.2.1 章) : 低い速度でバスが動作します (低  $f_{SCL}$ )。
- 高いドライブ出力 (7.2.2 章) : Fast-mode Plus のようにドライブ電流が高いデバイスを使用 (PCA96xx)。
- バスバッファ (7.2.3 章) : バスを複数のセグメントに分割し、各セグメントの静電容量を許容限度以下に抑えます。バスバッファとして様々なデバイスを用意されています (PCA9517 バスバッファや PCA9546A スイッチなど)。
- スイッチトプルアップ回路 (7.2.4 章) : スイッチトプルアップ回路を使用して、必要に応じて低い値のプルアップを切り替えて使うことで、立上りエッジを急峻にできます。

### 7.2.1 $f_{SCL}$ 周波数の低下

バスが動作する周波数を確認するには、まず最も制限要因となるデバイスの  $t_{LOW}$  と  $t_{HIGH}$  を求めます。これらの値は各デバイスのデータシートを参照してください。実際の立上り時間 ( $t_r$ ) は、RC 時定数によって変化します。立下り時間 ( $t_f$ ) は駆動能力の一番小さいデバイスが最も大きい制限要因となります。各デバイスにはできるだけ小さい  $t_r$ 、 $t_f$  のものを使います。動作する周波数  $f_{max}$  は式 3 のようになります。

$$f_{max} = \frac{1}{t_{LOW(min)} + t_{HIGH(min)} + t_{r(actual)} + t_{f(actual)}} \quad (3)$$

**注意 :** 非常に距離の長いバスの場合、信号の伝達時間も考慮しなければなりません。

現実のデバイスでは、 $t_{LOW}$  と  $t_{HIGH}$  をそれぞれちょうど 30% と 70% で制御できないため、実際の速度は遅くなります。

### 7.2.2 高いドライブ出力

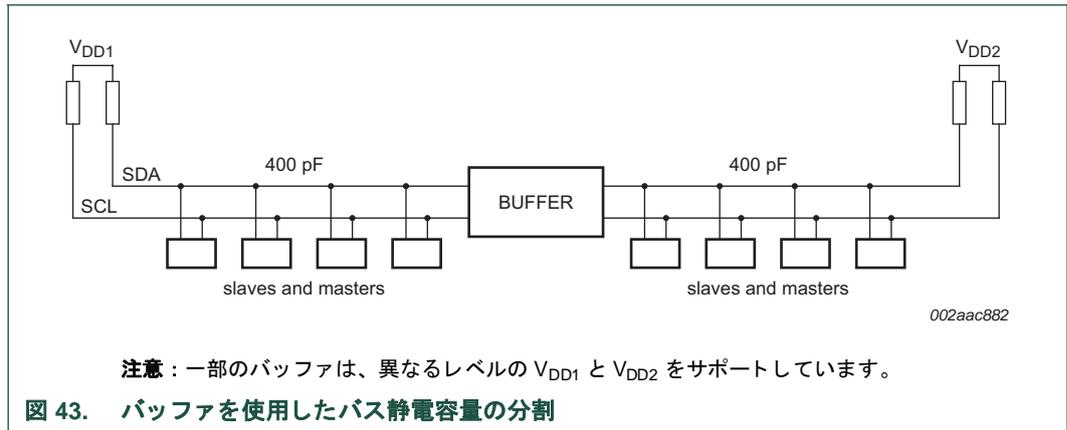
PCA96xx Fast-mode Plus や P82B バスバッファなど、駆動能力が大きいデバイスを使用した場合、シンク電流が大きくなるので、エッジレートが大幅に速くなります。別の見方をすれば、これによってより大きいバス容量を扱えるようになります。実際の出力の駆動能力は、各デバイスのデータシートを参照してください。最大周波数は、上記の計算式で  $C_b$ 、 $R_p$ 、 $t_r$ 、 $t_f$  に該当する値を代入して計算してください。表 10 に規定されている  $f_{SCL}$  の最大定格が限度値となります (100kHz、400kHz、1000kHz)。

### 7.2.3 バスバッファ、マルチプレクサ、スイッチ

バス容量超過に対するもう 1 つのアプローチが、バスバッファやマルチプレクサ、スイッチなどを使ってバスを複数の小さなセグメントに分割する方法です。大きいバス容量に対応するため PCA9515 バッファを使用しているバスの例を下図 (図 43) に示します。これによって各セグメントを最大静電容量とした場合には、バス全体の容量を 2 倍にすることができます。ただし、バッファを追加すると必ず遅延が発生することに注意しなければなりません。バッファ遅延に各エッジの遷移時間も加わるため、最大動作周波数が引き下げられます。また特別な  $V_{IL}$ 、 $V_{OL}$  の扱いを考慮しなければなりません。

この件に関する詳細および NXP が提供するデバイスについてはアプリケーションノート AN255、『I<sup>2</sup>C / SMBus Repeaters, Hubs and Expanders and AN262, PCA954x Family of I<sup>2</sup>C / SMBus Multiplexers and Switches』を参照してください。

(訳注 : [http://www.nxp.com/documents/application\\_note/AN255.pdf](http://www.nxp.com/documents/application_note/AN255.pdf))



7.2.4 スイッチトプルアップ回路

電源電圧 (V<sub>DD</sub>) と最大 LOW 出力レベルによって、プルアップ抵抗 R<sub>p</sub> の最小値が決まります (7.1 章参照)。たとえば電源電圧が V<sub>DD</sub> = 5 V ± 10 %、3 mA で V<sub>OL(max)</sub> = 0.4 V の場合、R<sub>p(min)</sub> = (5.5 - 0.4) / 0.003 = 1.7 kΩ となります。この R<sub>p</sub> の値を用いると、図 42 の通り、最大バス静電容量は約 200 pF に制限されますが (Fast-mode の) 最大 t<sub>r</sub> の要件 300ns を満たすことができます。バス容量がこれよりも大きい場合、スイッチトプルアップ回路を使用できます (図 44)。

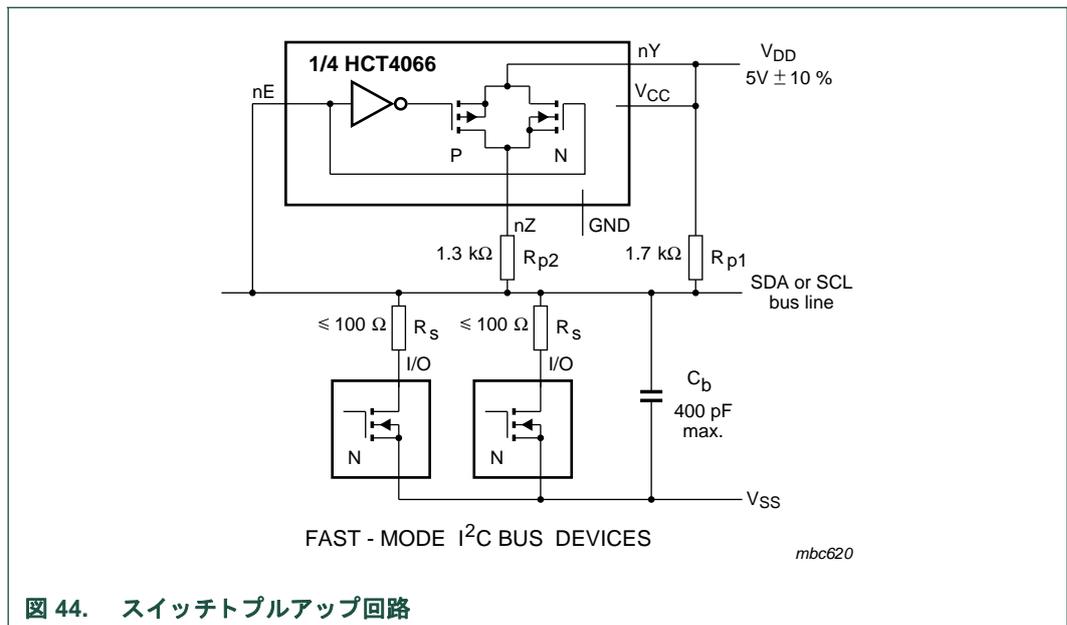


図 44 は、電源電圧 V<sub>DD</sub> = 5 V ± 10 %、最大容量性負荷 400 pF のスイッチトプルアップ回路です。バスの電圧レベルで制御されるため、追加のスイッチング制御信号は不要です。立上り / 立下りエッジの間、HCT4066 の双方向スイッチは 0.8V ~ 2.0V のバスの電圧に応じてプルアップ抵抗 R<sub>p2</sub> のオン / オフします。R<sub>p1</sub> と R<sub>p2</sub> の合成抵抗によって、バスラインの立上り時間 (t<sub>r</sub>) を規定の最大値 300ns 以内にできます。

直列抵抗 R<sub>s</sub> はオプションで、これらの抵抗によって I<sup>2</sup>C バスデバイスの I/O 段がバスラインの高電圧スパイクから保護されると共に、バスライン信号のクロストークとアンダーシュートを最小にします。R<sub>s</sub> の最大値は、バスラインが LOW レベルに切り替えられた際の、これらの抵抗を通じた最大許容電圧降下によって決まります。

また、一部のバスバッファには立上り時間アクセラレータが内蔵されています。また単独の立上り時間アクセラレータも存在します。

### 7.3 直列保護抵抗

図 45 のように、たとえば 300Ω の直列抵抗 ( $R_s$ ) によって、SDA/SCL ラインの高電圧スパイク（たとえばテレビのブラウン管からのフラッシュオーバなど）に対する保護を行うことができます。直列抵抗を使用する場合、設計の際に  $R_p$  および許容可能なバス容量の計算に、この抵抗を含めなければなりません。

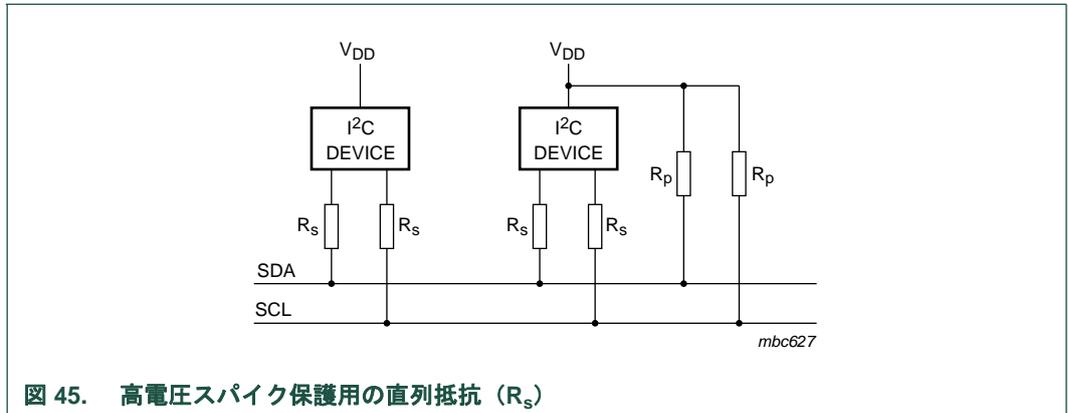


図 45. 高電圧スパイク保護用の直列抵抗 ( $R_s$ )

LOW レベルの必須ノイズマージン  $0.1V_{DD}$  によって、 $R_s$  の最大値が制限されます。図 46 は  $R_{s(max)}$  と  $R_p$  の関係で、出力立下り時間に影響することを示しています。

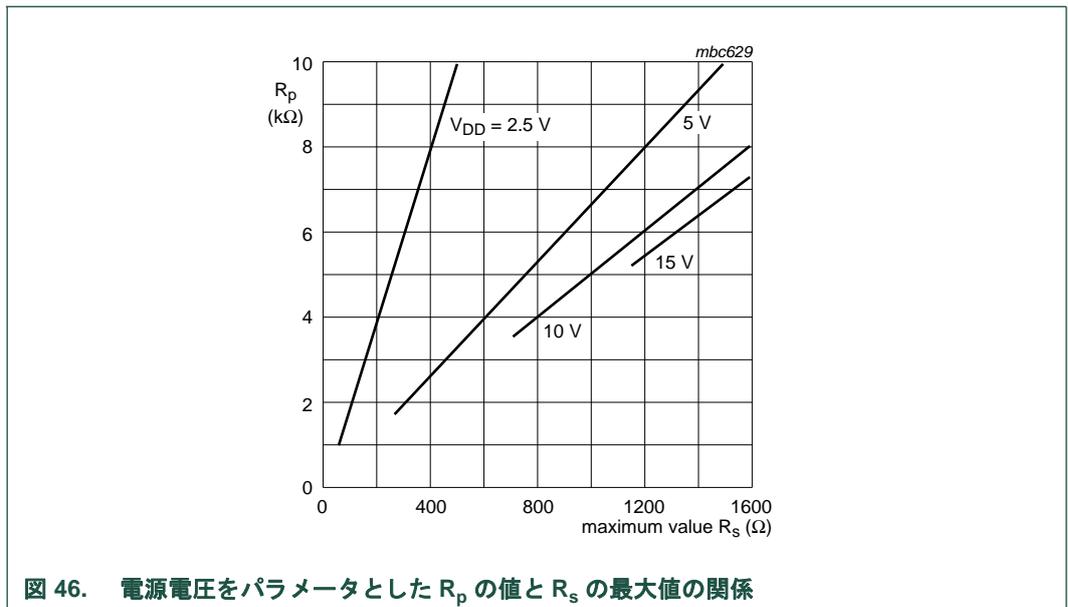
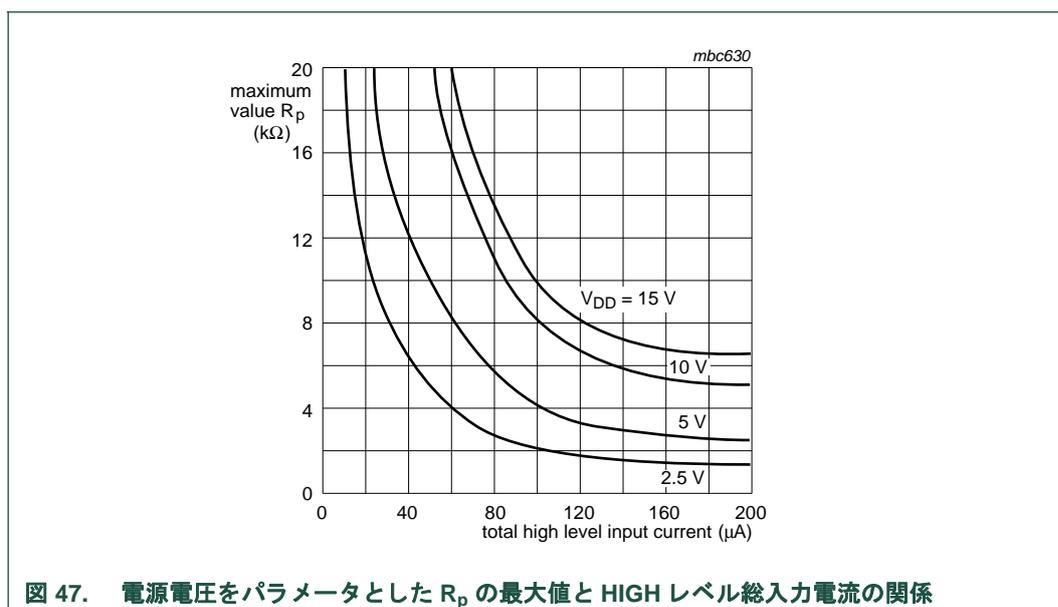


図 46. 電源電圧をパラメータとした  $R_p$  の値と  $R_s$  の最大値の関係

### 7.4 入力リーク

各入出力接続の最大 HIGH レベル入力電流の最大値は 10μA に規定されています。HIGH レベルの必須ノイズマージンは  $0.2V_{DD}$  であり、この入力電流によって  $R_p$  の最大値が制限されます。この制限値は  $V_{DD}$  によって変わります。HIGH レベルの総入力電流と  $R_{p(max)}$  の関係を下図（図 47）に示します。



## 7.5 バスラインの配線パターン

一般的、バスラインはクロストークと干渉が最小になるよう配線されなければなりません。バスラインは HIGH レベル時にプルアップ・デバイスによる比較的高いインピーダンス状態になることからクロストークや干渉の影響を受けやすくなります。

プリント基板またはリボンケーブル上のバスラインの長さが 10cm を超え、 $V_{DD}$  ラインおよび  $V_{SS}$  ラインが含まれている場合、配線パターンは次のようにします。

SDA \_\_\_\_\_  
 $V_{DD}$  \_\_\_\_\_  
 $V_{SS}$  \_\_\_\_\_  
SCL \_\_\_\_\_

$V_{SS}$  ラインのみが含まれている場合、配線パターンは次のようになります。

SDA \_\_\_\_\_  
 $V_{SS}$  \_\_\_\_\_  
SCL \_\_\_\_\_

これらの配線パターンによって、SDA ラインと SCL ラインの容量性負荷が同じになります。 $V_{SS}$  層か  $V_{DD}$  層（または両方）を持つプリント基板の場合、 $V_{SS}$  ラインと  $V_{DD}$  ラインは省略できます。

バスラインがツイストペアケーブルの場合、各バスラインには必ず  $V_{SS}$  リターンをツイストしなければなりません。または、SCL ラインに  $V_{SS}$  リターン、SDA ラインに  $V_{DD}$  リターンをツイストすることもできます。後者の場合、ツイストペアケーブルの両端で  $V_{DD}$  ラインと  $V_{SS}$  ラインのデカップルが必要となります。

バスラインがシールドされている場合（ $V_{SS}$  にシールド接続）、干渉は最小限に抑えられます。ただし、クロストークを最小限にするため、SDA ラインと SCL ライン間の容量をできるだけ小さくする必要があります。

## 8. 略語

表 15. 略語

頭字語	説明
A/D	アナログ – デジタル
ATCA	Advanced Telecom Computing Architecture
BMC	ベースボード管理コントローラ
CMOS	相補型金属酸化膜半導体
cPCI	コンパクト PCI
D/A	デジタル – アナログ
DIP	デュアル・インラインパッケージ
EEPROM	Erasable Programmable Read-Only Memory
HW	ハードウェア
I/O	入力 / 出力
I <sup>2</sup> C-bus	Inter-Integrated Circuit バス
IC	集積回路
IPMI	インテリジェントプラットフォーム管理インターフェース
LCD	液晶ディスプレイ
LED	発光ダイオード
LSB	最下位ビット
MCU	マイクロコントローラ
MSB	最上位ビット
NMOS	N 型金属酸化膜半導体
PCB	プリント基板
PCI	Peripheral Component Interconnect (bus)
PMBus	パワーマネージメント・バス
RAM	ランダムアクセスメモリ
ROM	読取専用メモリ
SMBus	システム管理バス
SPI	シリアルペリフェラル・インターフェース
UART	Universal Asynchronous Receiver Transmitter
USB	ユニバーサルシリアルバス

## 9. 法務関連情報

### 9.1 定義

**ドラフト** — 文書はドラフトバージョンとしての意味しか持たず、その内容は社内でもチェック中であるとともに正式な承認が必要であるため、変更されたり追加されたりする場合があります。NXP セミコンダクターズは本文書に含まれている情報の正確性および完全性を主張または保証せず、本文書に含まれている情報を使用したことによって生じた結果に対していかなる責任も負いません。

### 9.2 免責条項免責条項

**保証および責任の限度** — NXP セミコンダクターズは本文書内の情報が正確で信頼できるものであると考えていますが、明示的であるか暗示的であるかを問わず、これらの情報の正確性または完全性についていかなる主張または保証もせず、これらの情報を使用したことによって生じた結果に対していかなる責任も負いません。NXP セミコンダクターズは、NXP セミコンダクターズ以外の情報源から提供された本文書中の記述について、いかなる責任も負いません。

間接的、偶発的、懲罰的、特別または結果的であるかに関係なくいかなる損害についても、また係る損害が不正行為（過失を含む）、保証、契約または他の法的理論の違反によって生じた場合であっても、NXP セミコンダクターズは一切の責任を負いません。このような損失には収益の逸失、預金の損失、事業の中断、製品の撤去や交換関連するコストまたは再作業費用などが含まれますが、これらだけに限られません。

何らかの理由により顧客が損害を被った場合、本文書に記載されている製品について顧客に対する NXP セミコンダクターズの累積的なすべての責任の上限は、NXP セミコンダクターズの「商業販売条件」の規定に準拠するものとします。

**変更の権利** — NXP セミコンダクターズは、本文書で公開されている情報を通知なくいつでも変更する権利を有します。これには仕様および製品の説明が含まれますが、これらだけに限られません。本文書は、本文書の発行前に提供されたすべての情報に優先し、これらに替わるものとなります。

**使用適合性** — NXP セミコンダクターズの製品は人命支援、人命や安全に関わるシステムまたは設備での使用、また NXP セミコンダクターズ製品のエラーまたは不具合が個人の死傷または財産もしくは環境への深刻な損害につながるものが合理的に予測されるアプリケーションに対して適した製品として

設計、承認、保証されていません。NXP セミコンダクターズならびにそのサプライヤは、このような設備やアプリケーションにおける NXP セミコンダクターズ製品の使用に対していかなる責任も負わず、係る状況での使用に対するリスクは顧客が負うものとしてします。

**アプリケーション** — 本文書に記載されているこれらの製品のアプリケーションは説明のみを目的としたものであり、NXP セミコンダクターズはさらなるテストや改修なしに係るアプリケーションが特定の用途に適しているかどうかについていかなる主張も保証もしません。

顧客は NXP セミコンダクターズの製品を使用したアプリケーションおよび製品のデザインと作業に対する責任を負い、NXP セミコンダクターズはアプリケーションおよび顧客の製品デザインへの支援に対していかなる責任も負いません。顧客の予定しているアプリケーションと製品、またサードパーティとなる顧客の顧客が予定しているアプリケーションに NXP セミコンダクターズの製品が適しているかどうか、その判断に対する全責任は顧客が負うものとしてします。係るアプリケーションおよび製品に関連するリスクを最小限に抑えるため、顧客はデザインおよび作業に対して適切な安全対策を講じる必要があります。

NXP セミコンダクターズは、顧客のアプリケーションまたは製品もしくはサードパーティとなる顧客の顧客のアプリケーションまたは使用における欠陥や怠慢に起因するすべての怠慢、損害、コスト、問題に対していかなる責任も負いません。顧客は、顧客またはその顧客のアプリケーションおよび製品の不具合を避けるため、NXP セミコンダクターズの製品を使用したアプリケーションおよび製品について必要なすべてのテストを実施する責任を負います。係る状況について、NXP はいかなる責任も負いません。

**輸出規制** — 本文書および記載されている項目は、輸出管理法規の適用を受ける場合があります。輸出に際し、各国規制当局の事前許可が必要な場合があります。

**翻訳** — 本文書の英語以外のバージョン（翻訳版）は参照のみを目的としたものであり、英語版と翻訳版の間に差異があった場合、英語版が適用されます。

### 9.3 商標

注意：本文書に記載されているすべてのブランド、製品名、サービス名、商標はそれぞれの所有者の知的財産です。

**I<sup>2</sup>C-bus** — ロゴは NXP B.V. の商標です。

10. 目次

1	はじめに.....	3	4.2.3	SMBus 1.0 と SMBus 2.0 の違い.....	33
2	I <sup>2</sup> C バスの特徴.....	3	4.3	PMBus – パワーマネージメントバス.....	34
2.1	設計担当者にとってのメリット.....	4	4.4	インテリジェントプラットフォーム管理 インターフェース (IPMI).....	34
2.2	メーカーにとってのメリット.....	5	4.5	ATCA (Advanced Telecom Computing Architecture).....	35
2.3	デバイス (IC) 設計担当者のメリット.....	5	4.6	ディスプレイ・データチャンネル (DDC) ...	35
3	I <sup>2</sup> C バスプロトコル.....	5	5	<b>バスの速度.....</b>	<b>35</b>
3.1	I <sup>2</sup> C バスプロトコル – Standard-mode (スタンダードモード : Sm)、Fast-mode (ファーストモード : Fm)、Fast-mode Plus (ファーストモードプラス : Fm+).....	5	5.1	Fast-mode (Fm) – ファーストモード.....	36
3.1.1	SDA と SCL.....	8	5.2	Fast-mode Plus (Fm+) – ファーストモード プラス.....	36
3.1.2	SDA と SCL の論理レベル.....	9	5.3	Hs-mode – ハイスピードモード.....	36
3.1.3	データの有効性.....	9	5.3.1	転送.....	37
3.1.4	スタート (START) コンディションと ストップ (STOP) コンディション.....	9	5.3.2	Hs-mode のシリアルデータ形式.....	38
3.1.5	バイト・フォーマット.....	10	5.3.3	F/S-mode から Hs-mode への切替.....	40
3.1.6	アクノリッジ (ACK) とノット・アクノリッ ジ (NACK).....	10	5.3.4	低速度モードでの Hs-mode デバイス.....	41
3.1.7	クロック同期.....	11	5.3.5	同一シリアルバスシステム上での速度混在 モード.....	42
3.1.8	調停.....	11	5.3.6	速度混合型バス・システムにおける Standard、 Fast-mode、Fast-mode Plus での転送 ...	43
3.1.9	クロックストレッチ.....	13	5.3.7	速度混合型バスシステムにおける Hs-mode での転送.....	44
3.1.10	スレーブアドレスと R/W ビット.....	13	5.3.8	速度混合型バスシステムのブリッジのタイミ ング要件.....	45
3.1.11	10 ビットアドレス指定.....	15	5.4	Ultra Fast-mode.....	46
3.1.12	予約済のアドレス.....	17	6	<b>I/O ステージとバスラインの電気特性と タイミング.....</b>	<b>46</b>
3.1.13	ゼネラルコールアドレス.....	17	6.1	Standard、Fast、Fast-mode Plus デバイス	46
3.1.14	ソフトウェアリセット.....	19	6.2	Hs-mode デバイス.....	50
3.1.15	スタートバイト.....	19	6.3	Ultra Fast-mode デバイス.....	53
3.1.16	バスクリア.....	20	7	<b>I<sup>2</sup>C バスデバイスからバスラインへの 電気接続.....</b>	<b>55</b>
3.1.17	デバイス ID.....	20	7.1	プルアップ抵抗のサイジング.....	55
3.2	I <sup>2</sup> C バスプロトコル – Ultra Fast-mode (ウルトラファーストモード : UFm).....	23	7.2	バス容量の最大許容値を超える動作.....	56
3.2.1	USDA 信号と USCL 信号.....	25	7.2.1	fSCL 周波数の低下.....	56
3.2.2	USDA 論理レベルと USCL 論理レベル.....	25	7.2.2	高いドライブ出力.....	56
3.2.3	データの有効性.....	25	7.2.3	バスバッファ、マルチプレクサ、スイッチ.....	56
3.2.4	スタートコンディションとストップコンデ ィション.....	25	7.2.4	スイッチトプルアップ回路.....	57
3.2.5	バイト・フォーマット.....	26	7.3	直列保護抵抗.....	58
3.2.6	アクノリッジ (ACK) とノット・アクノリッ ジ (NACK).....	27	7.4	入力リーク.....	58
3.2.7	スレーブアドレスと R/W ビット.....	27	7.5	バスラインの配線パターン.....	60
3.2.8	10 ビットアドレス指定.....	28	8	<b>略語.....</b>	<b>61</b>
3.2.9	UFm の予約済アドレス.....	29	9	<b>法務関連情報.....</b>	<b>62</b>
3.2.10	ゼネラルコールアドレス.....	30	9.1	定義.....	62
3.2.11	ソフトウェアリセット.....	30	9.2	免責条項免責条項.....	62
3.2.12	スタートバイト.....	30	9.3	商標.....	62
3.2.13	応答しないスレーブのリセット.....	31	10	<b>目次.....</b>	<b>63</b>
3.2.14	デバイス ID.....	31			
4	I <sup>2</sup> C バス通信プロトコル – その他の用法 ...	32			
4.1	CBUS の互換性.....	32			
4.2	SMBus – システム管理バス.....	32			
4.2.1	I <sup>2</sup> C と SMBus の準拠関係.....	32			
4.2.2	タイムアウト機能.....	33			

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.