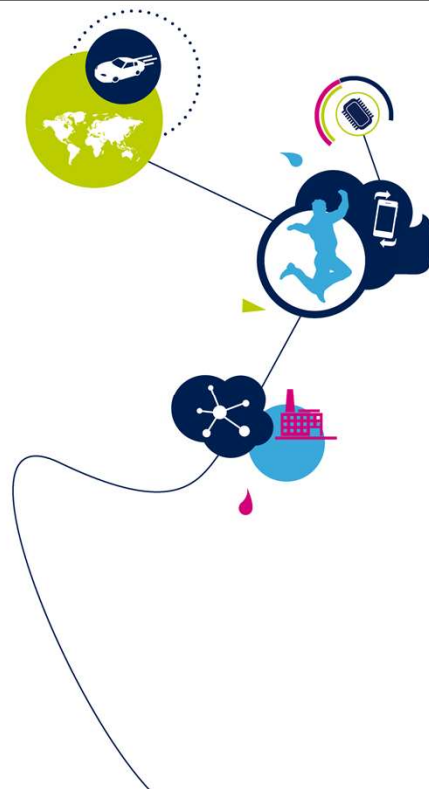


STM32G4 - FMC

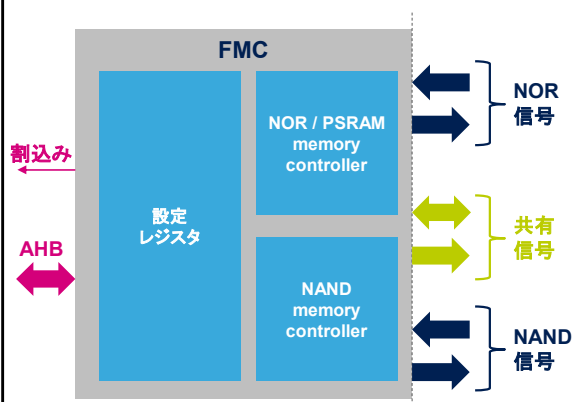
フレキシブル・メモリ・コントローラ

1.0版



STM32 フレキシブルメモリコントローラのプレゼンテーションによろこそ。ここでは、NORフラッシュ、SRAM、PSRAM、NANDフラッシュメモリなどの外部メモリに接続するために使用される、このインタフェイスのすべての機能について説明します。

- FMC は以下の外部メモリをサポート
 - NOR Flash/PSRAMコントローラ
 - NANDメモリ・コントローラ



アプリケーション側の利点

- RAMの拡張
- Flashメモリの拡張
- パラレル・インタフェース(インテル8080 /モトローラ 6800)



STM32G4製品に組み込まれた FMC コントローラは、2 個のメモリコントローラで外部メモリをサポートしています。NORフラッシュ/PSRAM メモリコントローラと NANDフラッシュメモリコントローラです。これによって、CPU は NOR および NANDフラッシュメモリ、PSRAM、SRAM を含む外部メモリと通信できます。このインタフェースは、外部メモリやその他の パラレルインタフェースと簡単に接続できます。FMC コントローラのメリットには、RAM とフラッシュメモリ空間の拡張だけでなく、インテル 8080 およびモトローラ 6800モードをサポートするほとんどの LCD コントローラとシームレスにインタフェース接続できる機能もあります。この LCD パラレルインタフェース機能によって、組み込みコントローラや専用の高速化機能を持つ外部コントローラを使用した高性能ソリューションを含む LCD モジュールを使用したコスト効率のよいグラフィックアプリケーションを構築しやすくなります。

- 完全に独立したバンク
 - 個別の外部メモリをサポートする2個のバンク
 - 各メモリバンクに対する独立したチップセレクト
 - メモリバンクごとに独立した設定
- 柔軟な設定
 - 最大 HCLK/2 の FMC 外部アクセス周波数
 - 幅広いデバイスをサポートするプログラム可能なタイミング
 - 8bitまたは16bitのデータ・バス
 - 外部非同期ウェイト制御
 - 拡張モード(読出しタイミングと書き込みタイミングが異なるプロトコル)
 - 同期デバイスへのバースト・モード・アクセスをサポート(NOR Flashおよび PSRAM)



FMCコントローラは、独立した2つのバンクを提供し、独立した外部メモリをサポートします。

各バンクには、独立したチップセレクトがあり、独立した設定が可能です。

各バンクには、プログラム可能なタイミング、設定可能な8ビットまたは16ビットのデータバスが備わっており、NORフラッシュやPSRAMなど同期メモリに対する非同期モードやバーストモードでのメモリアクセスが可能です。

同期メモリには、最大でHCLKを2分周した周波数でアクセスできます。

幅広いインタフェースおよびメモリと互換

- メモリマップド・デバイス
 - スタティック・ランダム・アクセス・メモリ (SRAM)
 - 読出し専用メモリ (ROM)
 - NOR/OneNAND™ Flashメモリ
 - PSRAM
- NAND Flashメモリ
 - ECCハードウェアを搭載し、最大8KBのデータを読み書き可能
 - 3つの割り込み可能なソース(レベル、立ち上がりおよび立下りエッジ)
- パラレル LCDモジュール
 - インテル8080 およびモトローラ6800



FMC コントローラは、幅広いデバイスおよびメモリをサポートしています。

以下の静的メモリマップデバイスとのインタフェース:

- スタティック・ランダム・アクセス・メモリ (SRAM)
- 読出し専用メモリ (ROM)
- NOR/OneNAND™フラッシュメモリ
- PSRAM.

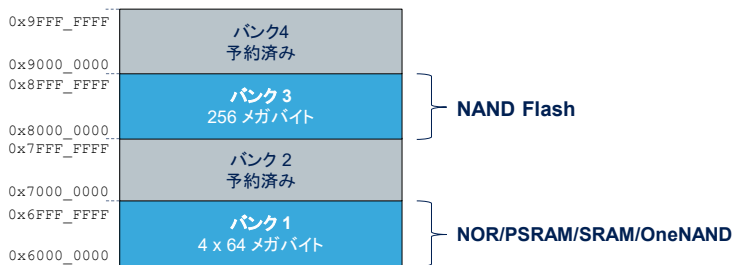
FMC は NAND フラッシュ メモリとのインタフェースも備えており、最大 8 K バイトの読み取りまたは書き込みデータのエラーコード訂正 (ECC) をサポートします。NAND フラッシュレディー/ビジー 信号で立ち上がりエッジ、立ち下がりエッジ、またはハイレベルが検出されたときに割り込みを生成するように、3つの割り込みソースの設定ができます。

さらに、パラレル・インタフェースのLCD モジュールを使用する際のFMC インタフェースは、インテル 8080 およびモトローラ 6800モードをサポートしており、さまざまな LCD インタフェースに適合できる柔軟性があります。

バンクメモリ・マッピング

5

- 外部メモリは4つの固定サイズのバンクに分かれる
 - バンク 1 (4 x 64MB) NOR Flash、OneNAND™、SRAM、PSRAM向け
 - バンク 3 (256MB) NAND Flash向け
 - バンク 2 と 4 は予約済み



外部メモリ領域は、それぞれ 256M バイトの固定サイズバンクに分割されます。

2つの外部メモリバンクは FMC 専用です。

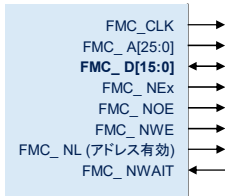
バンク1はNOR/PSRAMコントローラに接続され、バンク3は NANDコントローラに接続されています。

バンク 2 と 4 は予約済みです。

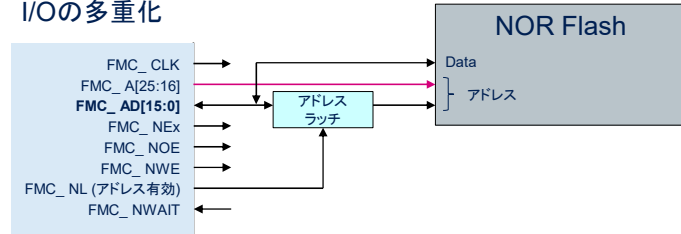
NOR / PSRAMのピンアウト

6

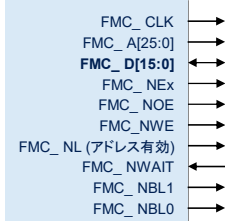
NOR Flash
I/O多重化無し



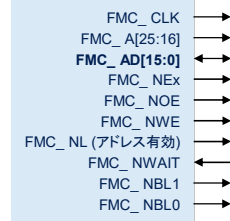
NOR Flash
I/Oの多重化



PSRAM
I/O多重化無し



PSRAM
I/O多重化



フレキシブルメモリコントローラは、多重化無しおよび多重化されたPSRAMおよびNORインタフェースをサポートします。非多重化インタフェースは、アドレスとデータのシグナルが別に持っています。

マルチプレクサインタフェースは、16ビット データと同じピン上で16アドレスLSBを駆動します。したがって、データの転送中にアドレスの下部を維持するために、外部アドレスのラッチが必要です。このラッチは、一部のNORデバイスおよびPSRAMデバイスに組み込まれています。

ラッチイネーブル信号は、FMC_NL出力ピンを通してFMCによって提供されます。このシグナルは、一部のNORフラッシュ・デバイス上でアドレス有効、NADVという信号名です。

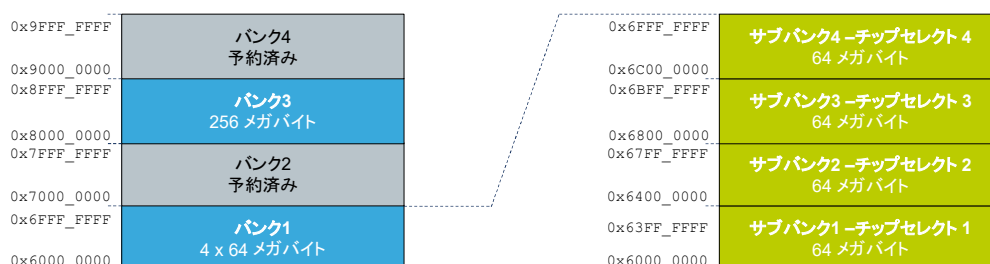
FMC_NExは、4つのチップセレクト信号のうちの1つで、サブバンクごとに1つです。

PSRAM インタフェースに関しては、FMC はバイトレーンFMC_NBL[1:0]を通じて正しいデータにアクセスします。

NOR / PSRAMのアドレス・マッピング

7

- バンク1は、4つの外部NOR / PSRAMメモリ(4チップセレクト)と接続するため、それぞれ64MBの4バンクに分割され、サポートされる
 - NOR Flash: 8/16bit同期/非同期、多重化または非多重化
 - SRAM/ROM: 8/16bit
 - PSRAM: 8/16bit同期/非同期



バンク1は、最大4つのNORフラッシュメモリまたはPSRAMデバイスに対応するために使用されます。

このバンクは、4つの専用チップセレクトを持つ64メガバイトの4 NORまたはPSRAMサブバンクに分割され、次のインタフェースを使用します。

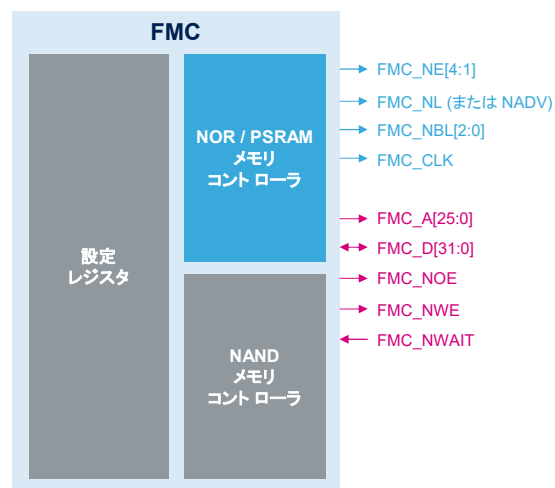
- 8ビットまたは16ビットの多重化モードまたは非多重モードでの同期または非同期NORフラッシュ
- 8ビットまたは16ビットの非同期 SRAM および ROM
- 8ビットまたは16ビットの同期または非同期の PSRAM メモリ

NOR / PSRAMのインタフェース信号

8

- FMCは、以下のメモリを駆動するのに適した信号を生成

- 非同期 SRAMおよびROM
 - 8bit
 - 16bit
- PSRAM (CellularRAM および CosmoRAM)
 - 非同期モード
 - バーストモード
 - マルチプレクスまたは非マルチプレクス
- NOR Flash
 - 非同期モード
 - バーストモード
 - マルチプレクスまたは非マルチプレクス



FMC は各バンクに独自のチップセレクト信号を出力し、外部デバイスへ一度に 1 回だけアクセスします。外部メモリは、NOR PSRAM コントローラまたは NAND コントローラに接続され、アドレス、データ、制御信号を共有します。

NOR / PSRAMのタイミング設定

9

柔軟性の高いタイミング設定

- FMC NOR/PSRAMコントローラは、バンクに接続されたメモリのタイミングを設定するために使用される
 - アドレス・セットアップ・フェーズ時間
 - アドレス・ホールド・フェーズ時間
 - データ・セットアップ・フェーズ時間
 - バス・ターンアラウンド・フェーズ時間
 - クロック分周比
 - データ遅延(同期バースト NOR Flashの場合)
 - アクセス・モード



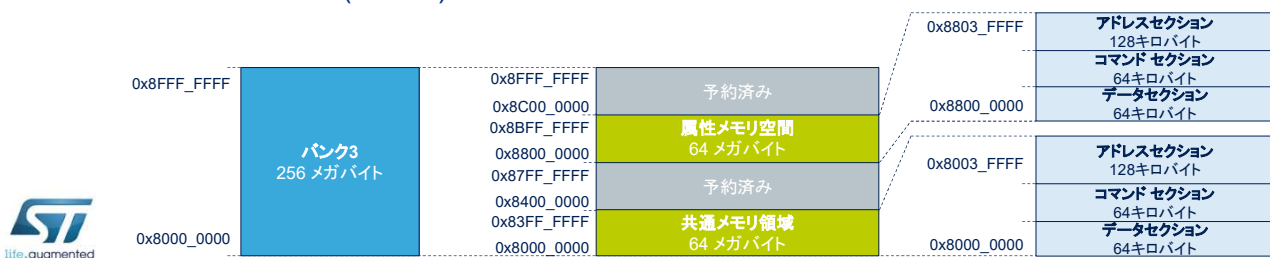
NOR PSRAMコントローラは、サポートされるメモリに対して次のようにさまざまなタイミング・パラメータの設定できます。

- アドレス・セットアップ・フェーズ: 最初のアクセス・フェーズの時間
- アドレス・ホールド・フェーズ: アクセス・サイクルの中間フェーズの時間
- データ・セットアップ・フェーズ: 2 番目のアクセスフェーズの時間
- バス・ターンアラウンド・フェーズ: バス・ターンアラウンド・フェーズ時間
- クロック分周比: 1 つのメモリ・クロックサイクル(CLK)内のAHB クロックサイクル(HCLK)数
- データ遅延: 最初のデータ転送の前にメモリに発行されるクロックサイクル数
- アクセス モード

NANDのアドレス・マッピング

10

- バンク3は、2つのメモリ・スペースを介してNAND Flashメモリをサポートするために使用される
 - 共通メモリ領域
 - 属性メモリ空間
- 各メモリ領域は3つのサブセクションに分かれる
 - データ・セクション (64KB): データの読取りまたは書込みに使用
 - コマンド セクション (64KB): NAND Flashメモリにコマンドを送信するために使用
 - アドレス セクション (128KB): NAND Flashメモリ・アドレスを指定するために使用



バンク3は、NANDフラッシュメモリとのインタフェースに使用されます。これは、共通メモリ空間と属性メモリ空間の2つのメモリ空間に分かれています。両方のメモリ空間は似ています。共通メモリ領域は、NANDフラッシュデバイスに最後のアドレスバイトを書き込む場合を除き、すべてのNANDフラッシュの読み取りおよび書き込みアクセス用で利用されます。これにより、タイミングが異なる最後のアドレスバイトを書き込んで、特定のNANDフラッシュメモリに必要なプリウェイト機能を実装できます。

各メモリ領域は、次の3つのセクションに分割されます。

- データセクション(64キロバイト): NANDフラッシュメモリからデータを読み書きするために使用します。
- コマンドセクション(64キロバイト): NANDフラッシュメモリにコマンドを送信するために使用します。
- アドレスセクション(128キロバイト): NANDフラッシュメモリアドレスを指定するために使用します。

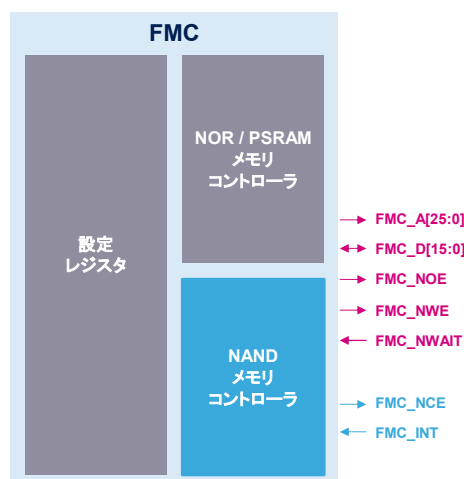
NANDのインタフェース信号

11

- FMCはNANDメモリを駆動するために適切な信号を生成

- NAND Flash

- 8bit
- 16bit



FMCはNANDフラッシュメモリを駆動するために適切な信号を生成します。アドレス、データ、およびコントロール信号は NOR および PSRAM コントローラと共有されます。

NAND フラッシュ・メモリー・デバイスのコマンド・ラッチ・イネーブル(または CLE)およびアドレス・ラッチ・イネーブル(または ALE)信号は、それぞれアドレスライン 16 とアドレスライン 17 に接続された FMC コントローラからのアドレス信号によって駆動されます。

ALE はアドレス・セクションへの書き込み時にアクティブであり、コマンド・セクションへの書き込み時に CLE がアクティブです。

- FMC NANDメモリコントローラは、以下の機能をサポート
 - 読取りおよび書込み操作 ECC ハードウェア・アクセラレーション (256バイトから8192バイト)
 - NANDバンクからの3つの割込みソース
 - 立ち上がりエッジ
 - 立ち下がりエッジ
 - 外部メモリのレベルReady/nBusy出力ピン
 - ウェイト機能の管理
 - コントローラは、NAND Flashメモリの準備が完了するまで待機(Ready/nBusyシグナル・ハイ)、新しいアクセスを開始
- FMC NANDバンクの MPU メモリ属性は「デバイス」として設定する必要あり



FMC NAND メモリ コントローラには、次の機能がサポートされています。

エラーコード訂正: ECC アルゴリズムは、NAND フラッシュ メモリから読み取りまたは書き込み 256 ~ 8192 バイトごとに 1 ビットエラー訂正および 2 ビット エラー検出を実行できます。これは、ハミング符号化アルゴリズムに基づいています。

3つの割込みソースを有効にして、NANDフラッシュメモリからのReady/Busy信号出力の立ち上がりエッジ、立ち下がりエッジ、またはレベルを検出できます。

ウェイト機能の管理: コントローラは、NAND フラッシュ メモリの準備が整うまで待機し、新しいアクセスを開始します。

FMC NAND バンクの MPU メモリ属性は、デバイスとして設定する必要があります。

- 各メモリ・スペースに対して、一連のパラメータを設定可能
 - セットアップ時間: コマンド・アサーションの前にアドレスを設定する時間
 - ウェイト時間: コマンドをアサートする時間
 - ホールド時間: コマンドのアサーション解除後にアドレスを保持する時間
 - データバス HiZ 時間: アドレスからデータバス・ドライブまでの時間が有効



共通メモリと属性の各メモリスペースは、NANDフラッシュのコマンド、アドレス書き込み、およびデータの読み取り/書き込みアクセスに対して異なるタイミングで設定できます。

Ready/Busy 管理の場合に、タイミングが以前のアクセスのタイミングと異なる必要がある場合、属性メモリ領域は、最後のアドレス書き込みアクセスに使用されます。

それ以外の場合は、共通スペースのみ必要です。

NAND フラッシュ・アクセスの異なるフェーズの HCLK サイクル数を定義するには、次の 4 つのパラメーターが使用されます。

- セットアップ時間
- ウェイト時間
- ホールド時間
- データバス HiZ 時間

割込みイベント	説明
立ち上がりエッジ	立ち上がりエッジが FMC_INT ピンで検出された
立ち下がりエッジ	立ち下がりエッジが FMC_INT ピンで検出された
ハイレベル	ハイレベルが FMC_INT ピンで検出された

NANDコントローラは3つの割り込みソースを提供しています：
NAND フラッシュ メモリから Ready/Busy 信号に接続されている場合、FMC_INT ピンの立ち上がりエッジ、立ち下がりエッジ、およびハイレベル検出、になります。

モード	説明
RUN	有効
SLEEP	有効 <ul style="list-style-type: none"> • ペリフェラル割込みによって、デバイスはSLEEPモードを終了
低電力RUN	有効
低電力SLEEP	有効 <ul style="list-style-type: none"> • ペリフェラル割込みによって、デバイスは低電力SLEEPモードを終了
STOP 0/STOP 1	停止 <ul style="list-style-type: none"> • ペリフェラル・レジスタの内容は保持
STANDBY	パワーダウン <ul style="list-style-type: none"> • ペリフェラルは、既存のドメインおよびシステムのSTANDBYモード終了後に再初期化する必要がある
SHUTDOWN	パワーダウン <ul style="list-style-type: none"> • ペリフェラルは、既存のドメインおよびシステムのSHUTDOWNモード終了後に再初期化する必要がある



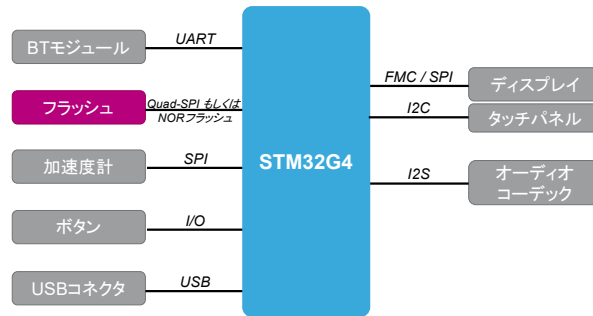
FMCは、RUN、SLEEP、低電力RUN、低電力SLEEPモードでアクティブです。

FMC 割込みによって、デバイスは SLEEP モードを終了します。

STOP 0 モードおよび STOP 1 モードでは、FMC がフリーズされ、レジスタの内容が保持されます。

STANDBYまたはSHUTDOWNモードでは、FMCは電源をオフにして、その後再初期化する必要があります。

- 接続性とユーザ・インタフェースを含むウェアラブル・アプリケーション



- 外部メモリは、オーディオとグラフィカル (アイコン、フォントなど) のデータ等ユーザ・インタフェースに必要な格納できる



ウェアラブルアプリケーションでは、高品質のユーザーインタフェースと共に低電力管理が必要です。これは、STM32G4 FMCを使用することでLCDモジュールとのインタフェースに柔軟性と、広くプログラマブルなパラメータのおかげでディスプレイを接続することを実現することができます。さらに、FMCまたはQuad-SPIインタフェースを使用して、背景画像、高解像度アイコン、複数の言語をサポートするフォントなど、必要なすべてのグラフィカルコンテンツを含む外部フラッシュメモリにアクセスすることができます。着信音用の追加のオーディオデータも、外部フラッシュメモリによって提供される大きなスペースから恩恵を受けることができます。